

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA - PPGEEL

CHRYSTIAN MUMIC

**RETIFICADOR BOOST BRIDGELESS MONOFÁSICO COM CÉLULA DE
CAPACITOR CHAVEADO OPERANDO NO MODO DE CONDUÇÃO DESCONTÍNUA
COM CORREÇÃO DE FATOR DE POTÊNCIA**

JOINVILLE

2025

CHRYSTIAN MUMIC

**RETIFICADOR BOOST BRIDGELESS MONOFÁSICO COM CÉLULA DE
CAPACITOR CHAVEADO OPERANDO NO MODO DE CONDUÇÃO DESCONTÍNUA
COM CORREÇÃO DE FATOR DE POTÊNCIA**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito parcial para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Yales Rômulo de Novaes, Dr.
Coorientador: Marcus Vieira Soares, Dr.

JOINVILLE

2025

Ficha catalográfica elaborada pelo autor, com auxílio do programa de geração automática da Biblioteca Setorial do CCT/UDESC

Mumic, Chrystian

RETIFICADOR BOOST BRIDGELESS MONOFÁSICO COM CÉLULA DE CAPACITOR CHAVEADO OPERANDO NO MODO DE CONDUÇÃO DESCONTÍNUA COM CORREÇÃO DE FATOR DE POTÊNCIA / CHRYSTIAN MUMIC. - Joinville, 2025.

121 p. : il. ; 30 cm.

Orientador: Prof. Yales Rômulo de Novaes, Dr..

Coorientador: Marcus Vieira Soares, Dr..

Dissertação (Mestrado) - Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação Profissional em Engenharia Elétrica, Joinville, 2025.

1. Capacitor Chaveado. 2. Correção do Fator de Potência. 3. Modo de Condução Descontínua. 4. Retificador *Boost Bridgeless*. I. Rômulo de Novaes, Yales. II. Vieira Soares, Marcus. III. Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação Profissional em Engenharia Elétrica. IV. Título.

CHRYSTIAN MUMIC

**RETIFICADOR BOOST BRIDGELESS MONOFÁSICO COM CÉLULA DE
CAPACITOR CHAVEADO OPERANDO NO MODO DE CONDUÇÃO DESCONTÍNUA
COM CORREÇÃO DE FATOR DE POTÊNCIA**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito parcial para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Yales Rômulo de Novaes, Dr.
Coorientador: Marcus Vieira Soares, Dr.

BANCA EXAMINADORA:

Prof. Yales Rômulo de Novaes, Dr.
CCT/UDESC (presidente/orientador)

Membros:

Prof. Joselito Anastácio Heerdt, Dr.
CCT/UDESC

William Alegranci Venturini, Dr.
WEG

Joinville, 18 de novembro de 2025

Ao meu querido avô, Carlos Múmic.

AGRADECIMENTOS

Meus agradecimentos, inicialmente, se dirigem ao meu orientador, Prof. Dr. Yales Rômulo de Novaes, que, ao compartilhar seus conhecimentos comigo e iluminar esta trilha árdua, demonstrou paciência, compreensão e foi fonte de grande inspiração. Agradeço também ao meu coorientador, Marcus Vieira Soares, pelas valiosas contribuições intelectuais e por contribuir para o refinamento deste trabalho.

À Universidade do Estado de Santa Catarina (UDESC) e aos professores, expresso minha gratidão pelo ensino de excelência. É com orgulho que representarei esta instituição no exercício de minha função.

Agradeço à WEG por disponibilizar sua estrutura para a realização deste trabalho, e também aos meus colegas de trabalho, pelo companheirismo e incentivo ao longo da jornada.

Aos meus amigos e familiares - em especial ao meu pai, Carlos, à minha mãe, Cacilda, e à minha irmã, Caroline - minha eterna gratidão por transformarem esta vida tão prazerosa de se viver.

À minha companheira, Fernanda, meus profundos agradecimentos por todo o suporte e companheirismo, que foram fundamentais para que eu persistisse na conquista deste título.

RESUMO

Esta dissertação apresenta a análise quantitativa e qualitativa, bem como os resultados experimentais de uma implementação prática do Retificador *Boost Bridgeless* Monofásico à Capacitor Chaveado Híbrido operando em modo de condução descontínua (MCD) para alcançar um alto fator de potência de entrada. A operação em MCD proporciona diversas vantagens, incluindo a correção natural do fator de potência (CFP) na corrente de entrada e a redução das perdas de comutação nos semicondutores. Inicialmente, realiza-se uma revisão da literatura sobre os principais estudos relacionados a conversores híbridos com capacitor chaveado e alto fator de potência. Em seguida, são detalhadas a análise do conversor, sua estratégia de modulação, os modos de operação e a metodologia de projeto adotada. A abordagem proposta é validada por meio de simulações e da implementação prática de um protótipo experimental, que alcançou uma tensão de saída de 1200 V e uma potência de 315 W a partir de uma tensão de entrada de 220 V. Os resultados experimentais demonstraram que o conversor atingiu uma eficiência de 95,8%, um fator de potência de 0,99 e níveis de distorção harmônica dentro dos limites estabelecidos pela norma IEC61000-3-2.

Palavras-chave: Capacitor Chaveado Híbrido. Retificador *Bridgeless*. Modo de Condução Descontínua. Fator de Potência.

ABSTRACT

This dissertation presents the quantitative and qualitative analysis, as well as the experimental results, of a practical implementation of the Single-Phase Bridgeless Hybrid Switched-Capacitor Rectifier operating in discontinuous conduction mode (DCM) to achieve a high input power factor. Operating in DCM provides several advantages, including the natural power factor correction (PFC) behavior of the input current and reduced semiconductor switching losses. Initially, a literature review on key studies related to hybrid switched-capacitor converters with a high-power factor is conducted. Subsequently, the converter analysis, its modulation strategy, operating modes, and design methodology are detailed. The proposed approach is validated through the practical implementation of an experimental prototype, which achieved an output voltage of 1200 V and an output power of 315 W from an input voltage of 220 V. The experimental results demonstrated that the converter reached an efficiency of 95.8%, a power factor of 0.99, and harmonic distortion levels within the limits established by IEC61000-3-2.

Keywords: Hybrid Switched Capacitor. Rectifier. Bridgeless. Discontinuous Conduction Mode. Power Factor.

LISTA DE ILUSTRAÇÕES

Figura 1 – Célula Unitária.	17
Figura 2 – Célula de Comutação Fundamental.	18
Figura 3 – Conversores <i>Buck</i> , <i>Boost</i> e <i>Buck-Boost</i>	18
Figura 4 – Célula de Comutação <i>Ladder</i>	19
Figura 5 – Conversores <i>Buck</i> , <i>Boost</i> e <i>Buck-Boost</i> gerados pela célula <i>Ladder</i>	19
Figura 6 – Célula de Comutação Híbrida.	20
Figura 7 – Conversores <i>Buck</i> , <i>Boost</i> e <i>Buck-Boost</i> gerados pela célula híbrida.	20
Figura 8 – Retificador <i>Buck</i> com Rede de Capacitor Chaveado	24
Figura 9 – Retificador <i>Buck</i> com Rede de Capacitor Chaveado Intercalado	25
Figura 10 – Comparação de Resultados das Topologias Propostas com o Retificador <i>Buck</i> PFC Convencional	25
Figura 11 – Retificador PFC a Capacitor Chaveado Ressonante	26
Figura 12 – Retificador Bridgeless PFC a Capacitor Chaveado Ressonante	26
Figura 13 – FP e DHT dos Conversores Abaixadores CCh Ressonantes em Função do Ganho Estático	27
Figura 14 – Conversor CCh Derivado do Conversor Cúk com Ponte Retificadora	27
Figura 15 – Conversor CCh Intercalado Derivado do Conversor Cúk	28
Figura 16 – SC (<i>Switched-Capacitor</i>) <i>Buck-Boost</i> PFC para Acionamento de Motor BLDC	28
Figura 17 – Retificador <i>Boost</i> a capacitor chaveado híbrido com baixo ganho	29
Figura 18 – Retificador <i>Boost</i> de baixo ganho para carregamento de veículo elétrico <i>on-board</i>	30
Figura 19 – Retificador <i>Boost bridgeless totem-pole</i> de baixo ganho	30
Figura 20 – Retificador <i>Boost</i> com rede de capacitor chaveado	31
Figura 21 – Conversor Elevador Proposto por (CORTEZ; BARBI, 2015)	32
Figura 22 – Retificador SEPIC com Rede de Capacitor Chaveado	32
Figura 23 – Conversor CCh Baseado no Retificador SEPIC Dobrador de Tensão	33
Figura 24 – Conversor AC-DC Ressonante tipo <i>Boost</i> com Multiplicador de Tensão <i>Cockcroft-Walton</i>	33
Figura 25 – Retificador <i>Boost Bridgeless</i> Monofásico com Célula de Capacitor Chaveado Única.	34
Figura 26 – Retificador <i>Boost Bridgeless</i> Monofásico com <i>N</i> Células de Capacitor Cha- veado.	34
Figura 27 – Forma de Onda da Tensão de Entrada e Corrente no Indutor.	36
Figura 28 – Estratégia de Modulação 1 - Acionamento Simultâneo S_1 e S_2	37
Figura 29 – Estratégia de Modulação 2 - Interruptor S_1 ou S_2 Acionado Durante toda Metade Ciclo da Rede Alternadamente	38
Figura 30 – Primeira Etapa de Operação - Semiciclo Positivo.	39

Figura 31 – Segunda Etapa de Operação - Semiciclo Positivo	40
Figura 32 – Terceira Etapa de Operação - Semiciclo Positivo	40
Figura 33 – Principais Formas de Onda Teóricas no Período de Chaveamento para o Semiciclo Positivo	41
Figura 34 – Primeira Etapa de Operação - Semiciclo Negativo.	42
Figura 35 – Segunda Etapa de Operação - Semiciclo Negativo	42
Figura 36 – Terceira Etapa de Operação - Semiciclo Negativo	43
Figura 37 – Principais Formas de Onda Teóricas no Período de Chaveamento para o Semiciclo Negativo	44
Figura 38 – Modos de Carga do Capacitor Chaveado	47
Figura 39 – Circuito equivalente da carga do capacitor chaveado	48
Figura 40 – Corrente RMS - Capacitor Chaveado	50
Figura 41 – Circuito equivalente do ponto de vista da saída do conversor	50
Figura 42 – Seleção do Capacitor Chaveado C_s	63
Figura 43 – C4AQQBW5200A3LJ	63
Figura 44 – IMZ120R045M1	65
Figura 45 – 532702B02500G	66
Figura 46 – IDW40G120C5B	68
Figura 47 – B43509s5337M06	73
Figura 48 – B32923-A2105	74
Figura 49 – Distribuição de perdas do conversor	76
Figura 50 – Esquemático do Estágio de Potência - Simulação	77
Figura 51 – Esquemático do Circuito de Acionamento - Simulação	77
Figura 52 – Esquemático do Circuito de Condicionamento da Tensão de Entrada - Simulação	78
Figura 53 – Tensão de Entrada e Condicionamento de Sinal	78
Figura 54 – Sinal de Acionamento das Chaves e Medição da Tensão de Entrada com Nível CC Descontado	79
Figura 55 – Formas de Onda da Corrente no Indutor <i>Boost</i>	79
Figura 56 – Formas de Onda da Tensão no Indutor <i>Boost</i>	80
Figura 57 – Corrente de Entrada e Tensão de Entrada Dividida por 100	80
Figura 58 – Formas de Onda da Tensão e Corrente no Interruptor S_1 no Período da Rede	81
Figura 59 – Formas de Onda da Corrente no Interruptor S_1 no Período de Chaveamento .	82
Figura 60 – Formas de Onda da Tensão e Corrente no Interruptor S_2 no Período da Rede	82
Figura 61 – Formas de Onda da Corrente no Interruptor S_2 no Período de Chaveamento .	82
Figura 62 – Formas de Onda da Tensão e Corrente no Diodo D_b	83
Figura 63 – Formas de Onda da Tensão e Corrente no Diodo D_{c1}	84
Figura 64 – Formas de Onda da Tensão e Corrente no Diodo D_{c2}	85
Figura 65 – Formas de Onda da Tensão e Corrente no Capacitor Chaveado C_s	85
Figura 66 – Formas de Onda de Tensão nos Capacitores	86

Figura 67 – Formas de Onda de Corrente no Capacitor de Saída C_{o1}	87
Figura 68 – Formas de Onda de Corrente no Capacitor de Saída C_{o2}	87
Figura 69 – Protótipo físico	88
Figura 70 – Formas de Onda de Entrada e Saída do Conversor	89
Figura 71 – Comparação das Harmônicas do Conversor com a Norma IEC61000-3-2 . .	89
Figura 72 – Tensão e Corrente no Indutor no Período da Rede	90
Figura 73 – Formas de Onda de Tensão e Corrente no Indutor no Período de Chaveamento	90
Figura 74 – Tensão nos Interruptores S_1 e S_2 no Período da Rede	91
Figura 75 – Formas de Onda de Tensão e Corrente no Interruptor S_1 no Período de Chaveamento	92
Figura 76 – Formas de Onda de Tensão e Corrente no Interruptor S_2 no Período de Chaveamento	93
Figura 77 – Tensão nos Diodos e Tensão de Saída no Período da Rede	94
Figura 78 – Formas de Onda de Tensão e Corrente no Diodo D_b	94
Figura 79 – Formas de Onda de Tensão e Corrente no Diodo D_{c1}	95
Figura 80 – Formas de Onda de Tensão e Corrente no Diodo D_{c2}	96
Figura 81 – Formas de Onda de Tensão e Corrente no Capacitor Chaveado C_s	97
Figura 82 – Tensão nos Capacitores e Tensão de Saída	97
Figura 83 – Tensão nos Capacitores	98
Figura 84 – Rendimento do Conversor para Diferentes Condições de Carga	99
Figura 85 – Distorção Harmônica Total do Conversor para Diferentes Condições de Carga	99
Figura 86 – Fator de Potência do Conversor para Diferentes Condições de Carga	100
Figura 87 – Circuito Implementado no PSIM® para Validação do Método de Redução da Distorção Harmônica Total	111
Figura 88 – Resultados de Simulação do Método de Redução da Distorção Harmônica Total	112

LISTA DE TABELAS

Tabela 1 – Especificações do Conversor.	60
Tabela 2 – Dados - C4AQQBW5200A3LJ.	63
Tabela 3 – Dados - IMZ120R045M1.	64
Tabela 4 – Dados - IDW40G120C5B.	68
Tabela 5 – Dados - B43509s5337M067.	72
Tabela 6 – Dados - B32923-A2105.	74
Tabela 7 – Valores teóricos, simulados e experimentais da corrente no indutor <i>Boost</i> .	91
Tabela 8 – Valores teóricos, simulados e experimentais dos esforços de tensão nos interruptores S_1 e S_2	92
Tabela 9 – Valores teóricos, simulados e experimentais da corrente no interruptor S_1 . .	92
Tabela 10 – Valores teóricos, simulados e experimentais da corrente no interruptor S_2 .	93
Tabela 11 – Valores teóricos, simulados e experimentais dos esforços de tensão nos diodos D_b , D_{c1} e D_{c2}	94
Tabela 12 – Valores teóricos, simulados e experimentais da corrente no diodo D_b	95
Tabela 13 – Valores teóricos, simulados e experimentais da corrente no diodo D_{c1}	95
Tabela 14 – Valores teóricos, simulados e experimentais da corrente no diodo D_{c2}	96
Tabela 15 – Dados de Entrada - Projeto Indutor <i>Boost</i>	113
Tabela 16 – Parâmetros do Núcleo de Ferrite tipo E - NEE-30/15/14.	114
Tabela 17 – Parâmetros do Fio AWG26.	115
Tabela 18 – Dados de Entrada - Projeto Indutor Filtro de Entrada.	117
Tabela 19 – Parâmetros do Fio AWG20.	118

LISTA DE ABREVIATURAS E SIGLAS

BLDC	<i>Brushless Direct Current</i>
CA	Corrente Alternada
CC	Carga Completa - Modo de Carga do Capacitor Chaveado
CP	Carga Parcial - Modo de Carga do Capacitor Chaveado
CCh	Capacitor Chaveado
CFP	Correção do Fator de Potência
DC	Corrente Contínua
DHT	Distorção Harmônica Total
DSP	<i>Digital Signal Processor</i>
ESR	Resistência Série Equivalente
FFT	Transformada Rápida de Fourier
IEC	<i>International Electrotechnical Commission</i>
MCC	Modo de Condução Contínua
MCD	Modo de Condução Descontínua
OBC	<i>On-board Charging</i>
PFC	<i>Power Factor Correction</i>
RMS	<i>Root Mean Square</i>
SC	Sem Carga - Modo de Carga do Capacitor Chaveado
SiC	<i>Silicon Carbide</i>
Udesc	Universidade do Estado de Santa Catarina

LISTA DE SÍMBOLOS

A_{cu}	Área de cobre [cm ²]
B_{max}	Densidade de fluxo magnético máxima [T]
D	Razão cíclica
f_s	Frequência de chaveamento [Hz]
i_{Cs}	Corrente no capacitor chaveado [A]
i_{Db}, i_{Dc1}, i_{Dc2}	Corrente nos diodos [A]
i_L	Corrente no indutor [A]
i_{S1}, i_{S2}	Corrente nos interruptores [A]
J	Densidade de corrente [A/cm ²]
L	Indutância [H]
MLT	Comprimento médio de uma espira [m]
N	Número de células de capacitor chaveado
P_{cu}	Perdas no cobre [W]
P_{mag}	Perdas no núcleo magnético [W]
P_o	Potência de saída [W]
P_{tL}	Perdas totais no indutor [W]
R_{cc}	Resistência do enrolamento [Ω]
R_{Cs}, R_{Co1}, R_{Co2}	Resistência série equivalente dos capacitores [Ω]
R_{eq}	Resistência equivalente do circuito [Ω]
R_o	Resistência da carga [Ω]
R_{S1}, R_{S2}	Resistência de condução dos interruptores [Ω]
R_{th}	Resistência térmica do núcleo [°C/W]
T_s	Período de chaveamento [s]
V_{Cs}	Tensão do capacitor chaveado Cs [V]
V_{Co1}, V_{Co2}	Tensão nos capacitores de saída [V]
V_{Db}, V_{Dc1}, V_{Dc2}	Queda de tensão nos diodos [V]
V_{in}	Tensão de entrada [V]
V_o	Tensão de saída [V]
V_p	Amplitude da tensão senoidal de entrada [V]
α	Relação V_{in}/V_o

ΔB	Variação da densidade de fluxo magnético [T]
$\Delta \theta_L$	Elevação de temperatura do indutor [°C]
μ_0	Permeabilidade magnética do ar [H/m]
ω	Frequência angular [rad/s]
π	Constante Pi

SUMÁRIO

1	INTRODUÇÃO	17
1.1	OBJETIVOS DO TRABALHO	21
1.2	ORGANIZAÇÃO DO TRABALHO	22
1.3	PRODUÇÃO BIBLIOGRÁFICA	22
2	REVISÃO BIBLIOGRÁFICA	24
2.1	CONVERSORES CCH HÍBRIDOS ABAIXADORES	24
2.2	CONVERSORES CCH HÍBRIDOS ABAIXADORES E ELEVADORES . .	27
2.3	CONVERSORES CCH HÍBRIDOS ELEVADORES	30
2.3.1	Retificador <i>Boost Bridgeless</i> Monofásico com Célula de Capacitor Chaveado	34
3	RETIFICADOR <i>BOOST BRIDGELESS</i> MONOFÁSICO COM CÉLULA DE CAPACITOR CHAVEADO OPERANDO NO MODO DE CONDUÇÃO DESCONTÍNUA	36
3.1	ESQUEMA DE MODULAÇÃO	37
3.2	ETAPAS DE OPERAÇÃO	38
3.2.1	Semiciclo Positivo $V_{in} > 0$	39
3.2.1.1	<i>Primeira Etapa de Operação $0 < t < DT_s$</i>	39
3.2.1.2	<i>Segunda Etapa de Operação $DT_s < t < D_2T_s$</i>	39
3.2.1.3	<i>Terceira Etapa de Operação $D_2T_s < t < T_s$</i>	40
3.2.2	Semiciclo Negativo $V_{in} < 0$	41
3.2.2.1	<i>Primeira Etapa de Operação $0 < t < DT_s$</i>	41
3.2.2.2	<i>Segunda Etapa de Operação $DT_s < t < D_2T_s$</i>	42
3.2.2.3	<i>Terceira Etapa de Operação $D_2T_s < t < T_s$</i>	43
3.3	ANÁLISE GLOBAL	44
3.3.1	Razão Cíclica Máxima para Operação no MCD	45
3.3.2	Característica de Saída	46
3.3.3	Indutância Máxima para Operação no MCD	46
3.3.4	Capacitor Chaveado	47
3.3.5	Capacitores de Saída	50
3.3.6	Esforços do conversor	53
3.3.6.1	<i>Interruptor S_1</i>	53
3.3.6.2	<i>Interruptor S_2</i>	54
3.3.6.3	<i>Diodo D_b</i>	55
3.3.6.4	<i>Diodo D_{c1}</i>	56
3.3.6.5	<i>Diodo D_{c2}</i>	57
3.3.7	Filtro LC de Entrada	58

4	PROJETO DO RETIFICADOR <i>BOOST</i> BRIDGELESS MONOFÁSICO COM CÉLULA DE CAPACITOR CHAVEADO OPERANDO NO MODO DE CONDUÇÃO DESCONTÍNUA	60
4.1	PROJETO DO INDUTOR <i>BOOST</i>	61
4.2	DIMENSIONAMENTO DO CAPACITOR CHAVEADO	62
4.3	DIMENSIONAMENTO DOS SEMICONDUTORES	63
4.3.1	Dimensionamento do Interruptor S_1	64
4.3.2	Dimensionamento do Interruptor S_2	66
4.3.3	Dimensionamento do diodo D_b	67
4.3.4	Dimensionamento do diodo D_{c1}	69
4.3.5	Dimensionamento do diodo D_{c2}	71
4.4	DIMENSIONAMENTO DOS CAPACITORES DE SAÍDA	72
4.5	PROJETO DO FILTRO LC DE ENTRADA	73
4.6	EFICIÊNCIA GLOBAL	75
5	SIMULAÇÕES	77
6	RESULTADOS EXPERIMENTAIS	88
7	CONCLUSÃO	101
	REFERÊNCIAS	102
	APÊNDICE A – ESQUEMA ELETRÔNICO - PLACA 01	105
	APÊNDICE B – <i>LAYOUT</i> - PLACA 01	109
	APÊNDICE C – ESQUEMA ELETRÔNICO - PLACA 02	110
	APÊNDICE D – PROPOSIÇÃO DE MÉTODO PARA REDUÇÃO DA DISTORÇÃO HARMÔNICA TOTAL	111
	APÊNDICE E – DIMENSIONAMENTO FÍSICO DO INDUTOR <i>BOOST</i>	113
	APÊNDICE F – DIMENSIONAMENTO FÍSICO DO INDUTOR DO FILTRO LC	117

1 INTRODUÇÃO

Como conversor estático a capacitor chaveado (CCh), classifica-se aquele que emprega apenas interruptores controlados, diodos e capacitores no processamento de energia entre a fonte de alimentação e a carga. A ausência de elementos magnéticos como transformadores e indutores, principal elemento armazenador de energia nos conversores convencionais como *Buck*, *Boost* e *Buck-Boost*, acarretam em uma redução de peso e volume, proporcionando elevada densidade de potência para a conversão. Devido à necessidade crescente de miniaturização dos conversores estáticos por parte da indústria, o estudo desta classe de conversores estáticos se apresenta como uma das principais linhas de pesquisa em eletrônica de potência. A não presença de elementos magnéticos tornam esses circuitos adequados para integração monolítica. Além disso, a evolução no desenvolvimento de dispositivos semicondutores, tanto os usuais fabricados a partir do silício, quanto os de tecnologia mais recente, compostos por carbeto de silício ou nitreto de gálio, habilitam os conversores CCh a serem investigados para aplicações de potência mais elevada como distribuição de energia, veículos elétricos, geração de energia limpa, gerenciamento de energia entre fontes como baterias e ultracapacitores, entre outras. Mediante dimensionamento adequado dos componentes e seleção do modo de carga de operação dos capacitores chaveados, estes conversores podem operar com alta eficiência e picos de corrente reduzidos na conexão de fontes em paralelo. Nos conversores estáticos a capacitor chaveado, os esforços de tensão aplicados aos semicondutores são reduzidos em relação à tensão de entrada ou a tensão de carga, vantagem em relação aos conversores convencionais. (BARBI, Edição do Autor, 2019)

O conversor estático CC-CC a capacitor chaveado fundamental, denominado de célula unitária, é exposto na Figura 1.

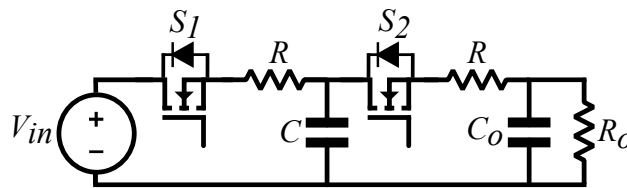


Figura 1 – Célula Unitária.

Fonte: O autor.

Este conversor é utilizado como base para entendimento do princípio de operação e técnicas de análise dos conversores estáticos a capacitor chaveado. O objetivo é realizar a transferência de energia da fonte V_{in} para a carga representada pelo resistor R_o . O capacitor C_o atua como filtro da tensão de saída. Os interruptores S_1 e S_2 são comandados complementarmente em determinada frequência de chaveamento. Tipicamente, esses interruptores se tratam de MOSFETs, cuja resistência de condução *drain-source* está representada pelo resistor R . Quando a carga do conversor é nula, a tensão de saída assume um valor único e máximo, caracterizada como a tensão de saída ideal. Nesta condição, a relação entre a tensão de saída e a tensão de entrada atinge o maior ganho estático possível. Sendo assim, desprezando as perdas de

chaveamento do conversor, de modo geral, esses conversores apresentam melhor rendimento quanto menor for a carga.

Uma desvantagem desta classe de conversores é a dificuldade de regular a tensão de saída perante variações de carga e da tensão de entrada através da razão cíclica como é feito nos conversores tradicionais. Em alguns casos é possível controlar a tensão de saída em detrimento do rendimento do conversor. Como solução para esse problema, entre outros, surgiu uma classe de conversores denominados conversores estáticos a capacitor chaveado híbridos. Esses conversores utilizam o conceito de capacitor chaveado para transferência de energia e englobam também elementos magnéticos como indutores e transformadores. Como resultado da integração entre conversores a capacitor chaveado e conversores convencionais, obtém-se topologias controláveis, que submetem semicondutores e capacitores a tensões reduzidas, podem proporcionar isolamento galvânico e atingir elevado fator de potência na fonte de alimentação do circuito.

Na sequência é exposta uma exemplificação da integração entre esses conversores, com base no trabalho (BARBI, Edição do Autor, 2019). Sabe-se que, a partir da célula de comutação fundamental, apresentada na Figura 2, é possível obter os conversores *Buck*, *Boost* e *Buck-Boost*, mediante variação da conexão da fonte de entrada e da carga entre os pontos a, b e c conforme Figuras 3a, 3b e 3c.

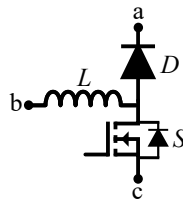


Figura 2 – Célula de Comutação Fundamental.

Fonte: O autor.

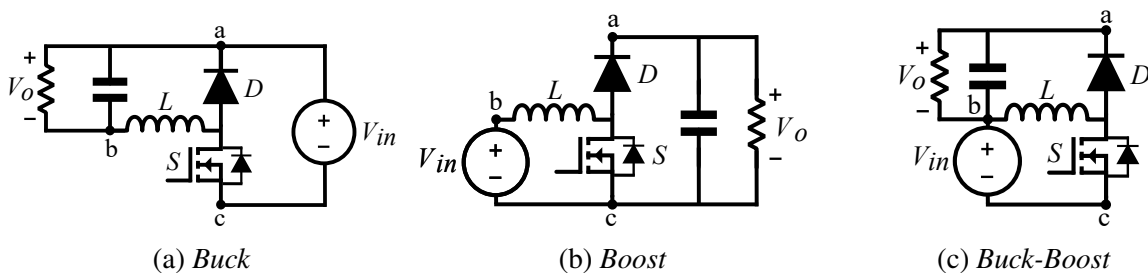


Figura 3 – Conversores *Buck*, *Boost* e *Buck-Boost*.

Fonte: O autor.

Os ganhos estáticos dos conversores convencionais *Buck*, *Boost* e *Buck-Boost*, nesta ordem:

$$G_{Buck} = \frac{V_o}{V_i} = D; \quad (1)$$

$$G_{Boost} = \frac{V_o}{V_1} = \frac{1}{1-D}; \quad (2)$$

$$G_{Buck-Boost} = \frac{V_o}{V_1} = \frac{D}{1-D}. \quad (3)$$

De maneira análoga, a partir da célula de comutação *Ladder*, Figura 4, pode-se obter 3 conversores a capacitor chaveado dos tipos *Buck*, *Boost* e *Buck-Boost*, expostos nas Figuras 5a, 5b e 5c, mediante variações da conexão da fonte de entrada e da carga.

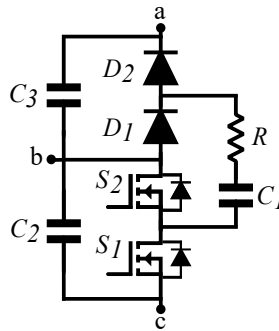
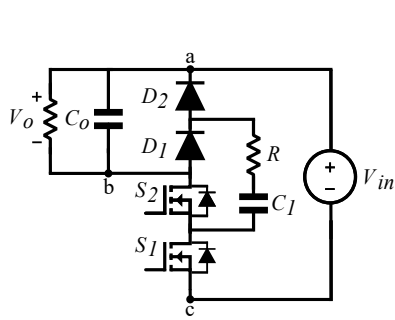
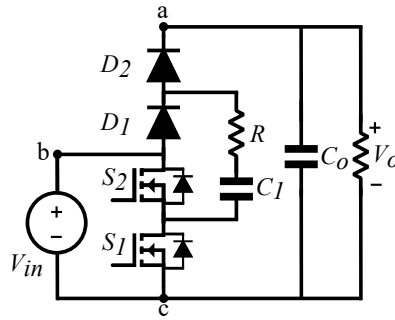


Figura 4 – Célula de Comutação *Ladder*.

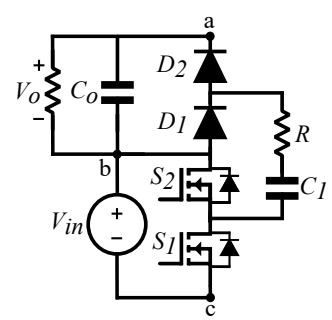
Fonte: O autor.



(a) *Buck* gerado pela célula *Ladder*.



(b) *Boost* gerado pela célula *Ladder*.



(c) *Buck-Boost* gerado pela célula *Ladder*.

Figura 5 – Conversores *Buck*, *Boost* e *Buck-Boost* gerados pela célula *Ladder*.

Fonte: O autor.

A análise dos conversores CCh obtidos a partir da célula de comutação *Ladder* retornam os ganhos estáticos idealizados:

$$G_{Buck(Ladder)} = \frac{1}{2}; \quad (4)$$

$$G_{Boost(Ladder)} = 2; \quad (5)$$

$$G_{Buck-Boost(Ladder)} = 1. \quad (6)$$

Observa-se que o ganho estático não depende da razão cíclica, característica indesejável dessa família de conversores.

Com a integração das células de comutação convencional e *Ladder*, obtém-se a célula de comutação híbrida, apresentada na Figura 6, a partir da qual pode-se obter uma família dos conversores denominados híbridos, representados nas Figuras 7a, 7b e 7c.

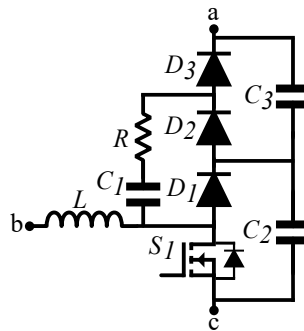


Figura 6 – Célula de Comutação Híbrida.

Fonte: O autor.

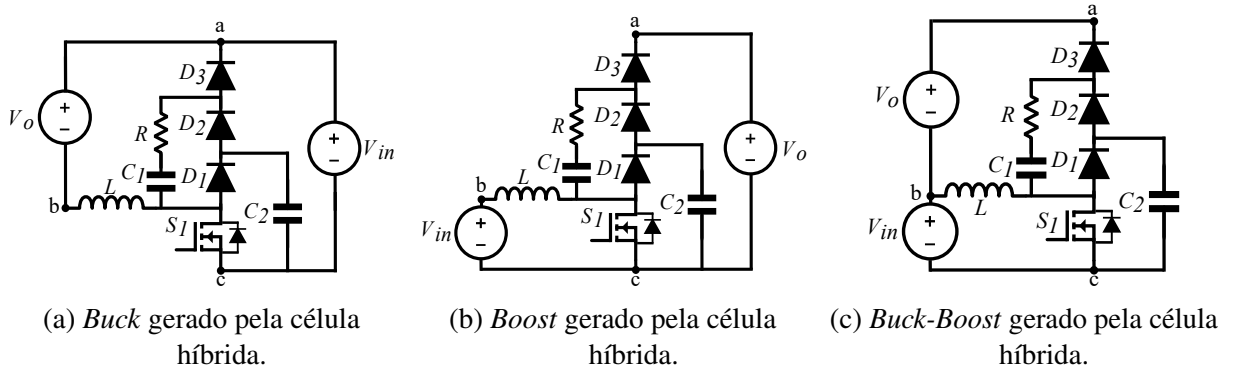


Figura 7 – Conversores *Buck*, *Boost* e *Buck-Boost* gerados pela célula híbrida.

Fonte: O autor.

Os ganhos estáticos dos conversores CCh híbridos apresentados são definidos por:

$$G_{Buck(hibrido)} = \frac{1+D}{2}; \quad (7)$$

$$G_{Boost(hibrido)} = \frac{2}{1-D}; \quad (8)$$

$$G_{Buck-Boost(hibrido)} = \frac{1+D}{1-D}. \quad (9)$$

Observa-se que o ganho estático dos conversores é função da razão cíclica, o que evidencia a possibilidade de controle dessas topologias. Adicionalmente, a análise dos esforços de tensão associados aos conversores híbridos permite verificar que os componentes semicondutores são submetidos a níveis de tensão equivalentes à metade da tensão entre os pontos a e c. Nesse contexto, apesar de incorporarem elementos magnéticos em sua estrutura, os conversores híbridos apresentam características relevantes, tais como a redução dos esforços de tensão nos componentes, a possibilidade de obtenção de ganhos estáticos distintos em relação aos conversores convencionais e a viabilidade de implementação da correção do fator de potência na entrada.

A correção do fator de potência constitui um requisito fundamental para retificadores monofásicos modernos, especialmente no que se refere à conformidade com normas internacionais, como a IEC 61000-3-2. Em razão disso, torna-se pertinente a análise de topologias que conciliem elevado fator de potência com redução de esforços elétricos nos dispositivos de potência. Dessa forma, foi realizado um levantamento bibliográfico de topologias monofásicas que empregam mecanismos híbridos baseados em capacitores chaveados e que apresentam desempenho adequado sob o ponto de vista do fator de potência, conforme será discutido no Capítulo 2. Entre os trabalhos analisados, destaca-se o Retificador Boost Bridgeless Monofásico com Capacitor Chaveado Híbrido, proposto em (DIAS; LAZZARIN, 2020a). Essa topologia apresenta, como principais características, a redução dos esforços de tensão nos componentes em relação à tensão de saída, o acionamento dos interruptores ativos com referência de tensão comum e a possibilidade de adição de células de capacitor chaveado para o aumento do ganho estático e a redução adicional dos esforços de tensão, sem incremento no número de interruptores ativos.

Uma característica relevante observada em parte dos trabalhos analisados refere-se à possibilidade de se obter elevado fator de potência na entrada com o conversor operando em modo de condução descontínua (MCD). Nessas condições, a correção do fator de potência pode ser alcançada sem a necessidade de uma malha dedicada de controle de corrente. Tal característica mostra-se particularmente relevante, uma vez que contribui para a simplificação da estratégia de controle do conversor e elimina a necessidade de sensoriamento de corrente para o atendimento dos níveis de fator de potência desejados.

1.1 OBJETIVOS DO TRABALHO

O Retificador Boost Bridgeless Monofásico com Capacitor Chaveado Híbrido foi proposto em (DIAS; LAZZARIN, 2020a) para operação em modo de condução contínua (MCC). Embora o referido trabalho apresente uma análise abrangente para essa condição de operação, não são fornecidas informações relativas ao emprego do modo de condução descontínua na topologia. Ressalta-se, entretanto, a relevância do conversor proposto em (DIAS; LAZZARIN, 2020a), uma vez que a topologia combina características desejáveis, tais como a redução dos

esforços de tensão nos dispositivos semicondutores, a possibilidade de obtenção de ganhos estáticos elevados por meio da adição de células de capacitor chaveado, o acionamento dos interruptores ativos com referência de tensão comum e a viabilidade de correção do fator de potência na entrada.

Diante desse contexto e da lacuna identificada na literatura, o presente trabalho tem como objetivo realizar o estudo, a análise e a verificação da viabilidade de operação da mesma estrutura, considerando uma configuração com célula única de capacitor chaveado, operando em modo de condução descontínua. Adicionalmente, busca-se investigar as implicações dessa estratégia de operação, com ênfase na possibilidade de obtenção de elevado fator de potência na entrada sem a necessidade de uma malha dedicada de controle de corrente, bem como na análise do impacto da operação em MCD sobre as perdas de condução e chaveamento.

1.2 ORGANIZAÇÃO DO TRABALHO

A estrutura desta dissertação consiste em:

- Introdução - Contextualização, motivação e conteúdo do trabalho.
- Revisão Bibliográfica - Apresentação de topologias a capacitor chaveado híbrido com elevado fator de potência.
- Retificador *Boost Bridgeless* Monofásico com Célula de Capacitor Chaveado Operando no Modo de Condução Descontínua - Estratégia de modulação, etapas operação e análise da operação do retificador no MCD.
- Projeto do Retificador *Boost Bridgeless* Monofásico com Célula de Capacitor Chaveado Operando no Modo de Condução Descontínua - Cálculo dos esforços do conversor, escolha de componentes, dimensionamento físico.
- Simulações - Verificação do equacionamento proposto através de simulação.
- Resultados Experimentais - Confirmação da metodologia de projeto proposta e dos resultados de simulação obtidos através da coleta de dados experimentais.
- Conclusão - Aprendizados e considerações sobre o estudo realizado.

1.3 PRODUÇÃO BIBLIOGRÁFICA

Parte dos resultados obtidos durante o desenvolvimento deste trabalho foi previamente divulgada na forma de publicações científicas em periódicos e eventos especializados. As publicações relacionadas estão listadas a seguir:

- MUMIC, Chrystian et al. Analysis of The Single Phase Bridgeless PFC Rectifier With Hybrid Switched Capacitor Cell Operating In DCM. In: **2023 IEEE 8th Southern Power Electronics Conference and 17th Brazilian Power Electronics Conference (SPEC/COBEP)**. IEEE, 2023. p. 1-8. (MUMIC et al., 2023)
- MUMIC, Chrystian et al. Analysis and Implementation of a Single-Phase Bridgeless Hybrid Switched-Capacitor Rectifier in DCM for Power Factor Correction. **Eletrônica de Potência**, v. 30, p. e202535-e202535, 2025. (MUMIC et al., 2025)

2 REVISÃO BIBLIOGRÁFICA

A revisão bibliográfica foi realizada com o intuito de estudar topologias que incorporam o conceito de capacitor chaveado e apresentam fator de potência elevado, com o objetivo de identificar oportunidades para gerar contribuições neste âmbito, em virtude das vantagens que esta classe de conversores pode apresentar e tendo em vista as necessidades em termos da qualidade da energia processada pelos retificadores atuais. No levantamento bibliográfico foram estudados artigos de topologias monofásicas a capacitor chaveado híbrido, as quais foram propostas visando obter elevado fator de potência. Os conversores foram classificados como abaixadores (*Buck*), abaixadores e elevadores (*Buck-Boost*) e elevadores (*Boost*), e se encontram dispostos nessa sequência.

2.1 CONVERSORES CCH HÍBRIDOS ABAIXADORES

Duas topologias derivadas do retificador *Buck* foram propostas por (ONINDA; SAROWAR; GALIB, 2017). A primeira topologia, apresentada na Figura 8, modifica o retificador *Buck* CFP convencional adicionando uma rede de capacitor chaveado após o estágio de retificação.

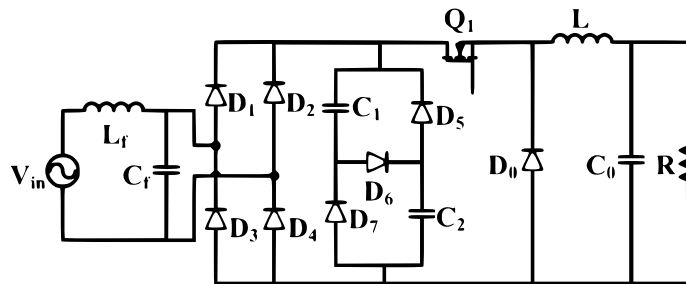


Figura 8 – Retificador *Buck* com Rede de Capacitor Chaveado

Fonte: (ONINDA; SAROWAR; GALIB, 2017)

A segunda topologia, exposta na Figura 9, adiciona duas redes de capacitor chaveado, uma para cada metade do ciclo de rede, operando de maneira intercalada, visando reduzir esforços de corrente nos componentes.

As topologias foram propostas para aplicações modernas com LEDs, onde geralmente emprega-se um transformador e um conversor CA-CC, solução ineficiente e de alto volume devido à presença do transformador. Portanto, se apresentam como uma alternativa de elevada eficiência de conversão para condições reduzidas de ganho de tensão e razão cíclica. Quando o interruptor Q_1 está bloqueado, os capacitores são carregados em série com a tensão de entrada retificada. Quando Q_1 está conduzindo, os capacitores são colocados em paralelo e descarregam a energia para a saída através do indutor L . Portanto, a tensão vista da entrada do conversor *Buck* é reduzida pela metade em relação ao conversor convencional. Neste trabalho, a verificação da topologia foi realizada através de simulação, onde foram implementadas duas malhas de

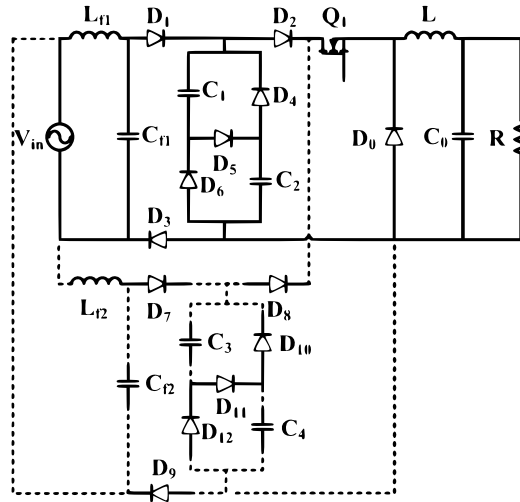


Figura 9 – Retificador *Buck* com Rede de Capacitor Chaveado Intercalado

Fonte: (ONINDA; SAROWAR; GALIB, 2017)

controle *feedback* em cascata, uma malha interna para controle de corrente e outra externa para regular a tensão de saída em 40 V. A comparação dos resultados de simulação com o conversor convencional equivalente é apresentada na Figura 10.

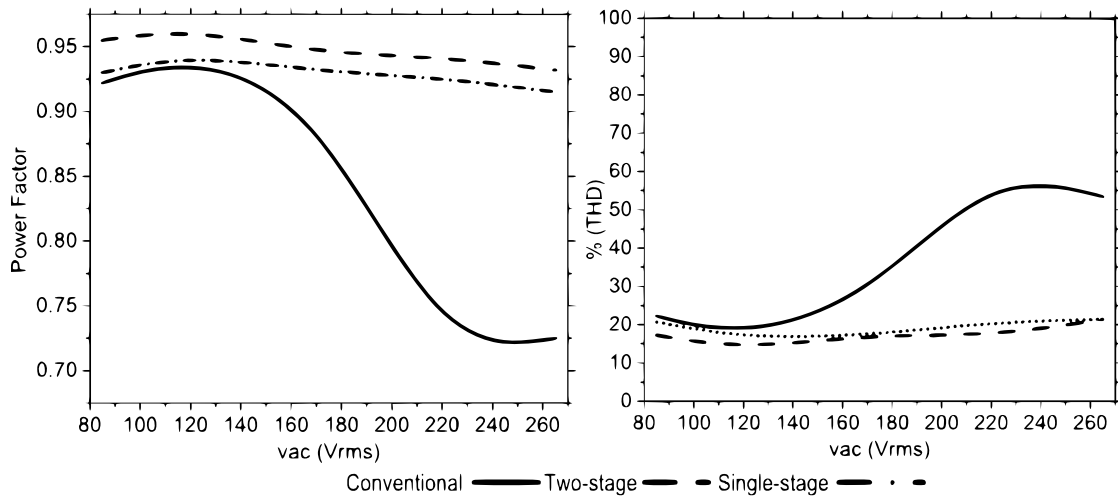


Figura 10 – Comparação de Resultados das Topologias Propostas com o Retificador *Buck* PFC Convencional

Fonte: (ONINDA; SAROWAR; GALIB, 2017)

Os conversores propostos apresentam resultados vantajosos em termos de fator de potência e distorção harmônica total em relação à solução convencional, principalmente perante tensões de entrada mais elevadas, que é o ponto de operação em que a solução convencional opera com condição extrema de razão cíclica.

Estes conversores, assim como o retificador *Buck* PFC convencional, apresentam problema com a zona morta da corrente de entrada, pois no momento em que a tensão de entrada retificada atinge valor menor que a tensão de saída, não há corrente na entrada devido à natureza abaixadora do conversor, o que limita o fator de potência que pode ser atingido.

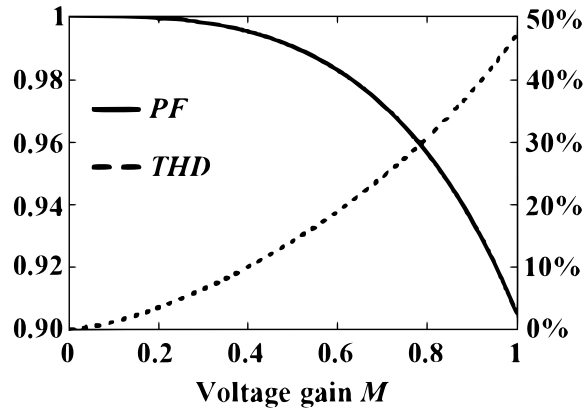


Figura 13 – FP e DHT dos Conversores Abaixadores CCh Ressonantes em Função do Ganho Estático

Fonte: (HAN et al., 2021)

2.2 CONVERSORES CCH HÍBRIDOS ABAIXADORES E ELEVADORES

Na sequência, são apresentadas topologias que podem tanto abaixar como elevar a tensão na carga em relação a tensão na fonte de alimentação do circuito.

O primeiro trabalho, apresentado em (HYSAM et al., 2017), propõe duas topologias derivadas do conversor Cúk, que integram redes de capacitor chaveado, uma com configuração em ponte para retificação da tensão alternada, apresentada na Figura 14, e outra topologia *bridgeless* que opera de modo intercalado, exposta na Figura 15.

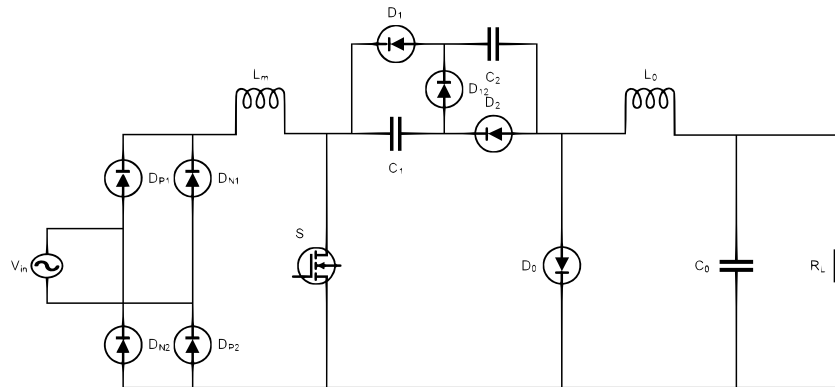


Figura 14 – Conversor CCh Derivado do Conversor Cúk com Ponte Retificadora

Fonte: (HYSAM et al., 2017)

Ambas as topologias reduzem o ganho estático do conversor Cúk convencional pela metade, sendo o ganho estático do conversor Cúk convencional:

$$\frac{V_o}{V_{in}} = -\frac{D}{1-D}. \quad (10)$$

O ganho estático das topologias propostas, é o que torna as estruturas mais indicadas para aplicações abaixadoras:

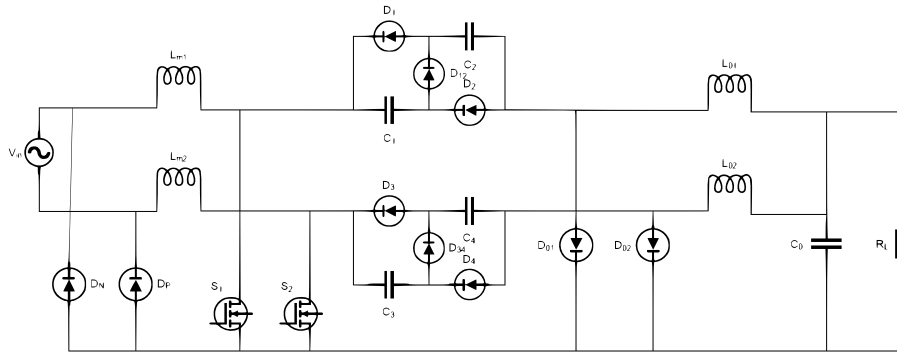


Figura 15 – Conversor CCh Intercalado Derivado do Conversor Cúk

Fonte: (HYSAM et al., 2017)

$$\frac{V_o}{V_{in}} = -\frac{D}{2(1-D)}. \quad (11)$$

Operando no modo de condução descontínua, o formato de onda da corrente de entrada segue naturalmente o formato da tensão de entrada. Apesar de empregar um maior número de componentes em relação à solução convencional, as topologias apresentam melhorias no rendimento e no fator de potência, além de permitir a operação com razão cíclica mais próxima a 0,5 para um maior ganho abaixador, trazendo a operação para um ponto mais interessante do ponto de vista de distorção harmônica, fator de potência e rendimento.

Uma integração do conversor *Buck-Boost* com capacitores chaveados é sugerida em (SINGH; BIST, 2013), para controle de velocidade de um motor BLDC (*Brushless DC*) com elevado fator de potência. A exemplo do conversor citado anteriormente, o *Buck-Boost* opera em MCD, exigindo apenas uma malha de controle de tensão para regular a tensão de barramento que é aplicada a um inversor de tensão. O diagrama dos circuitos de potência com a carga motor BLDC é apresentado na Figura 16.

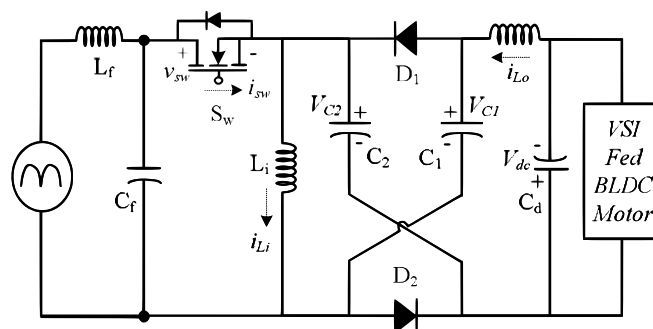


Figura 16 – SC (*Switched-Capacitor*) *Buck-Boost* PFC para Acionamento de Motor BLDC

Fonte: (SINGH; BIST, 2013)

O conversor PFC foi projetado para potência de saída de 300 W, chaveando em 30 kHz, para regular a tensão de saída entre 50 V e 200 V, com tensão de entrada de 220 V e 50 Hz. O esforço máximo de tensão no interruptor controlado é de 470 V. Com um sensor único, foi

possível manter o fator de potência praticamente unitário para uma ampla faixa de velocidade, ou seja, de tensão de saída. Além disso, a distorção harmônica total observada ficou abaixo de 4,81 %. Ambos os parâmetros se mostraram adequados aos limites da norma IEC 61000-3-2.

Um estudo recentemente publicado na literatura especializada em (CAMPOS et al., 2022) apresentou uma proposta de integração de um conversor *Boost* com uma célula de capacitor chaveado, a qual divide o ganho estático do conversor convencional pela metade. Isso confere ao conversor capacidade para operar tanto como abaixador quanto como elevador. O conversor proposto é concebido principalmente para aplicações de baixa tensão de saída, visando oferecer uma alternativa mais compacta e viável aos conversores que empregam configurações em cascata de conversores *Boost* e *Buck*, com o intuito de obter baixo ganho com elevado fator de potência, além de não exibir problema com a zona morta da corrente de entrada como em conversores *Buck* PFC convencionais. A estrutura proposta é apresentada na Figura 17.

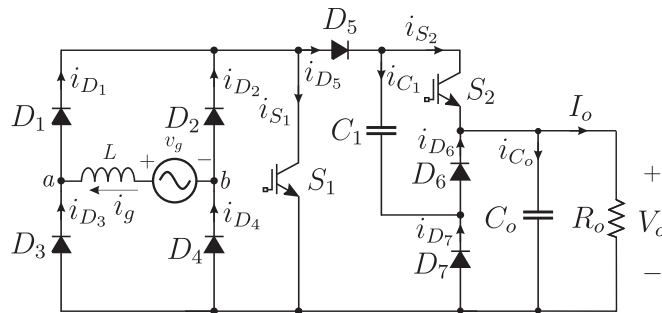


Figura 17 – Retificador *Boost* a capacitor chaveado híbrido com baixo ganho

Fonte: (CAMPOS et al., 2022)

Ao comutar os interruptores controlados simultaneamente, o ganho estático obtido é dado por:

$$G = \frac{V_o}{|V_g|} = \frac{1}{2(1-D)}. \quad (12)$$

Neste modo, o esforço de tensão no interruptor S_2 é metade do esforço de tensão no interruptor S_1 .

A topologia proposta foi validada experimentalmente por meio de um protótipo de 1 kW, considerando duas situações operacionais distintas: (A) 127 Vca e 100 Vcc; (B) 220 Vca e 200 Vcc, para as tensões de entrada e saída, respectivamente. Os resultados experimentais demonstram, essencialmente, que o fator de potência é aproximadamente unitário, enquanto a distorção harmônica total da corrente de entrada é de 4,6 %. O rendimento máximo alcançado foi de 96,5 % na condição B.

Uma variação deste conversor é sugerida por (KUMAR et al., 2023) para ser aplicada em sistemas de carregamento *on-board* de veículos elétricos conforme ilustrado na Figura 18.

O conversor, sugerido como alternativa menos volumosa para a conversão em dois estágios, emprega o indutor *Boost* no lado CA e exige a utilização de um interruptor bidirecional

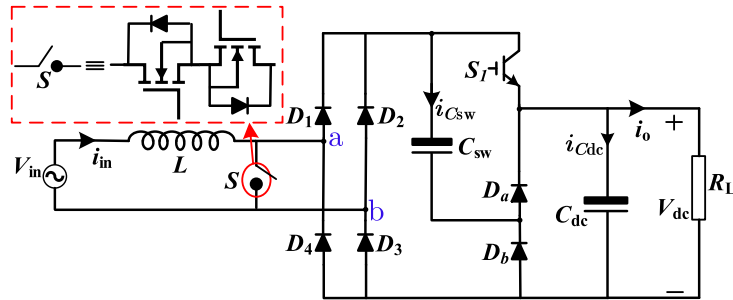


Figura 18 – Retificador *Boost* de baixo ganho para carregamento de veículo elétrico *on-board*

Fonte: (KUMAR et al., 2023)

representada por S . A viabilidade do conversor proposto para operação de 1 kW foi confirmada por meio de protótipo experimental utilizando a tecnologia de semiconductor SiC como interruptor bidirecional. O conversor possui uma faixa de tensão de entrada de 90 a 270 V e é capaz de gerar uma tensão contínua regulada de 72 a 400 V, ao mesmo tempo que cumpre os rigorosos limites de distorção harmônica total da corrente de entrada estabelecidos pela norma IEC 61000-3-2. Na potência nominal, a eficiência é de 97,35 %, enquanto a DHT é de 2,78 % com um fator de potência de 0,99.

A continuação deste estudo é apresentada em (KUMAR; VERMA; SANDEEP, 2023), o qual propõe uma estrutura *bridgeless totem-pole*, conforme exposto na Figura 19.

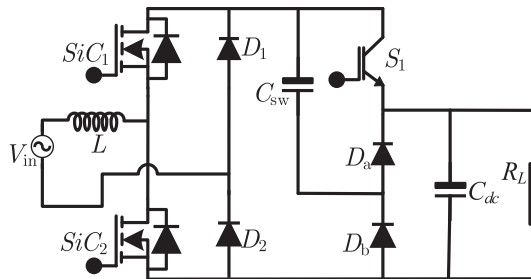


Figura 19 – Retificador *Boost bridgeless totem-pole* de baixo ganho

Fonte: (KUMAR; VERMA; SANDEEP, 2023)

O conversor possui a capacidade de operar como componente de um sistema OBC (*on-board charging*), especificamente para carregamento de bateria de baixa tensão e é adequado para potências de até 3,3 kW. Um protótipo de 1 kW do projeto do conversor foi simulado e desenvolvido. Os resultados indicam que o conversor pode operar dentro de uma ampla faixa de tensão de entrada de 90-270 V e manter uma DHT de corrente de entrada que está dentro dos limites especificados pela IEC 61000-3-2. O protótipo atingiu DHT de 2,19 % e fator de potência 0,99.

2.3 CONVERSORES CCH HÍBRIDOS ELEVADORES

Os conversores elevadores com base no conceito de capacitor chaveado se apresentam como alternativas interessantes devido à redução dos esforços de tensão nos interruptores.

Um retificador *Boost* com rede de capacitor chaveado foi proposto por (KISHORE; TRIPATHI, 2016). O conversor apresenta apenas um interruptor controlado, poucos componentes passivos, ganho elevado sem transformador e esforço de tensão reduzido no interruptor em relação à tensão de saída. A estrutura está apresentada na Figura 20.

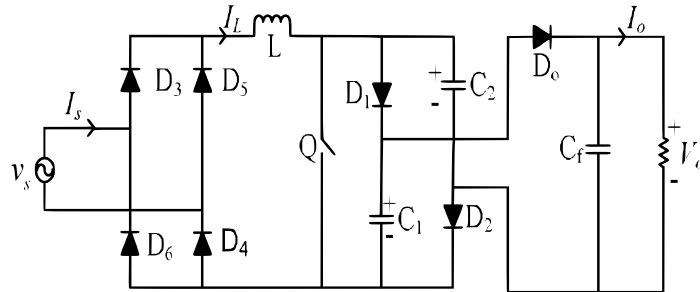


Figura 20 – Retificador *Boost* com rede de capacitor chaveado

Fonte: (KISHORE; TRIPATHI, 2016)

Nesse trabalho, o conversor foi controlado com a técnica *dynamic resonant perturbation* (DRP), e a verificação feita através de simulação de um conversor de saída 1600 V, 2,5 kW e frequência de comutação de 25 kHz, retornou fator de potência de 0,99 e distorção harmônica total de 2,73 %.

Resultados expressivos também foram obtidos pelo trabalho de (CORTEZ; BARBI, 2015), onde uma família de 6 conversores unidirecionais, três níveis, com modulação por largura de pulso, baseado em capacitor chaveado híbrido foi proposta, visando obter ganho elevado, redução nos esforços de tensão e elevado fator de potência, utilizando uma pequena quantidade de interruptores controlados. A proposição foi comprovada através da implementação de um protótipo de uma das topologias, apresentada na Figura 21, de tensão de saída de 1600 V, potência de saída de 2,5 kW e frequência de chaveamento em 90 kHz, onde conseguiu-se obter fator de potência elevado e baixa distorção harmônica total, com rendimento de 97,91 %, com semicondutores submetidos a 1/4 da tensão de saída.

Em (KISHORE; TRIPATHI, 2017), um retificador derivado do conversor SEPIC com rede de capacitor chaveado foi proposto. O conversor CCh é apresentado na Figura 22.

O conversor apresenta ganho estático elevado em relação ao convencional, o que fica evidente observando o ganho estático do conversor convencional:

$$\frac{V_o}{V_{in}} = \frac{D}{1-D}. \quad (13)$$

E o ganho estático do conversor proposto:

$$\frac{V_o}{V_{in}} = \frac{1+D}{1-D}. \quad (14)$$

Simulações do retificador SEPIC CCh para tensão de saída de 1600 V resultaram em fator de potência praticamente unitário e distorção harmônica total dentro dos limites da IEC61000-3-

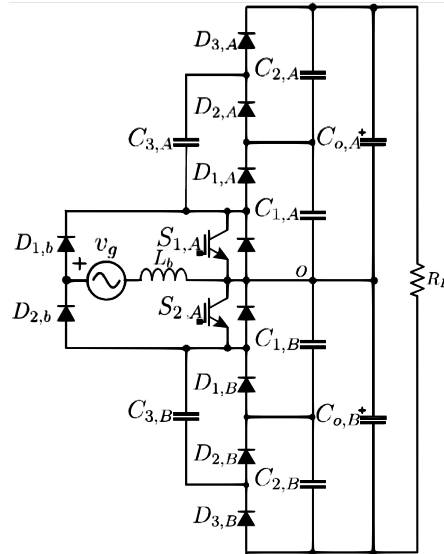


Figura 21 – Conversor Elevador Proposto por (CORTEZ; BARBI, 2015)

Fonte: (CORTEZ; BARBI, 2015)

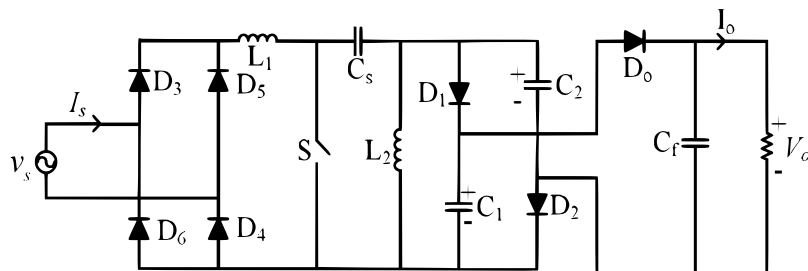


Figura 22 – Retificador SEPIC com Rede de Capacitor Chaveado

Fonte: (KISHORE; TRIPATHI, 2017)

2. O artigo sugere como proposta para aplicações de alta tensão CC e baixos níveis de corrente como sistemas de raio-X.

Em (COSTA; FONT; LAZZARIN, 2018), uma série de conversores AC-DC com base no retificador SEPIC dobrador de tensão para obtenção de alto fator de potência foi exposta, conforme Figura 23.

A estrutura utiliza um interruptor de três estágios que pode ser implementado utilizando um conjunto de chaves controladas e diodos. O conversor operando no modo de condução descontínua apresenta comportamento de correção de fator de potência intrínseco, portanto, dispensa a malha de controle de corrente para obter elevado fator de potência, e pode obter distorção harmônica total reduzida com ganho elevado e baixo esforço de tensão nos interruptores. Para comprovação foi concebido um protótipo de tensão de saída de 800 V, potência de saída de 1 kW, operando em frequência de chaveamento de 50 kHz. Como resultado, obteve-se um fator de potência de 0,99, DHT de 1,96 % com rendimento de 93,9 %.

Um conversor AC-DC do tipo *Boost*, ressonante, com multiplicador de tensão *Cockcroft-Walton*, foi sugerido por (YOUNG et al., 2011), e pode ser visualizado na Figura 24.

A topologia apresenta ganho elevado, expansível com a adição de células multiplicadoras,

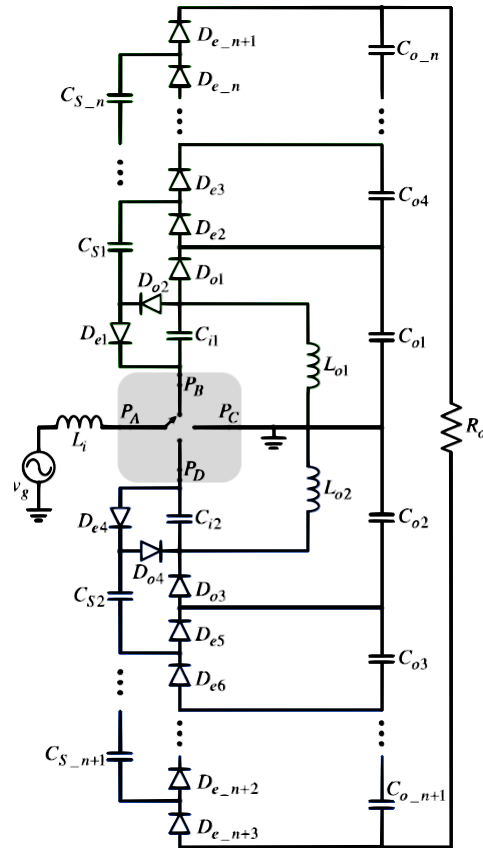


Figura 23 – Conversor CCh Baseado no Retificador SEPIC Dobrador de Tensão

Fonte: (COSTA; FONT; LAZZARIN, 2018)

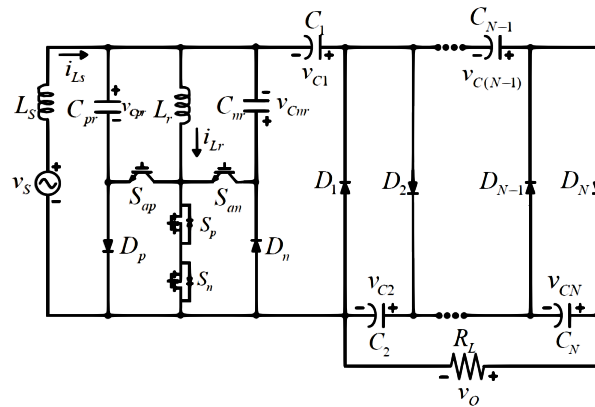


Figura 24 – Conversor AC-DC Ressonante tipo *Boost* com Multiplicador de Tensão *Cockcroft-Walton*

Fonte: (YOUNG et al., 2011)

e opera com alto rendimento sendo que a estrutura ressonante permite realizar comutação suave com tensão e corrente nulas. Em contrapartida, apresenta um grau de complexidade elevado para projeto e controle.

2.3.1 Retificador *Boost Bridgeless* Monofásico com Célula de Capacitor Chaveado

A topologia proposta em (DIAS; LAZZARIN, 2020b), a qual se trata do alvo de estudo desta dissertação, é apresentada na Figura 25.

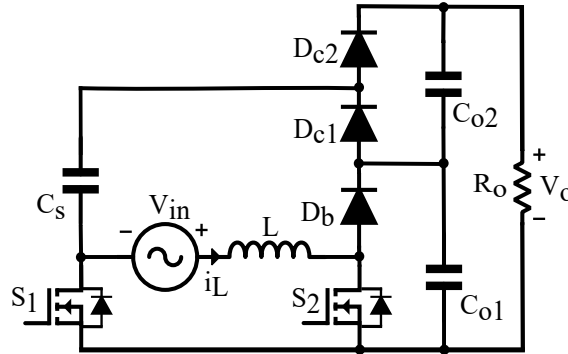


Figura 25 – Retificador *Boost Bridgeless* Monofásico com Célula de Capacitor Chaveado Única.

Fonte: O autor.

A estrutura é composta por dois interruptores controláveis, S_1 e S_2 , um indutor *Boost* L , um diodo *Boost*, D_b , dois capacitores de saída de baixa frequência, C_{o1} e C_{o2} , e uma célula de capacitor chaveado composta por um capacitor chaveado, C_s e dois diodos, D_{c1} e D_{c2} . A adição de células de capacitor chaveado e capacitores de saída pode elevar o ganho estático do conversor, sem aumentar os esforços de tensão nos semicondutores e capacitores, e preservando o número de interruptores controlados. Uma representação da topologia com a adição de N células de capacitor chaveado é apresentada na Figura 26.

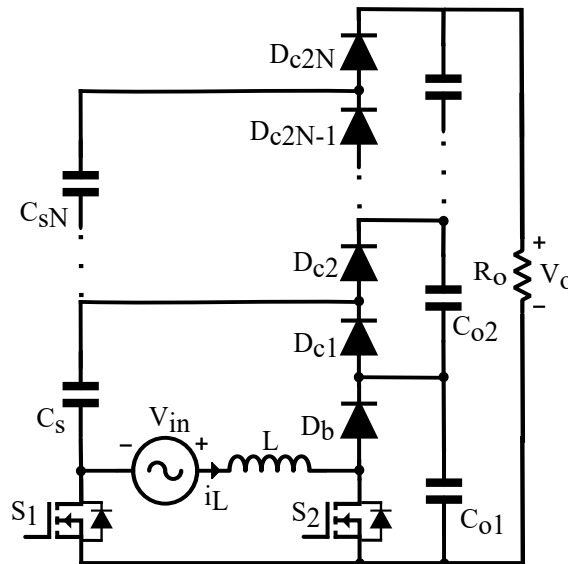


Figura 26 – Retificador *Boost Bridgeless* Monofásico com N Células de Capacitor Chaveado.

Fonte: O autor.

O ganho estático do Retificador *Boost Bridgeless* Monofásico operando no modo de condução contínua empregando N células, apresentado em (DIAS; LAZZARIN, 2020a), é obtido por:

$$\frac{V_o}{V_{in}} = \frac{N+1}{1-D}. \quad (15)$$

Os esforços de tensão nos semicondutores para a estrutura generalizada são definidos por:

$$V_{s1,2} = V_{Db,c1,c2} = \frac{V_o}{N+1}. \quad (16)$$

Esta característica dos retificadores híbridos baseados em células *Ladder* de capacitor chaveado de divisão dos esforços de tensão nos interruptores e balanço natural de tensão, dispensando o controle individual das tensões nos capacitores, necessário em diversas topologias de conversores multiníveis, consiste em uma vantagem significativa, pois permite empregar interruptores de menor custo e com melhores características dinâmicas, assim evitando perdas de comutação adicionais e permitindo a operação do conversor em frequências mais elevadas (DIAS; LAZZARIN, 2020a).

Outra vantagem da topologia apresentada consiste no posicionamento comum dos terminais *source* das chaves, também conectados ao pólo negativo da carga, o que permite a simplificação dos circuitos de *gate driver*, visto que não há necessidade de empregar comandos isolados para comutação das mesmas.

Uma consequência importante dessa topologia, que será detalhada na descrição das etapas de operação ao longo desta dissertação, refere-se ao comportamento do circuito sob a perspectiva dos capacitores de saída. Nesse arranjo, o capacitor C_{o2} é carregado apenas durante metade do ciclo da rede, fazendo com que o circuito, do ponto de vista dos capacitores, se assemelhe a um retificador de meia onda. Esse comportamento contrasta com o observado em retificadores CFP convencionais, nos quais os capacitores de saída são carregados em ambos os semiciclos, resultando em um equivalente de retificação de onda completa. Nesses casos, o projeto dos capacitores leva em conta o dobro da frequência da rede, permitindo a utilização de menores valores de capacitância para atender a uma determinada ondulação de tensão. Por outro lado, na estrutura em estudo, o carregamento em meia onda impõe maiores requisitos de capacitância, o que influencia diretamente o volume, o peso e o custo do conversor. Além disso, capacitâncias elevadas tendem a apresentar maior resistência série equivalente (ESR), o que aumenta as perdas de condução e pode afetar o desempenho global do sistema.

Ao decorrer do estudo da topologia, observou-se que, apesar de uma análise detalhada da operação no modo de condução contínua ter sido apresentada, nenhuma menção ao funcionamento deste conversor operando no modo de condução descontínua foi realizada. Desta forma, a sequência deste trabalho consiste na proposição da operação do conversor nesta condição, mediante apresentação do esquema de modulação, estados topológicos, metodologia de projeto, dimensionamento físico e verificação através de simulação e resultados experimentais.

3 RETIFICADOR *BOOST BRIDGELESS* MONOFÁSICO COM CÉLULA DE CAPACITOR CHAVEADO OPERANDO NO MODO DE CONDUÇÃO DESCONTÍNUA

A operação do Retificador *Boost Bridgeless* Monofásico com Célula de Capacitor Chaveado no modo de condução descontínua acarreta em uma série de benefícios em termos de redução das perdas de comutação, atribuída ao início da condução das chaves ocorrer com corrente nula no indutor *Boost* e à ocorrência do bloqueio natural dos diodos de alta frequência em determinadas etapas de operação, evitando que o pico da energia de recuperação reversa dos diodos seja dissipada nos interruptores na transição da etapa. Além disso, de modo similar ao retificador *Boost* CFP convencional, operando no MCD, a corrente de entrada segue naturalmente a forma de onda da tensão de entrada, o que confere à estrutura característica natural de correção do fator de potência, dispensando a necessidade de uma malha de controle de corrente do indutor *Boost* para garantir um fator de potência elevado, exigindo apenas uma malha de controle de tensão para determinação da tensão de saída, simplificando também os circuitos de sensoreamento e condicionamento. A forma de onda da corrente no indutor modulada pela tensão de entrada é exemplificada na Figura 27. A frequência de comutação do conversor é constante e foi selecionado um valor relativamente baixo para efeitos de visualização.

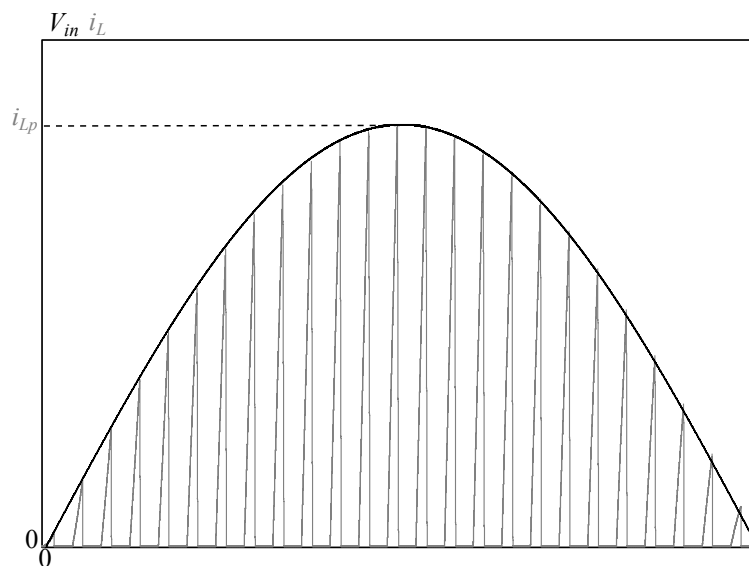


Figura 27 – Forma de Onda da Tensão de Entrada e Corrente no Indutor.

Fonte: O autor.

A contrapartida da operação do conversor no modo de condução descontínua consiste na necessidade de se ter um filtro LC (passa-baixas) para atenuação da componente de alta frequência, visando obter um formato de corrente senoidal na entrada do conversor, o que acarreta em acréscimo de peso, volume e custo.

O Retificador *Boost Bridgeless* com Célula de Capacitor Chaveado, operando no MCD, é particularmente recomendado para aplicações de elevada tensão de saída e baixa potência, devido aos elevados esforços de corrente, visto que a corrente no indutor parte de zero até o valor de pico, dependente dos parâmetros do conversor.

3.1 ESQUEMA DE MODULAÇÃO

Para acionamento dos interruptores controlados é empregada a modulação por largura de pulso, sendo que o conversor pode ser operado utilizando duas estratégias distintas. A maneira mais simples trata de realizar o acionamento simultâneo das chaves S_1 e S_2 , entretanto, este método implica em perdas de condução adicionais, devido ao caminho de circulação da corrente ocorrer através do diodo intrínseco do interruptor, cuja resistência de condução é maior, e também acresce as perdas de comutação (DIAS; LAZZARIN, 2020b). Uma representação visual dessa primeira estratégia de modulação é encontrada na Figura 28, onde V_{in} é o formato de onda da tensão de entrada, D é a razão cíclica, V_{tri} é o formato de onda de uma portadora de alta frequência triangular com variação de amplitude de 0 a 1, e S_1 e S_2 , os sinais de comando dos interruptores.

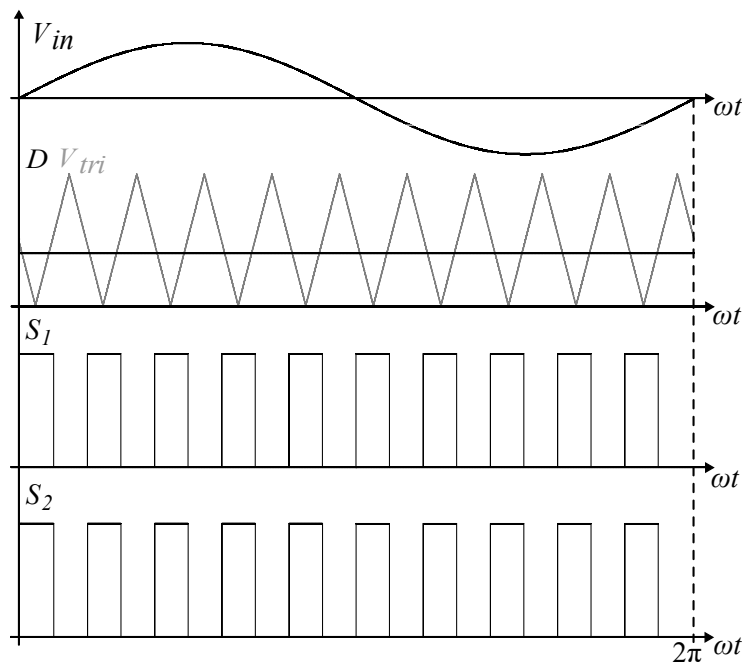


Figura 28 – Estratégia de Modulação 1 - Acionamento Simultâneo S_1 e S_2 .

Fonte: O autor.

Outra possibilidade é manter uma das chaves acionadas durante todo o semi-ciclo da tensão de entrada, a qual permite otimização do conversor devido à redução de perdas. Em contrapartida, este método exige o sensoreamento e condicionamento da tensão de entrada, e aumenta a complexidade do circuito para geração do sinal de comando, que implica em circuitos adicionais para realização da lógica, no caso desse sinal ser gerado de forma analógica. Neste trabalho, a modulação escolhida para operação do conversor é a exposta na Figura 29.

Embora o conversor demonstre um comportamento intrínseco de correção do fator de potência, ao analisar a forma de onda da corrente no indutor *Boost* que será apresentada junto às etapas de operação, é possível notar que a derivada durante a descarga do indutor causa uma distorção que está principalmente relacionada com a variação na duração do segundo

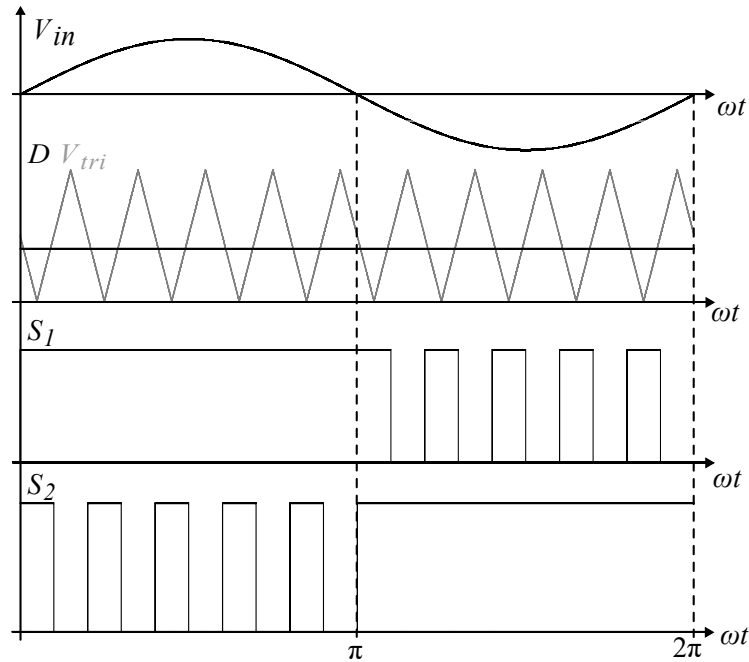


Figura 29 – Estratégia de Modulação 2 - Interruptor S_1 ou S_2 Acionado Durante toda Metade Ciclo da Rede Alternadamente .

Fonte: O autor.

estado topológico, devido à tensão aplicada ao indutor depender também da tensão de saída. Assim como no conversor *Boost* CFP convencional, existem metodologias consolidadas para a mitigação da distorção harmônica da corrente de entrada por meio do controle ativo do conversor. Tais abordagens visam modular a forma de onda da corrente absorvida da rede de maneira a se aproximar de uma senoide, reduzindo significativamente os harmônicos de baixa ordem e, consequentemente, melhorando a distorção harmônica total. Uma adaptação de uma dessas metodologias foi proposta e implementada no contexto do presente trabalho, considerando as particularidades topológicas e operacionais do conversor estudado. Essa adaptação é detalhada no Apêndice D, onde se descrevem os fundamentos teóricos, a estratégia de modulação adotada e os resultados obtidos por simulação.

3.2 ETAPAS DE OPERAÇÃO

A operação no modo de condução descontínua do conversor consiste em seis estágios operacionais, três para cada metade do ciclo da rede. O conversor apresenta uma operação assimétrica, considerando que o capacitor chaveado C_s transfere energia apenas durante a metade negativa do ciclo da rede. Também é apenas durante este semiciclo que o capacitor de saída C_{o2} é carregado. Por isso, os capacitores de saída devem ser dimensionados levando em consideração a frequência da rede, o que representa uma desvantagem em comparação com retificadores convencionais de CFP tipo *Boost*, nos quais os capacitores de saída são dimensionados para operar no dobro da frequência da rede.

3.2.1 Semiciclo Positivo $V_{in} > 0$

Inicialmente, são apresentadas as etapas de operação do semiciclo positivo da rede, no qual o interruptor S_1 permanece sempre acionado.

3.2.1.1 Primeira Etapa de Operação $0 < t < DT_s$

A primeira etapa de operação do conversor é apresentada na Figura 30. O interruptor S_2 é comanda a conduzir, conectando a fonte de tensão V_{in} em série com o indutor L , que armazena energia. A corrente no indutor cresce linearmente até atingir o valor de pico (I_{Lp}) em $t = DT_s$, quando S_2 é bloqueado. A corrente de carga é mantida pelos capacitores de saída C_{o1} e C_{o2} . No semiciclo positivo, o diodo D_{c1} é polarizado diretamente, visto que a tensão no capacitor C_{o1} é ligeiramente maior que a tensão no capacitor chaveado C_s . Entretanto, visto que C_s não transfere energia neste semiciclo, a corrente em D_{c1} pode ser desprezada na análise do conversor.

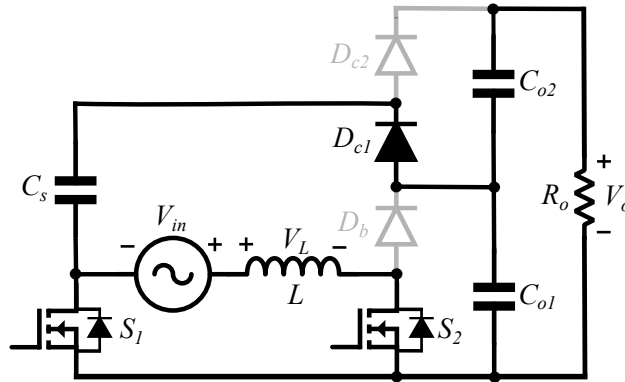


Figura 30 – Primeira Etapa de Operação - Semiciclo Positivo.

Fonte: O autor.

A corrente no indutor, i_L , no período é definida por:

$$i_L^{p1}(t) = \frac{V_{in}}{L}t. \quad (17)$$

A corrente de pico, I_{Lp}^p , no final da primeira etapa de operação é obtida por:

$$I_{Lp}^p = \frac{V_{in}}{L}DT_s. \quad (18)$$

3.2.1.2 Segunda Etapa de Operação $DT_s < t < D_2T_s$

A segunda etapa de operação do semiciclo positivo é exposta na Figura 31 e inicia quando o interruptor S_2 é bloqueado. A energia armazenada no indutor L é transferida para o capacitor de saída C_{o1} através do diodo D_b . A corrente no indutor decresce linearmente até atingir o valor nulo em $t = D_2T_s$. Nesta etapa, a corrente de saída permanece sendo fornecida pelos capacitores C_{o1} e C_{o2} .

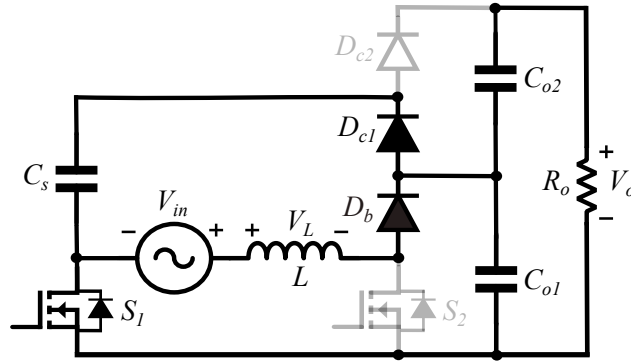


Figura 31 – Segunda Etapa de Operação - Semiciclo Positivo

Fonte: O autor.

A corrente no indutor, i_L , no período é equacionada por:

$$i_L^{p2}(t) = I_{Lp}^p - \frac{V_{C_{o1}} - V_{in}}{L}t. \quad (19)$$

Como a tensão no capacitor C_{o1} é, idealmente, metade da tensão de saída V_o , a Equação 19 pode ser reescrita por:

$$i_L^{p2}(t) = I_{Lp}^p - \frac{V_o - 2V_{in}}{2L}t. \quad (20)$$

3.2.1.3 Terceira Etapa de Operação $D_2T_s < t < T_s$

A terceira etapa de operação, ilustrada na Figura 32, se inicia quando a corrente no indutor atinge o valor zero, o que caracteriza a operação no modo de condução descontínua. Nessa etapa, apenas os capacitores de saída C_{o1} e C_{o2} fornecem energia para a carga R_o .

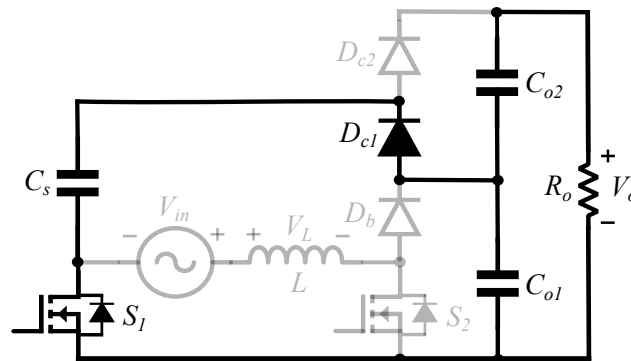


Figura 32 – Terceira Etapa de Operação - Semiciclo Positivo

Fonte: O autor.

A corrente no indutor, i_L , no período é definida por:

$$i_L^{p3}(t) = 0. \quad (21)$$

As principais formas de onda teóricas do conversor operando no MCD durante o semiciclo positivo, no período de chaveamento, são apresentadas na Figura 33.

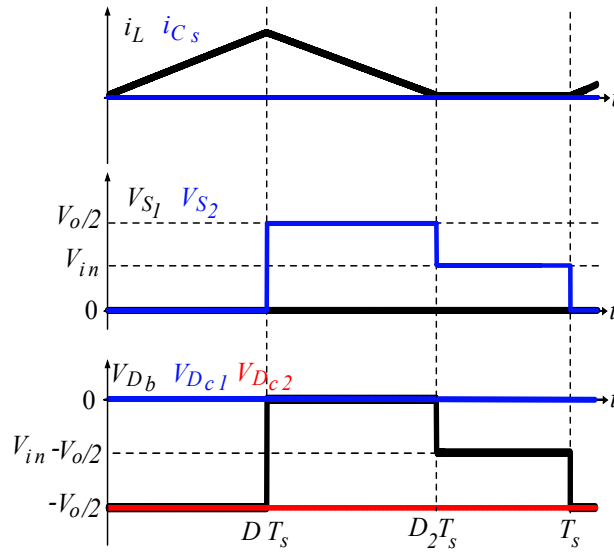


Figura 33 – Principais Formas de Onda Teóricas no Período de Chaveamento para o Semiciclo Positivo

Fonte: O autor.

3.2.2 Semiciclo Negativo $V_{in} < 0$

Na sequência, são apresentadas as etapas de operação do semiciclo negativo da rede, no qual o interruptor S_2 permanece sempre acionado.

3.2.2.1 Primeira Etapa de Operação $0 < t < DT_s$

Na primeira etapa de operação do semiciclo negativo da rede, representada pela Figura 34, o interruptor S_1 é comandada a conduzir, e a tensão de entrada V_{in} , agora com a polaridade invertida, é conectada em série com o indutor L que armazena energia. O capacitor de saída C_{o1} fornece energia para o capacitor chaveado C_s através do diodo D_{c1} , e os capacitores de saída C_{o1} e C_{o2} mantêm a corrente na carga R_o .

A função da corrente no indutor, i_L , no período:

$$i_L^{n1}(t) = \frac{V_{in}}{L}t. \quad (22)$$

A corrente de pico, I_{Lp}^n , no final da primeira etapa de operação é definida por:

$$I_{Lp}^n = \frac{V_{in}}{L}DT_s. \quad (23)$$

A função que representa a corrente no capacitor chaveado C_s na primeira etapa de operação do semiciclo negativo é apresentada:

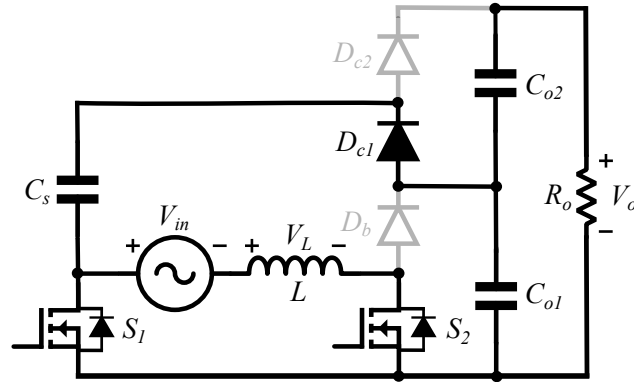


Figura 34 – Primeira Etapa de Operação - Semiciclo Negativo.

Fonte: O autor.

$$i_{C_s}^{n1}(t) = \frac{(V_{C_{o1}} - V_{C_s}(T_s)) \cdot e^{-\frac{t}{(R_{sum}) \cdot C_s}}}{R_{sum}}. \quad (24)$$

R_{sum} representa a soma das resistências de condução dos componentes no caminho de circulação da corrente, S_1 , D_{c1} , C_s e C_{o1} .

Considerando que as tensões nos capacitores no início da conexão em paralelo são distintas, devido à descarga do capacitor C_s na etapa subsequente, deve se ter atenção especial nessa etapa para dimensionamento do capacitor chaveado, visando evitar picos de correntes elevados que podem acrescer as perdas do conversor e aumentar os esforços de corrente dos semicondutores.

3.2.2.2 Segunda Etapa de Operação $DT_s < t < D_2T_s$

A segunda etapa de operação do semiciclo negativo, exposta na Figura 35, se inicia quando o interruptor S_1 é bloqueado. A energia armazenada no indutor L e no capacitor C_s é transferida para os capacitores de saída C_{o1} e C_{o2} e para a carga R_o .

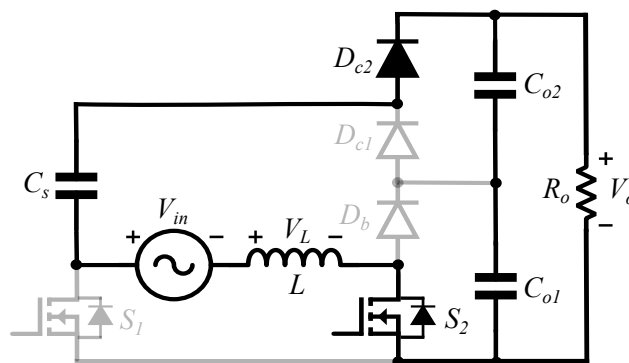


Figura 35 – Segunda Etapa de Operação - Semiciclo Negativo

Fonte: O autor.

A corrente no indutor, i_L , no período é definida por:

$$i_L^{n2}(t) = I_{Lp}^n + \frac{V_{in} - V_{Cs} + V_{Co1} + V_{Co2}}{L}t. \quad (25)$$

Como as tensões nos capacitores C_s , C_{o1} e C_{o2} são iguais e equivalentes à metade da tensão de saída, a Equação 25 pode ser reescrita na seguinte forma:

$$i_L^{n2}(t) = I_{Lp}^n + \frac{V_o + 2V_{in}}{2L}t. \quad (26)$$

Ao analisar o circuito desta etapa de operação observa-se que o indutor L e o capacitor chaveado C_s se encontram conectados em série, sendo que o formato de onda da corrente de descarga do capacitor chaveado é forçado pela corrente do indutor, portanto:

$$i_{Cs}^{n2}(t) = i_L^{n2}(t) = I_{Lp}^n + \frac{V_o + 2V_{in}}{2L}t. \quad (27)$$

3.2.2.3 Terceira Etapa de Operação $D_2T_s < t < T_s$

A última etapa de operação do conversor no semiciclo negativo inicia quando a corrente no indutor atinge o valor zero e é representada pela Figura 36. Nesta etapa de operação apenas os capacitores de saída C_{o1} e C_{o2} mantêm a tensão de saída V_o .

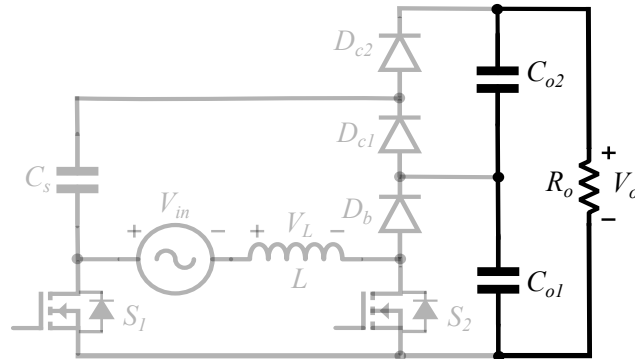


Figura 36 – Terceira Etapa de Operação - Semiciclo Negativo

Fonte: O autor.

A corrente no indutor, i_L , no período é nula:

$$i_L^{n3}(t) = 0. \quad (28)$$

E a corrente no capacitor chaveado é determinada por:

$$i_{Cs}^{n3}(t) = 0. \quad (29)$$

As principais formas de onda teóricas do conversor operando no MCD para o período de chaveamento no semiciclo negativo são encontradas na Figura 37.

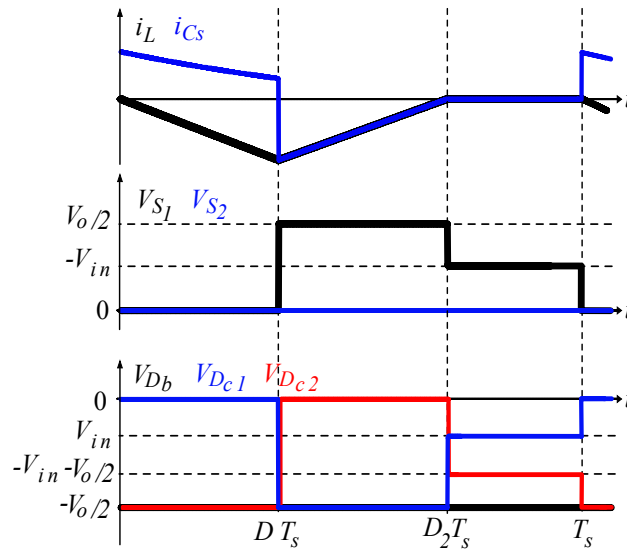


Figura 37 – Principais Formas de Onda Teóricas no Período de Chaveamento para o Semiciclo Negativo

Fonte: O autor.

3.3 ANÁLISE GLOBAL

A análise global do conversor inicia-se com a obtenção das principais equações para garantir a operação do conversor no modo de condução descontínua, com base na metodologia apresentada em (SEIXAS, 1993). Para análise do conversor, considera-se que a frequência da tensão da rede senoidal é significativamente menor que a frequência de chaveamento, por isso, a aproximação da tensão da rede por um sinal contínuo em um período de chaveamento é válida, conforme apresentado nas etapas de operação do conversor, sendo que para cada período de chaveamento as amplitudes de tensão e corrente são variáveis conforme a magnitude da tensão de entrada. A tensão de entrada é definida pela função:

$$V_{in}(t) = V_p \sin(\omega t). \quad (30)$$

O tempo de condução do interruptor que comuta no semiciclo é constante para cada período de chaveamento, e é definido por:

$$\Delta t_1 = DT_s. \quad (31)$$

Assim, a corrente de pico no indutor pode ser determinada:

$$i_{Lp}(t) = \frac{V_p \sin(\omega t)}{L} \Delta t_1. \quad (32)$$

Visto que, na segunda etapa de operação a corrente decresce até o valor zero, a variação de corrente no indutor será a mesma que a primeira etapa:

$$\Delta i_L(\Delta t_1) = \Delta i_L(\Delta t_2); \quad (33)$$

$$\frac{V_p \sin(\omega t)}{L} \Delta t_1 = \frac{\frac{V_o}{2} - V_p \sin(\omega t)}{L} \Delta t_2. \quad (34)$$

Ao isolar Δt_2 na Equação 34, obtém-se o tempo de duração da segunda etapa de operação:

$$\Delta t_2 = D_2 T_s - D T_s = \frac{V_p \sin(\omega t)}{\frac{V_o}{2} - V_p \sin(\omega t)} \Delta t_1. \quad (35)$$

Definindo α :

$$\alpha = \frac{V_p}{V_o}. \quad (36)$$

Reescrevendo Δt_2 em função de α , obtém-se:

$$\Delta t_2 = \frac{\alpha \sin(\omega t)}{\frac{1}{2} - \alpha \sin(\omega t)} \Delta t_1. \quad (37)$$

3.3.1 Razão Cíclica Máxima para Operação no MCD

Para garantir a operação do conversor no modo de condução descontínua durante todo o período da rede, deve-se calcular a razão cíclica máxima.

Considerando o pior caso, no limiar da descontinuidade quando a condução é crítica, temos que:

$$\Delta t_{2_{crit}} = (1 - D_{max}) T_s. \quad (38)$$

No pico da tensão de entrada a corrente no indutor atinge seu maior valor:

$$i_{Lp_{max}} = \frac{V_p}{L} \Delta t_1. \quad (39)$$

Por consequência, ocorre o maior tempo para a desmagnetização:

$$\Delta t_{2_{max}} = \frac{V_p}{\frac{V_o}{2} - V_p} \Delta t_1 = \frac{\alpha}{\frac{1}{2} - \alpha} D_{max} T_s. \quad (40)$$

Igualando as Equações 38 e 40 e isolando a razão cíclica, obtém-se a função que calcula a razão cíclica máxima:

$$D_{max} = 1 - 2\alpha. \quad (41)$$

3.3.2 Característica de Saída

De modo similar ao conversor *Boost* convencional, o valor médio da corrente de saída, I_{mo} , para um período de chaveamento pode ser obtida por:

$$I_{mo} = \frac{1}{T_s} \frac{i_{Lp} \Delta t_2}{2} = \frac{V_p D^2}{f_s L} \frac{\alpha \sin^2(\omega t)}{1 - 2\alpha \sin(\omega t)}. \quad (42)$$

O valor médio da corrente de saída em um semiciclo do período da rede:

$$I_o = \frac{1}{\pi} \int_0^\pi I_{mo} d\omega t = \frac{V_p D^2}{2\pi f_s L} \int_0^\pi \frac{\alpha \sin^2(\omega t)}{\frac{1}{2} - \alpha \sin(\omega t)} d\omega t \quad (43)$$

Definindo $Y_1(\alpha)$:

$$Y_1(\alpha) = \int_0^\pi \frac{\alpha \sin^2(\omega t)}{\frac{1}{2} - \alpha \sin(\omega t)} d\omega t. \quad (44)$$

Tem-se que:

$$I_o = \frac{V_p D^2}{2\pi f_s L} Y_1(\alpha). \quad (45)$$

3.3.3 Indutância Máxima para Operação no MCD

Para garantir a operação no modo de condução descontínua durante todo o período da rede deve se calcular também a indutância máxima.

A corrente de saída será máxima quando assim for a razão cíclica, portanto:

$$I_{o_{max}} = \frac{V_p (1 - 2\alpha)^2}{2\pi f_s L} Y_1(\alpha). \quad (46)$$

A potência máxima de saída é definida:

$$P_{o_{max}} = V_o I_{o_{max}}. \quad (47)$$

A corrente máxima de saída pode ser escrita da seguinte forma:

$$I_{o_{max}} = \frac{P_{o_{max}}}{V_o}. \quad (48)$$

Substituindo a Equação 48 na Equação 46 e isolando L obtém-se a indutância para operação no modo de condução crítica que configura o máximo valor de indutância para operação no MCD:

$$L_{max} = \frac{V_p^2}{2\pi f_s P_{o_{max}}} \frac{Y_1(\alpha)(1 - 2\alpha)^2}{\alpha}. \quad (49)$$

3.3.4 Capacitor Chaveado

Na sequência será apresentado o método de cálculo do capacitor chaveado C_s . O dimensionamento do capacitor chaveado é realizado com base nas etapas de operação do semiciclo negativo, visto que no semiciclo positivo não há transferência de energia envolvendo C_s . O critério para escolha de C_s é garantir que a carga do capacitor chaveado, que ocorre na primeira etapa de operação do semiciclo negativo, ocorra no modo de carga parcial (CP). Os capacitores chaveados podem operar em três modos de carga distintos (BEN-YAAKOV, 2012), relacionados a três parâmetros do conversor: frequência de comutação, resistência no caminho da corrente de carga e valor de capacitância do capacitor chaveado. Considerando que a frequência de comutação é fixa e determinada pelo projetista, e a resistência no caminho de condução é a soma das resistências intrínsecas dos componentes selecionados, tem-se que:

- **Modo de Carga Completa (CC):** Caracterizado por um elevado pico de corrente no início da etapa de operação, que decresce exponencialmente até o valor nulo antes do início da próxima etapa. Associado a valores de capacitância reduzidos e elevados esforços de corrente.
- **Modo de Carga Parcial (CP):** No início da etapa de operação, a corrente tem um valor máximo, significativamente inferior ao pico que ocorre no modo CC, que decresce com derivada praticamente linear até o fim da etapa de operação, sem atingir o valor nulo. Em geral, é o modo mais recomendado para operação dos capacitores chaveados, por empregar capacitores não tão grandes e inferir esforços de corrente moderados, próximos ao modo sem carga.
- **Modo Sem Carga (SC):** Neste modo, a corrente assume um valor praticamente constante durante toda a etapa de operação, confere esforços de correntes semelhante ao modo CP, entretanto, com valores de capacitância elevados, acrescentando peso e custo sem ganho significativo em termos de redução de perdas para o conversor em geral.

Os 3 modos de carga do capacitor chaveados estão ilustrados na Figura 38.

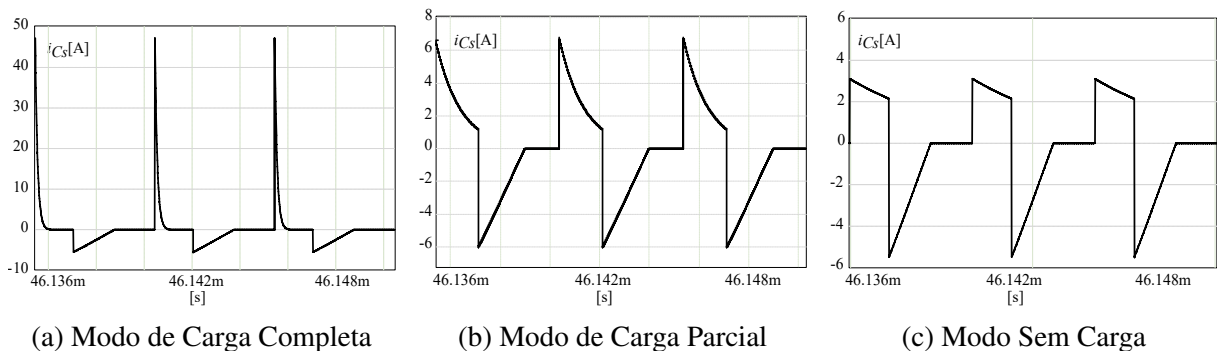


Figura 38 – Modos de Carga do Capacitor Chaveado

Fonte: O autor

A metodologia de seleção do capacitor chaveado neste trabalho consiste em calcular o valor eficaz da corrente para diversos valores de C_s , e a partir deste gráfico realizar a escolha do capacitor visando operação no modo de carga parcial.

O valor eficaz da corrente no capacitor chaveado pode ser calculado por:

$$i_{C_{sef}} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_{C_s}^2(t) dt} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i_{C_s}^2(t) dt + \int_{DT_s}^{D_2T_s} i_{C_s}^2(t) dt + \int_{D_2T_s}^{T_s} i_{C_s}^2(t) dt \right)}. \quad (50)$$

Sendo a corrente no capacitor chaveado na segunda etapa de operação igual a corrente de descarga do indutor, temos que:

$$\int_{DT_s}^{D_2T_s} i_{C_s}^2(t) dt = \int_{DT_s}^{D_2T_s} i_L^2(t) dt. \quad (51)$$

Na terceira etapa de operação, a corrente no capacitor chaveado é nula, portanto:

$$\int_{D_2T_s}^{T_s} i_{C_s}^2(t) dt = 0. \quad (52)$$

A transferência de energia entre o capacitor de saída C_{o1} e o capacitor chaveado C_s na primeira etapa de operação do semiciclo negativo pode ser representada pelo circuito equivalente demonstrado na Figura 39.

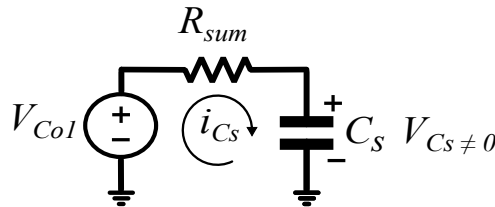


Figura 39 – Circuito equivalente da carga do capacitor chaveado

Fonte: O autor.

Por superposição, somando o efeito da fonte de alimentação com o efeito da carga inicial do capacitor chaveado, a função que define a tensão no capacitor chaveado C_s neste período é obtida:

$$V_{C_s}^{n1}(t) = V_{Co1} \cdot (1 - e^{-\frac{t}{R_{sum} \cdot C_s}}) + V_{C_s}(T_s) \cdot e^{-\frac{t}{R_{sum} \cdot C_s}}. \quad (53)$$

A evolução da corrente no capacitor chaveado C_s durante a primeira etapa de operação do semiciclo negativo pode ser determinada por:

$$i_{C_s}^{n1}(t) = \frac{(V_{Co1} - V_{C_s}(T_s)) \cdot e^{-\frac{t}{(R_{sum}) \cdot C_s}}}{R_{sum}}. \quad (54)$$

O valor final de tensão no capacitor chaveado, $V_{Cs}(T_s)$, é igual à tensão no capacitor chaveado no tempo D_2T_s , pois C_s não transfere energia no terceiro estágio operacional, e é calculado por:

$$V_{Cs}(T_s) = \frac{(V_{in} + V_{Co1})\Delta t_2^2 + 2V_{in}DT_s\Delta t_2}{2LC_s \left(1 - e^{\frac{-DT_s}{C_sR_{sum}}}\right)} + V_{Co1}. \quad (55)$$

Na segunda etapa de operação do semiciclo negativo, a corrente do capacitor chaveado é forçada pela descarga do indutor, e pode ser descrita por:

$$i_{Cs}^2(t) = i_L^2(t) = \frac{(2V_{in} + V_o) \cdot t}{2L} + \frac{V_{in}DT_s}{L}. \quad (56)$$

Portanto, a função que define o valor eficaz no período de chaveamento da corrente no capacitor chaveado é obtida:

$$i_{Cs_{ef}} = \left(\frac{(V_{Co1} - V_{Cs}(T_s))^2 C_s (1 - e^{\frac{2DT_s}{C_sR_{sum}}})}{2R_{sum}T_s} + \frac{(2V_{in} + V_o)^2}{6LT_s} \Delta t_2^3 + \frac{V_{in}D(2V_{in} + V_o)}{2L^2} \Delta t_2^2 + \frac{V_{in}^2 D^2 T_s^2}{L^2 T_s} \Delta t_2 \right)^{\frac{1}{2}}. \quad (57)$$

A relação entre as capacitâncias e as correntes eficazes (RMS) calculadas do capacitor chaveado para três diferentes valores de frequência de chaveamento f_s (50 kHz, 100 kHz e 200 kHz) no pico da tensão de entrada é apresentada na Figura 40.

Observando a Figura 40, pode-se concluir que o valor eficaz da corrente do capacitor diminui exponencialmente com o aumento do valor da capacitância. No entanto, a partir de determinados valores de capacitância, a corrente RMS atinge um valor praticamente constante, onde aumentos adicionais na capacitância não proporcionam uma redução significativa na corrente RMS. Dessa forma, a escolha de capacitores maiores não traz benefícios relevantes em termos de perdas no conversor, mas aumenta o custo e o volume da solução.

Ao analisar o efeito da frequência de chaveamento na corrente RMS do capacitor chaveado, observa-se que um aumento na frequência de chaveamento reduz significativamente o valor RMS para capacitâncias menores, onde o carregamento do capacitor chaveado ocorre no modo de carga completa. No entanto, como o objetivo é carregar o capacitor chaveado no modo de carga parcial, é importante notar que a frequência de chaveamento determina a corrente RMS mínima alcançável. Entretanto, um aumento excessivo na frequência resulta em maiores perdas por chaveamento, o que exige que o projetista encontre o ponto ótimo que atenda às especificações do conversor.

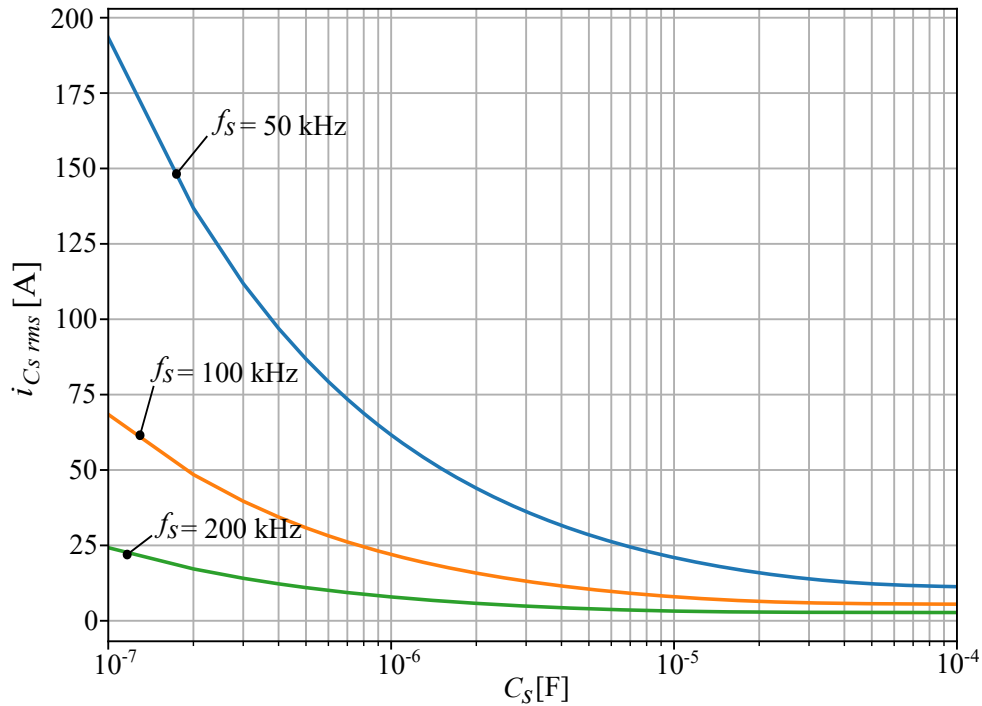


Figura 40 – Corrente RMS - Capacitor Chaveado

Fonte: O autor.

3.3.5 Capacitores de Saída

Os capacitores de saída são projetados para reduzir a ondulação de baixa frequência da tensão de saída, com base na determinação de uma capacitância equivalente, C'_o , que corresponde à conexão série dos capacitores de saída C_{o1} e C_{o2} . Considerando que o conversor se comporta similarmente a um retificador monofásico de meia-onda, visto que a carga do capacitor C_{o2} ocorre apenas durante um semiciclo da rede, os capacitores de saída são dimensionados para filtrar a frequência da tensão de entrada.

O dimensionamento dos capacitores é realizado a partir da análise do circuito equivalente de saída, conforme apresentado na Figura 41.

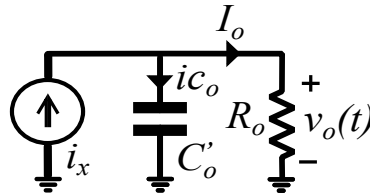


Figura 41 – Circuito equivalente do ponto de vista da saída do conversor

Fonte: O autor.

A reatância capacitiva é dada por:

$$XC'_o = \frac{1}{2\pi f C'_o}. \quad (58)$$

A reatância capacitiva também pode ser descrita da seguinte forma:

$$XC'_o = \frac{\Delta V_o}{I_{C_{pp}}}. \quad (59)$$

Onde ΔV_o representa a ondulação da tensão de saída desejada e $I_{C_{pp}}$ a corrente pico a pico no capacitor.

Sendo assim, a capacitância C'_o pode ser calculada por:

$$C'_o = \frac{I_{C_{pp}}}{2\pi f \Delta V_o}. \quad (60)$$

A ondulação de corrente no capacitor $I_{C_{pp}}$ pode ser obtida igualando as potências instantâneas de entrada e saída do conversor, conforme a equação:

$$V_p I_p \sin^2(\omega t) = V_o i_x(\omega t). \quad (61)$$

Isolando a variável $i_x(\omega t)$, obtém-se:

$$i_x(\omega t) = \frac{2P_o \sin^2(\omega t)}{V_o}. \quad (62)$$

Aplicando uma identidade trigonométrica, a função que descreve $i_x(\omega t)$ pode ser reescrita como:

$$i_x(\omega t) = \frac{P_o}{V_o} - \frac{P_o \cos(2\omega t)}{V_o}. \quad (63)$$

A Equação 63 apresenta um termo contínuo e um termo variante no tempo. Sabe-se que o capacitor processa apenas a componente alternada desta corrente, portanto:

$$i_{c_o} = \frac{P_o \cos(2\omega t)}{V_o}. \quad (64)$$

A corrente de pico é obtida quando $\omega t = \pi/2$. Multiplicando a corrente de pico por 2, $I_{C_{pp}}$ é obtido:

$$I_{C_{pp}} = \frac{2P_o}{V_o}. \quad (65)$$

Substituindo a Equação 65 na Equação 60, obtém-se a expressão que calcula a capacitância equivalente de saída:

$$C'_o = \frac{P_o}{\pi f V_o \Delta V_o}. \quad (66)$$

Os valores individuais dos capacitores de saída podem ser obtidos multiplicando a capacitância equivalente pelo número de capacitores:

$$C_{o1} = C_{o2} = \frac{2P_o}{\pi f V_o \Delta V_o}. \quad (67)$$

Para cálculo da dissipação de potência nos capacitores de saída C_{o1} e C_{o2} , deve-se calcular o valor eficaz da corrente nos capacitores. No semiciclo positivo, o capacitor de saída C_{o1} fornece a corrente da carga na primeira e na última etapas de operação. Na segunda etapa de operação, a corrente no capacitor é igual à corrente do indutor subtraída pela corrente de saída. Portanto, o valor eficaz no período de chaveamento da corrente no capacitor C_{o1} no semiciclo positivo:

$$i_{C_{o1-efp}}(\omega t) = \left\{ \frac{1}{T_s} \left[\frac{P_o^2}{V_o^2} (T_s - \Delta t_2) + \left(\frac{V_p \sin(\omega t) - V_o}{L} \right)^2 \frac{\Delta t_2^3}{3} + \left(\frac{V_p \sin(\omega t) D T_s}{L} - \frac{P_o}{V_o} \right) \frac{(V_p \sin(\omega t) - V_o)}{L} \Delta t_2^2 + \left(\frac{V_p \sin(\omega t) D T_s}{L} - \frac{P_o}{V_o} \right) \Delta t_2 \right] \right\}^{\frac{1}{2}}. \quad (68)$$

No semiciclo negativo, o capacitor de saída C_{o1} fornece a corrente de carga do capacitor chaveado C_s e a corrente de saída, na primeira etapa de operação. Na segunda etapa de operação desse semiciclo, a corrente no capacitor equivale à subtração da corrente do indutor L pela corrente de saída. Na terceira etapa, o capacitor apenas fornece energia para a carga. O valor eficaz no período de chaveamento da corrente no capacitor C_{o1} no semiciclo negativo é dado por:

$$i_{C_{o1-efn}}(\omega t) = \left\{ \frac{1}{T_s} \left[-2 \frac{P_o}{V_o} (V_{C_{o1}} - V_{C_s}(T_s)) C_s e^{-\frac{D T_s}{R_{sum} C_s}} - \frac{(V_{C_{o1}} - V_{C_s}(T_s))^2 C_s^2 e^{-\frac{2 D T_s}{R_{sum} C_s}}}{2 R_{sum}} - \frac{P_o^2}{V_o^2} (T_s - \Delta t_2) + \left(\frac{-V_p \sin(\omega t) - V_o}{L} \right)^2 \frac{\Delta t_2^3}{3} + \left(\frac{-V_p \sin(\omega t) D T_s}{L} - \frac{P_o}{V_o} \right) \frac{(-V_p \sin(\omega t) - V_o)}{L} \Delta t_2^2 + \left(\frac{-V_p \sin(\omega t) D T_s}{L} - \frac{P_o}{V_o} \right) \Delta t_2 \right] \right\}^{\frac{1}{2}}. \quad (69)$$

A partir das Equações 68 e 69 é possível calcular o valor eficaz da corrente no capacitor C_{o1} definido pela expressão:

$$i_{C_{o1-EF}} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi i_{C_{o1-efp}}^2(\omega t) d\omega t + \int_\pi^{2\pi} i_{C_{o1-efn}}^2(\omega t) d\omega t \right)}. \quad (70)$$

No semiciclo positivo, o capacitor de saída C_{o2} fornece a corrente da carga. Portanto, o valor eficaz no período de chaveamento da corrente no capacitor C_{o2} no semiciclo positivo:

$$i_{C_{o2-efp}}(\omega t) = \frac{P_o}{V_o}. \quad (71)$$

No semiciclo negativo, o capacitor de saída C_{o2} fornece a corrente de saída nas etapas de operação 1 e 3. Na segunda etapa de operação desse semiciclo, a corrente no capacitor equivale à subtração da corrente do indutor L pela corrente de saída. O valor eficaz no período de chaveamento da corrente no capacitor C_{o2} no semiciclo negativo é dado por:

$$i_{C_{o2-efn}}(\omega t) = \left\{ \frac{1}{T_s} \left[\frac{P_o^2}{V_o^2} (T_s - \Delta t_2) + \left(\frac{-V_p \sin(\omega t) - V_o}{L} \right)^2 \frac{\Delta t_2^3}{3} + \left(\frac{-V_p \sin(\omega t) D T_s}{L} - \frac{P_o}{V_o} \right) \frac{(-V_p \sin(\omega t) - V_o)}{L} \Delta t_2^2 + \left(\frac{-V_p \sin(\omega t) D T_s}{L} - \frac{P_o}{V_o} \right) \Delta t_2 \right] \right\}^{\frac{1}{2}}. \quad (72)$$

A partir das Equações 71 e 72 é possível calcular o valor eficaz da corrente no capacitor C_{o2} definida pela expressão:

$$i_{C_{o2-EF}} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi i_{C_{o2-efp}}^2(\omega t) d\omega t + \int_\pi^{2\pi} i_{C_{o2-efn}}^2(\omega t) d\omega t \right)}. \quad (73)$$

3.3.6 Esforços do conversor

Na sequência, são apresentadas as equações para determinação dos esforços de corrente nos semicondutores, junto às considerações para determinação dos esforços de tensão.

3.3.6.1 Interruptor S_1

No semiciclo positivo, a corrente no interruptor S_1 é igual à corrente no indutor *Boost*. Sendo assim, o valor médio no período de chaveamento da corrente é calculado por:

$$i_{S_1-mp}(\omega t) = - \left[\frac{V_p \sin(\omega t) D^2}{2f_s L} + \left(\frac{V_p \sin(\omega t) - \frac{V_o}{2}}{2L T_s} \right) \Delta t_2^2 + \frac{V_p \sin(\omega t) D \Delta t_2}{L} \right]. \quad (74)$$

E o valor eficaz no período de chaveamento da corrente no interruptor S_1 no semiciclo positivo é definido por:

$$i_{S_1-efp}(\omega t) = \sqrt{\frac{1}{T_s} \left[\frac{V_p^2 \cdot \sin^2(\omega t) \cdot D^3 \cdot T_s^3}{3 \cdot L^2} + \frac{\left(V_p \cdot \sin(\omega t) - \frac{V_o}{2} \right)^2}{3 \cdot L^2} \cdot \Delta t_2^3 \right]}. \quad (75)$$

No semiciclo negativo, na etapa 1, S_1 conduz a corrente de magnetização do indutor *Boost* e a corrente de carga do capacitor chaveado. Portanto, o valor médio no período de chaveamento da corrente neste semiciclo:

$$i_{S_1-mn}(\omega t) = \frac{1}{T_s} \left[\frac{\frac{V_o}{2} - V_{C_s-\Delta t_2}(\omega t)}{R_{eq}} C_s R_{eq} \left(e^{\frac{-D T_s}{C_s R_{eq}}} - 1 \right) - \frac{V_p \sin(\omega t) D^2 T_s^2}{2L} \right]. \quad (76)$$

E o valor eficaz no período de chaveamento da corrente, no semiciclo negativo:

$$i_{S1-efn}(\omega t) = \left\{ \frac{1}{T_s} \left[- \left(\frac{V_{Co1} - V_{Cs}^{n2}(\omega t)}{R_{sum}} \right)^2 \frac{R_{sum} C_s e^{\frac{-2DT_s}{C_s R_{sum}}}}{2} + \right. \right. \\ \left. \left. 2 \frac{V_{Co1} - V_{Cs}^{n2}(\omega t) - V_p \sin(\omega t)}{R_{sum}} \frac{1}{L} \left(-C_s R_{sum} D T_s e^{\frac{-DT_s}{C_s R_{sum}}} - C_s^2 R_{sum}^2 e^{\frac{-DT_s}{C_s R_{sum}}} + \right. \right. \right. \\ \left. \left. \left. C_s^2 R_{sum}^2 \right) + \frac{V_p^2 \sin^2(\omega t) D^3 T_s^3}{L^2} \frac{1}{3} \right] \right\}^{\frac{1}{2}}. \quad (77)$$

O valor eficaz da corrente no interruptor S_1 , no período completo da rede:

$$i_{S1-EF} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi i_{S1-efp}^2(\omega t) d\omega t + \int_\pi^{2\pi} i_{S1-efn}^2(\omega t) d\omega t \right)}. \quad (78)$$

O valor de pico da corrente no interruptor S_1 , considerando a operação do capacitor chaveado no modo de carga parcial, é obtido através da soma da corrente de pico no armazenamento do indutor L com a corrente final da carga do capacitor chaveado C_s :

$$i_{S1-pk} = \frac{V_p D}{L f_s} + \frac{V_{Co1} - V_{Cs}^{n1} \left(\frac{3\pi}{2} \right)}{R_{sum}} e^{\frac{-DT_s}{C_s R_{sum}}}. \quad (79)$$

O esforço máximo de tensão no interruptor S_1 ocorre na segunda etapa de operação no semiciclo negativo. Nesta etapa, a tensão no interruptor é dada pela soma dos capacitores de saída C_{o1} e C_{o2} , subtraindo a tensão no capacitor chaveado C_s . Como a tensão nos capacitores é idealmente igual e equivalente à metade da tensão de saída, temos que:

$$V_{S1-max} = V_{Co1} + V_{Co2} - V_{Cs} = \frac{V_o}{2}. \quad (80)$$

3.3.6.2 Interruptor S_2

No semiciclo positivo, o interruptor S_2 conduz a corrente de magnetização do indutor L .

O valor médio no período de chaveamento da corrente no interruptor S_2 no semiciclo positivo:

$$i_{S2-mp}(\omega t) = \frac{V_p \sin(\omega t) D^2}{2L f_s}. \quad (81)$$

O valor eficaz no período de chaveamento da corrente no interruptor S_2 no semiciclo positivo:

$$i_{S2-efp}(\omega t) = \frac{V_p \sin(\omega t)}{L f_s} \sqrt{\frac{D^3}{3}}. \quad (82)$$

No semiciclo negativo o interruptor S_2 permanece acionado, portanto, o valor médio no período de chaveamento da corrente é equivalente à corrente do indutor:

$$i_{S_2-mn}(\omega t) = \left[\frac{V_p \sin(\omega t) D^2}{2f_s L} + \left(\frac{V_p \sin(\omega t) + \frac{V_o}{2}}{2LT_s} \right) \Delta t_2^2 + \frac{V_p \sin(\omega t) D \Delta t_2}{L} \right]. \quad (83)$$

O valor eficaz no período de chaveamento da corrente no interruptor S_2 no semiciclo negativo:

$$i_{S_2-efn}(\omega t) = \left[\frac{V_p^2 \sin^2(\omega t) D^3}{3L^2 f_s^2} + \frac{(2V_p \sin(\omega t) + V_o) V_p \sin(\omega t) D \Delta t_2^2}{2L^2} + \frac{(2V_p \sin(\omega t) + V_o)^2 \Delta t_2^3}{12L^2 T_s} + \frac{V_p^2 \sin^2(\omega t) D^2 \Delta t_2}{L^2 T_s} \right]^{\frac{1}{2}}. \quad (84)$$

O valor eficaz da corrente no interruptor S_2 , no período completo da rede:

$$i_{S_2-EF} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi i_{S_2-efp}^2(\omega t) d\omega t + \int_\pi^{2\pi} i_{S_2-efn}^2(\omega t) d\omega t \right)}. \quad (85)$$

A corrente de pico no interruptor S_2 é igual à corrente de pico no indutor L :

$$i_{S_2-pk} = \frac{V_p D}{L f_s}. \quad (86)$$

O esforço máximo de tensão no interruptor S_2 ocorre na segunda etapa de operação do semiciclo positivo. Nesta etapa, o diodo D_b está diretamente polarizado, conectando o capacitor C_{o1} em paralelo com o interruptor S_2 :

$$V_{S_2-max} = V_{C_{o1}} = \frac{V_o}{2}. \quad (87)$$

3.3.6.3 Diodo D_b

No semiciclo positivo, o diodo D_b conduz a corrente de desmagnetização do indutor L .

O valor médio no período de chaveamento da corrente no diodo D_b no semiciclo positivo:

$$i_{D_b-mp}(\omega t) = \frac{1}{T_s} \left[\frac{V_p \sin(\omega t) D \Delta t_2 T_s}{L} + \frac{(2V_p \sin(\omega t) - V_o)}{4L} \Delta t_2^2 \right]. \quad (88)$$

O valor eficaz no período de chaveamento da corrente no diodo D_b no semiciclo positivo:

$$i_{D_b-efp}(\omega t) = \left[\frac{V_p^2 \sin^2(\omega t) D^2}{L^2} T_s \Delta t_2 + \frac{(2V_p \sin(\omega t) - V_o) V_p \sin(\omega t) D \Delta t_2^2}{2L^2} + \frac{(2V_p \sin(\omega t) - V_o)^2 \Delta t_2^3}{12L^2 T_s} \right]^{\frac{1}{2}}. \quad (89)$$

No semiciclo negativo, o diodo D_b não é polarizado diretamente.

Portanto, o valor médio da corrente no diodo D_b no período completo da rede:

$$i_{D_{b-M}} = \frac{1}{2\pi} \int_0^\pi i_{D_{b-mp}}(\omega t) d\omega t. \quad (90)$$

O valor eficaz da corrente no diodo D_b , no período completo da rede:

$$i_{D_{b-EF}} = \sqrt{\frac{1}{2\pi} \int_0^\pi i_{D_{b-efp}}^2(\omega t) d\omega t}. \quad (91)$$

A corrente de pico no interruptor D_b é igual à corrente de pico no indutor L :

$$i_{D_{b-pk}} = \frac{V_p D}{L f_s}. \quad (92)$$

O esforço máximo de tensão indireta no diodo D_b ocorre na primeira etapa de operação do semiciclo positivo quando o diodo se encontra em paralelo com o capacitor de saída C_{o1} :

$$V_{D_{b-max}} = V_{C_{o1}} = \frac{V_o}{2}. \quad (93)$$

3.3.6.4 Diodo D_{c1}

No semiciclo positivo, o diodo D_{c1} é polarizado diretamente conectando C_s e C_{o1} em paralelo, entretanto, a diferença de tensão entre os capacitores é tão pequena que a corrente de circulação através do diodo D_{c1} é desprezada na análise de esforços do componente.

No semiciclo negativo, na primeira etapa de operação, o diodo D_{c1} conduz a corrente de carga do capacitor chaveado. Para obtenção dos esforços de corrente, é necessário obter a função que define a tensão final no capacitor chaveado na etapa 2.

Para simplificação $a_1(\omega t)$ é definido:

$$a_1(\omega t) = \frac{1}{C_s} \left(\frac{V_p \sin(\omega t) + V_{C_{o1}}}{2L} \Delta t_2^2 + \frac{V_p \sin(\omega t) D T_s \Delta t_2}{L} \right). \quad (94)$$

A tensão no capacitor chaveado na etapa 2 do semiciclo negativo pode ser representada pela função:

$$V_{C_s}^{n2}(\omega t) = \frac{a_1(\omega t)}{1 - e^{\frac{-D T_s}{R_{sum} C_s}}} + V_{C_{o1}}. \quad (95)$$

O valor eficaz no período de chaveamento da corrente no diodo D_{c1} :

$$i_{D_{c1-efn}}(\omega t) = \frac{V_{C_{o1}} - V_{C_s}^{n2}(\omega t)}{R_{sum}} \sqrt{\frac{1}{T_s} \left(\frac{R_{sum} C_s}{2} - \frac{R_{sum} C_s e^{\frac{-2DT_s}{R_{sum} C_s}}}{2} \right)}. \quad (96)$$

O valor médio da corrente no diodo D_{c1} no período da rede:

$$i_{D_{c1-M}} = \frac{1}{2\pi} \int_{\pi}^{2\pi} \frac{V_{C_{o1}} - V_{C_s}^{n2}(\omega t)}{T_s} C_s \frac{e^{\frac{-DT_s}{C_s R_{sum}}} - 1}{1} d\omega t. \quad (97)$$

O valor eficaz da corrente no diodo D_{c1} no período da rede:

$$i_{D_{c1-EF}} = \sqrt{\frac{1}{2\pi} \int_{\pi}^{2\pi} i_{D_{c1-efn}}^2(\omega t) d\omega t}. \quad (98)$$

A corrente de pico no diodo D_{c1} equivale à corrente de pico da carga do capacitor chaveado que ocorre no início da primeira etapa de operação no semiciclo negativo:

$$i_{D_{c1-pk}} = \frac{V_{C_{o1}} - V_{C_s}^{n2}(\frac{3\pi}{2})}{R_{sum}} e^{\frac{0}{C_s R_{sum}}}. \quad (99)$$

O esforço máximo de tensão indireta no diodo D_{c1} ocorre na segunda etapa de operação do semiciclo negativo quando o diodo se encontra em paralelo com o capacitor de saída C_{o1} :

$$V_{D_{c1-max}} = V_{C_{o1}} = \frac{V_o}{2}. \quad (100)$$

3.3.6.5 Diodo D_{c2}

No semiciclo positivo, não há circulação de corrente através do diodo D_{c2} .

No semiciclo negativo, o diodo D_{c2} conduz a corrente de desmagnetização do indutor *Boost*, que também representa a corrente de descarga do capacitor chaveado.

O valor médio no período de chaveamento da corrente no diodo D_{c2} no semiciclo negativo:

$$i_{D_{c2-mn}} = \frac{1}{T_s} \left(-\frac{V_p \sin(\omega t) DT_s \Delta t_2}{L} - \frac{2V_p \sin(\omega t) + V_o}{4L} \Delta t_2^2 \right). \quad (101)$$

O valor eficaz no período de chaveamento da corrente no diodo D_{c2} no semiciclo negativo:

$$i_{D_{c2-efn}}(\omega t) = \left[\frac{V_p^2 \sin^2(\omega t) D^2}{L^2} T_s \Delta t_2 + \frac{(2V_p \sin(\omega t) + V_o) V_p \sin(\omega t) D \Delta t_2^2}{2L^2} + \frac{(2V_p \sin(\omega t) + V_o)^2 \Delta t_2^3}{12L^2 T_s} \right]^{\frac{1}{2}}. \quad (102)$$

O valor médio da corrente no diodo D_{c2} no período completo da rede:

$$i_{D_{c2-M}} = \frac{1}{2\pi} \int_{\pi}^{2\pi} i_{D_{c2-mn}}(\omega t) d\omega t. \quad (103)$$

O valor eficaz da corrente no diodo D_{c2} , no período completo da rede:

$$i_{D_{c2-EF}} = \sqrt{\frac{1}{2\pi} \int_{\pi}^{2\pi} i_{D_{c2-efn}}^2(\omega t) d\omega t}. \quad (104)$$

O valor de pico da corrente no interruptor D_{c2} é igual ao valor de pico da corrente no indutor L :

$$i_{D_{c2-pk}} = \frac{V_p D}{L f_s}. \quad (105)$$

O esforço máximo de tensão indireta no diodo D_{c2} ocorre na primeira etapa de operação do semiciclo positivo, quando o diodo se encontra em paralelo com o capacitor de saída C_{o2} .

$$V_{D_{c2-max}} = V_{C_{o1}} = \frac{V_o}{2}. \quad (106)$$

3.3.7 Filtro LC de Entrada

O conversor opera em uma alta frequência de comutação, e a corrente de entrada se torna distorcida devido a essa comutação. Portanto, um filtro de entrada LC é inserido na entrada do conversor para tornar a forma de onda da corrente de entrada menos distorcida, minimizando as harmônicas de alta frequência que fluem através da rede.

Os critérios para o projeto do filtro são os seguintes:

- A frequência de corte, f_{cutoff} , deve ser uma década abaixo da frequência de comutação para uma atenuação significativa das harmônicas e aproximadamente 20 vezes maior do que a frequência da rede para evitar a introdução de defasagens entre a tensão e a corrente de entrada.
- O coeficiente de amortecimento, ζ , deve estar entre 0,7 e 1 para evitar oscilações em torno da frequência de corte e para evitar a introdução de defasagens entre a tensão e a corrente de entrada.

Para obter os valores de capacitância e indutância do filtro de entrada, a resistência equivalente do conversor da perspectiva do filtro LC deve ser calculada:

$$R_{eq} = \frac{V_p}{I_{Lp}} = \frac{L f_s}{D}. \quad (107)$$

De posse da resistência equivalente R_{eq} , o capacitor de filtro pode ser calculado por:

$$C_f = \frac{1}{2\zeta(2\pi f_{cutoff})R_{eq}}. \quad (108)$$

Com a definição do capacitor de filtro, calcula-se a indutância do filtro:

$$L_f = \frac{1}{(2\pi f_{cutoff})^2 C_f}. \quad (109)$$

No capítulo seguinte, será apresentado o dimensionamento físico dos componentes do protótipo desenvolvido com o objetivo de validar, na prática, as metodologias propostas neste capítulo.

4 PROJETO DO RETIFICADOR *BOOST* BRIDGELESS MONOFÁSICO COM CÉLULA DE CAPACITOR CHAVEADO OPERANDO NO MODO DE CONDUÇÃO DESCONTÍNUA

O projeto do Retificador *Boost Bridgeless* Monofásico com Célula de Capacitor Chaveado operando no modo de condução descontínua se inicia pela delimitação das especificações, as quais estão expostas na Tabela 1. As especificações de tensão e frequência de entrada, tensão de saída e potência de saída foram determinadas com base em (IMAI; NOVAES, 2019), visando a obtenção de um conversor de estágio inicial para conexão série com uma estrutura inversora, para gerar pulsos elétricos de alta tensão e curta duração, que tem como aplicação a Eletroporação.

Tabela 1 – Especificações do Conversor.

Especificações		
Frequência de Chaveamento	f_s	37 kHz
Tensão de Saída	V_o	1200 V
Potência de Saída	P_o	315 W
Tensão de Entrada	V_{in}	220 V
Frequência da Tensão de Entrada	f	60 Hz
Associação Série de Resistências	R_{sum}	0,857 Ω

Observa-se que a associação série de resistências, R_{sum} , que representa a soma das resistências intrínsecas de S_1 , D_{c1} , C_s e C_{o1} é um dado de entrada, apesar de, neste ponto do projeto, os componentes comerciais ainda não terem sido escolhidos de fato. Portanto, deve-se ter uma estimativa do que será obtido após a seleção para efeitos de cálculo, principalmente em relação às variáveis associadas ao projeto do capacitor chaveado C_s . Na prática, o projeto ocorre de forma iterativa. À medida que os componentes são selecionados, deve-se ajustar o valor de R_{sum} para que os cálculos representem o comportamento do conversor real de forma mais precisa. Dessa forma, o valor R_{sum} apresentado na Tabela 1 já representa o valor obtido com os componentes selecionados.

Inicialmente, calcula-se a relação entre a tensão de entrada e saída:

$$\alpha = \frac{V_p}{V_o} = \frac{V_{in}\sqrt{2}}{V_o} = 0,259. \quad (110)$$

Então, razão cíclica máxima para garantir a descontinuidade da corrente no indutor é calculada:

$$D_{max} = 1 - 2\alpha = 0,481. \quad (111)$$

O ponto de operação de razão cíclica, no qual o conversor atinge a tensão de saída especificada, é dado por:

$$D = 0,354. \quad (112)$$

4.1 PROJETO DO INDUTOR *BOOST*

Inicialmente, o valor de indutância máxima para operação no modo de condução descontínua é obtido:

$$Y_1(\alpha) = \int_0^\pi \frac{\alpha \sin^2(\omega t)}{\frac{1}{2} - \alpha \sin(\omega t)} d\omega t = 1,486. \quad (113)$$

$$L_{max} = \frac{V_p^2}{2\pi f_s P_{o_{max}}} \frac{Y_1(\alpha)(1-2\alpha)^2}{\alpha} = 1,756 \text{ mH}. \quad (114)$$

Escolhendo valor de indutância inferior à máxima:

$$L = 480 \mu\text{H}. \quad (115)$$

O valor eficaz da corrente no indutor no período da rede obtido:

$$i_{L_{EF}} = 2,035 \text{ A}. \quad (116)$$

O valor de pico da corrente no indutor:

$$i_{L_{PK}} = 6,202 \text{ A}. \quad (117)$$

O dimensionamento físico dos indutores foi realizado com base nas referências (OLIVEIRA et al., 2001), (BARBI; FONT; ALVES, 2002) e (BARBI, 2007). O núcleo de ferrite escolhido foi o NEE-30/15/14.

Para posterior avaliação das perdas totais do conversor e cálculo da eficiência teórica, as perdas no indutor são apresentadas junto ao cálculo de elevação de temperatura. O dimensionamento físico completo do indutor *Boost* pode ser visualizado no Apêndice E.

Portanto, as perdas no cobre são calculadas:

$$P_{cuL} = R_{ccL} i_{L_{EF}}^2 = 1,401 \text{ W}. \quad (118)$$

As perdas no núcleo são obtidas através de:

$$P_{magL} = \left[8C_m 100000^x \left(\frac{\Delta B_{ac}}{2} \right)^y \right] 10^{-3} = 1,448 \text{ W}. \quad (119)$$

Somando as Equações 208 e 209, têm-se as perdas totais no indutor:

$$P_{tL} = P_{cuL} + P_{magL} = 2,849 \text{ W}. \quad (120)$$

Para obter a elevação de temperatura, inicialmente é calculada a resistência térmica de acordo com o núcleo escolhido:

$$R_{th} = \frac{59,3}{V_e^{0,544}} = \frac{59,3}{80,544} = 19,13 \frac{^{\circ}\text{C}}{\text{W}}. \quad (121)$$

Assim, a elevação de temperatura pode ser determinada através da multiplicação da resistência térmica pela potência dissipada:

$$\Delta t_{hL} = P_{tL} R_{th} = 54,515 ^{\circ}\text{C}. \quad (122)$$

O valor de elevação de temperatura foi considerado adequado, portanto, não há necessidade de ventilação forçada para resfriamento do indutor.

4.2 DIMENSIONAMENTO DO CAPACITOR CHAVEADO

Para projeto e escolha do capacitor chaveado, o cálculo do valor eficaz da corrente no período de chaveamento na tensão de pico da entrada foi realizado para diversos valores de C_s . A Figura 42 apresenta o gráfico que relaciona o valor eficaz da corrente no capacitor chaveado para diferentes capacitores C_s , considerando as especificações iniciais de projeto.

Uma capacitância de $C_s = 20 \mu\text{F}$ foi escolhida, visando obter um valor eficaz de corrente próximo ao menor valor possível sem sobredimensionar o capacitor, caracterizando a configuração em carga parcial. O valor eficaz da corrente no capacitor para $C_s = 20 \mu\text{F}$:

$$i_{C_s-EF} = 2,66 \text{ A}. \quad (123)$$

Dessa forma, o capacitor escolhido para implementação no conversor foi o capacitor de filme de polipropileno C4AQQBW5200A3LJ da Kemet®, cujos dados se encontram na Tabela 2 (KEMET, 2023).

Uma das principais vantagens do capacitor de filme de polipropileno consiste em sua baixa resistência série-equivalente, apesar da densidade de energia ser reduzida se comparada a capacitores eletrolíticos. Visto que o valor da resistência série-equivalente do capacitor escolhido é extremamente baixa, as perdas no capacitor chaveado foram desprezadas.

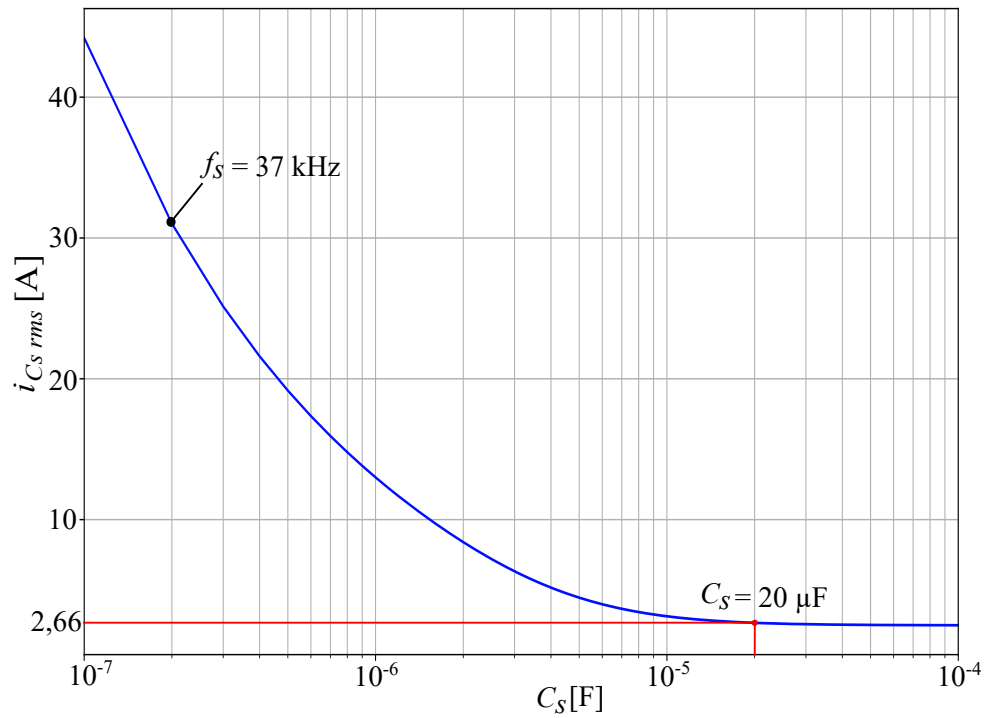


Figura 42 – Seleção do Capacitor Chaveado C_s

Fonte: O autor.

Tabela 2 – Dados - C4AQQBW5200A3LJ.

Dados do Capacitor Chaveado	
Capacitância	$20 \mu F$
Tensão de Operação	$1100 V$
Resistência Série Equivalente	$3,9 m\Omega$

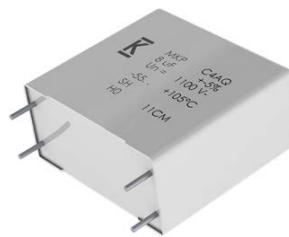


Figura 43 – C4AQQBW5200A3LJ

Fonte: (KEMET, 2023).

4.3 DIMENSIONAMENTO DOS SEMICONDUTORES

O dimensionamento dos semicondutores foi realizado a partir da análise dos esforços de corrente e tensão a que estarão submetidos. Após a seleção dos componentes comerciais, foram conduzidos os cálculos de perdas por condução e comutação, bem como a estimativa da elevação de temperatura decorrente da dissipação de potência.

4.3.1 Dimensionamento do Interruptor S_1

Inicialmente, os esforços de corrente do interruptor S_1 são calculados.

O valor eficaz da corrente no interruptor S_1 , no período completo da rede:

$$i_{S_1-EF} = 2,04 \text{ A.} \quad (124)$$

A corrente de pico no interruptor S_1 , considerando a operação do capacitor chaveado no modo de carga parcial:

$$i_{S_1-pk} = 8,695 \text{ A.} \quad (125)$$

O esforço máximo de tensão no interruptor S_1 :

$$V_{S_1-max} = 600 \text{ V.} \quad (126)$$

Por se tratar de um conversor operando em modo de condução descontínua, no qual as perdas de condução são determinantes para a eficiência global, optou-se pela utilização de um MOSFET com tecnologia de *Silicon Carbide*, devido à sua reduzida resistência de condução $R_{DS(ON)}$. Com base nessa decisão e por disponibilidade, foi escolhido o MOSFET IMZ120R045M1 da Infineon®, cujas especificações se encontram na Tabela 3. Os dados de tempo de descida e subida da comutação do interruptor foram calculados para as condições de tensão de saída e tensão de acionamento do gate utilizadas neste projeto.

Tabela 3 – Dados - IMZ120R045M1.

Dados IMZ120R045M1		
Corrente de Dreno	i_D	52 A
Tensão Dreno-Source	V_{DS}	1200 V
Temperatura de Junção	T_j	175 °C
Tempo de subida	t_r	24 ns
Tempo de descida	t_f	32 ns
Resistência térmica encapsulamento-dissipador	R_{CD}	0,24 °C/W
Resistência térmica junção-encapsulamento	R_{JC}	0,51 °C/W
Resistência térmica junção-ambiente	R_{JA}	62 °C/W
Resistência de condução	$R_{DS(ON)}$	45 mΩ
Carga Total Gate	Q_G	52 nC

De posse dessas informações, foram calculadas as perdas para o interruptor S_1 .

Considerando a tensão de acionamento de 15 V, as perdas no *gate* no interruptor S_1 :

$$P_{gate-S_1} = V_G Q_G f_s = 0,029 \text{ W.} \quad (127)$$

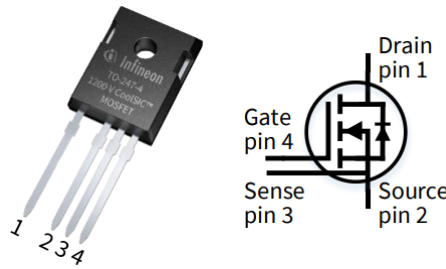


Figura 44 – IMZ120R045M1

Fonte: (INFINEON, 2020).

As perdas de condução:

$$P_{cond-S_1} = R_{DS(ON)} i_{S_1-EF}^2 = 0,187 \text{ W}. \quad (128)$$

Para cálculo das perdas de comutação, foram consideradas as transições da etapa 1 para a etapa 2 no semiciclo negativo, onde S_1 é comandado a bloquear enquanto conduz a soma da corrente de pico no indutor com a corrente final na carga do capacitor chaveado, sendo a tensão de bloqueio metade da tensão de saída, e também da etapa 3 para a etapa 1 no semiciclo negativo, quando o interruptor S_1 é acionado e ocorre a corrente de pico na carga do capacitor C_s , sendo a tensão de bloqueio equivalente à tensão de entrada V_{in} .

$$P_{com-S_1} = \frac{1}{2} \cdot \frac{V_o}{2} \cdot f_s \cdot t_f \cdot \frac{1}{2\pi} \int_{\pi}^{2\pi} \left[\frac{\left(\frac{V_o}{2} - V_{C_s}^{n2}(\omega t)\right)}{R_{sum}} e^{\frac{-DT_s}{C_s R_{sum}}} + \frac{-V_p \sin(\omega t) DT_s}{L} \right] d\omega t \quad (129)$$

$$+ \frac{1}{2} \cdot \frac{V_o}{2} \cdot f_s \cdot t_r \cdot \frac{1}{2\pi} \int_{\pi}^{2\pi} \left[\frac{\left(\frac{V_o}{2} - V_{C_s}^{n2}(\omega t)\right)}{R_{sum}} (-V_p \sin(\omega t)) \right] d\omega t = 0,226 \text{ W}.$$

As perdas totais no interruptor S_1 :

$$P_{S_1} = P_{gate-S_1} + P_{cond-S_1} + P_{com-S_1} = 0,443 \text{ W}. \quad (130)$$

Considerando a temperatura ambiente $T_A = 40^\circ\text{C}$, calcula-se a resistência térmica junção-ambiente máxima necessária para garantir que a temperatura de junção não ultrapassará 80 % do valor máximo:

$$R_{JA-S_1} = \frac{0,8T_j - T_A}{P_{S_1}} = 225,73 \frac{^\circ\text{C}}{\text{W}}. \quad (131)$$

Como a resistência térmica junção-ambiente do componente escolhido é menor do que a máxima calculada, não é necessário o emprego de dissipador de calor. A temperatura máxima de junção do interruptor S_1 é calculada:

$$T_{jmax-S_1} = T_A + R_{JA-S_1} P_{S_1} = 67,46 \text{ } ^\circ\text{C}. \quad (132)$$

Para fins práticos de variação da potência e validação do conversor com diferentes opções de semicondutores, adotou-se no projeto o dissipador de calor modelo 532702B02500G da Aavid®. Esse componente possui uma resistência térmica de $R_{DA} = 4,8 \text{ } ^\circ\text{C}/\text{W}$ em condições de convecção natural (AAVID, 2020).



Figura 45 – 532702B02500G

Fonte: (AAVID, 2020).

4.3.2 Dimensionamento do Interruptor S_2

Inicialmente, os esforços de corrente do interruptor S_2 são calculados.

O valor eficaz da corrente no interruptor S_2 , no período completo da rede:

$$i_{S_2-EF} = 1,79 \text{ A}. \quad (133)$$

A corrente de pico no interruptor S_2 :

$$i_{S_2-pk} = 6,202 \text{ A}. \quad (134)$$

O esforço máximo de tensão no interruptor S_2 :

$$V_{S_2-max} = 600 \text{ V}. \quad (135)$$

Conforme critérios estabelecidos para seleção do interruptor S_1 , para o interruptor S_2 também foi escolhido o MOSFET IMZ120R045M1 da Infineon®, cujas especificações foram apresentadas anteriormente na Tabela 3.

Na sequência, as perdas para o interruptor S_2 são calculadas.

Considerando a tensão de acionamento de 15 V, as perdas no *gate* do interruptor S_2 :

$$P_{gate-S_2} = V_G Q_G f_s = 0,029 \text{ W}. \quad (136)$$

As perdas de condução:

$$P_{cond-S_2} = R_{DS(ON)} i_{S_2-EF}^2 = 0,144 \text{ W}. \quad (137)$$

Para cálculo das perdas de comutação, foi considerada a transições da etapa 1 para a etapa 2 no semiciclo positivo, onde S_2 é comandado a bloquear enquanto conduz a corrente de pico no indutor.

$$P_{com-S_2} = \frac{1}{2} \cdot \frac{V_o}{2} \cdot f_s \cdot t_f \cdot \frac{1}{2\pi} \int_0^\pi \frac{V_p \sin(\omega t) DT_s}{L} d\omega t = 0,526 \text{ W}. \quad (138)$$

As perdas totais no interruptor S_2 :

$$P_{S_2} = P_{gate-S_2} + P_{cond-S_2} + P_{com-S_2} = 0,699 \text{ W}. \quad (139)$$

Considerando a temperatura ambiente $T_A = 40^\circ\text{C}$, calcula-se a resistência térmica junção-ambiente necessária para garantir que a temperatura de junção não ultrapassará 80% do valor máximo:

$$R_{JA-S_2} = \frac{0,8T_j - T_A}{P_{S_2}} = 143,06 \frac{^\circ\text{C}}{\text{W}}. \quad (140)$$

Como a resistência térmica junção-ambiente do componente escolhido é menor do que a máxima calculada, não é necessário o emprego de dissipador de calor. A temperatura máxima de junção do interruptor S_2 é calculada:

$$T_{jmax-S_2} = T_A + R_{JA-S_2} P_{S_2} = 83,33^\circ\text{C}. \quad (141)$$

Novamente, o dissipador modelo 532702B02500G da Aavid® foi considerado no projeto físico.

4.3.3 Dimensionamento do diodo D_b

Inicialmente, são calculados os esforços de tensão e corrente no diodo D_b .

O valor médio da corrente no período da rede:

$$i_{D_b-M} = 0,26 \text{ A}. \quad (142)$$

O valor eficaz da corrente no período da rede:

$$i_{D_b-EF} = 0,967 \text{ A}. \quad (143)$$

A corrente de pico no diodo D_b :

$$i_{D_b-PK} = 6,202 \text{ A.} \quad (144)$$

O esforço de tensão no diodo D_b :

$$V_{D_b-max} = 600 \text{ V.} \quad (145)$$

Para construção do protótipo físico foi selecionado o diodo Schottky modelo IDW40G120C5B da Infineon®, também construído a partir de *Silicon Carbide*. Os dados estão expostos na Tabela 4 (INFINEON, 2021).

Tabela 4 – Dados - IDW40G120C5B.

Dados IDW40G120C5B			
Corrente Direta	i_F	20 A	
Tensão Reversa Máxima	V_{DS}	1200 V	
Temperatura de Junção	T_j	175 °C	
Resistência térmica junção-ambiente	R_{JA}	62 °C/W	
Resistência térmica junção-encapsulamento	R_{JC}	0,6 °C/W	
Resistência de condução	$R_{D(ON)}$	0,208 Ω	
Tensão Direta	V_f	0,7 V	

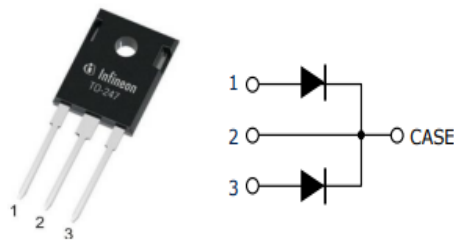


Figura 46 – IDW40G120C5B

Fonte: (INFINEON, 2021).

Apesar de o componente IDW40G120C5B possuir dois diodos em seu encapsulamento, apenas um foi utilizado. A partir dos dados da tabela e dos esforços de corrente obtidos, são calculadas as perdas no diodo D_b .

As perdas de condução no diodo D_b :

$$P_{cond-D_b} = i_{D_b-M} V_f + R_{D(ON)} i_{D_b-EF}^2 = 0,377 \text{ W.} \quad (146)$$

Para o cálculo das perdas de comutação, é considerada a transição da etapa 1 para a etapa 2 do semiciclo positivo, onde S_2 é bloqueado enquanto conduz a corrente de pico no indutor

e D_b assume a corrente, sendo a tensão de bloqueio na etapa anterior equivalente à metade da tensão de saída. As perdas de comutação no diodo D_b :

$$P_{com-D_b} = \frac{1}{2} \cdot \frac{V_o}{2} \cdot f_s \cdot t_f \cdot \frac{1}{2\pi} \int_0^\pi \frac{V_p \sin(\omega t) DT_s}{L} d\omega t = 0,526 \text{ W}. \quad (147)$$

As perdas totais no diodo D_b :

$$P_{D_b} = P_{cond-D_b} + P_{com-D_b} = 0,902 \text{ W}. \quad (148)$$

A resistência térmica junção-ambiente necessária para manter a temperatura de junção dentro de 80% do valor máximo é calculada:

$$R_{JA-D_b} = \frac{0,8T_j - T_A}{P_{D_b}} = 110,86 \frac{^\circ\text{C}}{\text{W}}. \quad (149)$$

Visto que a resistência térmica junção-ambiente do componente é menor que a máxima calculada, não se faz necessário o emprego de dissipador de calor. A temperatura máxima de junção para a potência nominal é calculada:

$$T_{jmax-D_b} = T_A + R_{JA-D_b} P_{D_b} = 95,92 \text{ } ^\circ\text{C}. \quad (150)$$

Assim como para os interruptores controlados, o dissipador modelo 532702B02500G da Aavid® foi incluído no projeto físico.

4.3.4 Dimensionamento do diodo D_{c1}

Inicialmente, são calculados os esforços de tensão e corrente no diodo D_{c1} .

O valor médio da corrente no diodo D_{c1} no período da rede:

$$i_{D_{c1-M}} = 0,26 \text{ A}. \quad (151)$$

O valor eficaz da corrente no diodo D_{c1} no período da rede:

$$i_{D_{c1-EF}} = 0,803 \text{ A}. \quad (152)$$

A corrente de pico no diodo D_{c1} :

$$i_{D_{c1-PK}} = 4,358 \text{ A}. \quad (153)$$

O esforço de tensão no diodo D_{c1} :

$$V_{D_{c1-max}} = 600 \text{ V}. \quad (154)$$

Para construção do protótipo físico foi selecionado o diodo IDW40G120C5B da Infineon®, cujos dados foram apresentados anteriormente na Tabela 4. A escolha de um diodo Schottky para D_{c1} é extremamente recomendada, devido à sua corrente de recuperação reversa nula. Esta característica é importante, pois, devido à operação de carga do capacitor em modo parcial, no final da etapa 1 do semiciclo negativo, o bloqueio de D_{c1} é forçado enquanto circula a corrente de carga do capacitor chaveado C_s . A seleção do diodo Schottky busca evitar perdas adicionais de comutação.

Na sequência, as perdas no diodo D_{c1} são calculadas.

As perdas de condução no diodo D_{c1} :

$$P_{cond-D_{c1}} = i_{D_{c1-M}} V_f + R_{D(ON)} i_{D_{c1-EF}}^2 = 0,316 \text{ W}. \quad (155)$$

Na análise das etapas de operação do conversor no modo de condução descontínua, é observado que não ocorrem perdas de comutação no diodo D_{c1} :

$$P_{com-D_{c1}} = 0. \quad (156)$$

As perdas totais no diodo D_{c1} , portanto:

$$P_{D_{c1}} = P_{cond-D_{c1}} = 0,316 \text{ W}. \quad (157)$$

A resistência térmica junção-ambiente para manter a temperatura de junção dentro de 80% do valor máximo:

$$R_{JA-D_{c1}} = \frac{0,8T_j - T_A}{P_{D_{c1}}} = 316,29 \frac{^{\circ}\text{C}}{\text{W}}. \quad (158)$$

A temperatura máxima de junção na operação do conversor em potência nominal:

$$T_{jmax-D_{c1}} = T_A + R_{JA-D_{c1}} P_{D_{c1}} = 59,59 \text{ }^{\circ}\text{C}. \quad (159)$$

Novamente, o dissipador modelo 532702B02500G da Aavid® foi incluído.

4.3.5 Dimensionamento do diodo D_{c2}

Inicialmente, são calculados os esforços de tensão e corrente no diodo D_{c2} .

O valor médio da corrente no diodo D_{c2} no período da rede:

$$i_{D_{c2-M}} = 0,26 \text{ A.} \quad (160)$$

O valor eficaz da corrente no diodo D_{c2} no período da rede:

$$i_{D_{c2-EF}} = 0,967 \text{ A.} \quad (161)$$

A corrente de pico no diodo D_{c2} :

$$i_{D_{c2-PK}} = 6,202 \text{ A.} \quad (162)$$

O esforço de tensão no diodo D_{c2} :

$$V_{D_{c2-max}} = 600 \text{ V.} \quad (163)$$

O diodo IDW40G120C5B da Infineon® será utilizado como D_{c2} para construção do protótipo físico, cujos dados foram apresentados previamente na Tabela 4.

Na sequência, são calculadas as perdas no diodo D_{c2} .

As perdas de condução no diodo D_{c2} :

$$P_{cond-D_{c2}} = i_{D_{c2-M}} V_f + R_{D(ON)} i_{D_{c2-EF}}^2 = 0,377 \text{ W.} \quad (164)$$

Para cálculo das perdas de comutação do diodo D_{c2} , foi considerada a transição da etapa 1 para a etapa 2, onde S_1 é comandado ao bloqueio enquanto conduz a corrente de pico do indutor, que passa a circular através de D_{c2} , cuja tensão de bloqueio na etapa anterior é de metade da tensão de saída:

$$P_{com-D_{c2}} = \frac{1}{2} \cdot \frac{V_o}{2} \cdot f_s \cdot t_f \cdot \frac{1}{2\pi} \int_0^\pi \frac{V_p \sin(\omega t) D T_s}{L} d\omega t = 0,526 \text{ W.} \quad (165)$$

As perdas totais no diodo D_{c2} :

$$P_{D_{c2}} = P_{cond-D_{c2}} + P_{com-D_{c2}} = 0,902 \text{ W.} \quad (166)$$

A resistência térmica junção-ambiente para manter a temperatura de junção dentro de 80% do valor máximo:

$$R_{JA-D_{c2}} = \frac{0,8T_j - T_A}{P_{D_{c2}}} = 110,80 \frac{^{\circ}C}{W}. \quad (167)$$

A temperatura máxima de junção na operação do conversor em potência nominal:

$$T_{jmax-D_{c2}} = T_A + R_{JA-D_{c2}} P_{D_{c2}} = 95,92 ^{\circ}C. \quad (168)$$

O dissipador 532702B02500G da Aavid® também será empregado para condução do calor dissipado por D_{c2} , por flexibilidade de projeto e para possibilitar a operação do componente em menor temperatura.

4.4 DIMENSIONAMENTO DOS CAPACITORES DE SAÍDA

Para projeto dos capacitores de saída C_{o1} e C_{o2} , foi definida uma ondulação de tensão de saída de 1,5 %. O cálculo da capacitância equivalente, conforme a metodologia apresentada no capítulo anterior:

$$C'_o = 77,37 \mu F. \quad (169)$$

A partir da capacitância equivalente, calcula-se os valores individuais dos capacitores de saída:

$$C_{o1} = C_{o2} = 154,70 \mu F. \quad (170)$$

Para implementação do protótipo físico, será utilizada a conexão série de dois capacitores B43509s5337M067 da TDK®. Os dados de tabela do capacitor escolhido estão expostos na Tabela 5 (TDK, 2019).

Tabela 5 – Dados - B43509s5337M067.

Dados B43509s5337M067		
Capacitância	C_R	330 μF
Tensão de Operação	V_{DS}	450 V
Resistência Série-Equivalente	R_{SE}	300 m Ω

Após seleção dos componentes comerciais, as perdas nos capacitores foram determinadas. Inicialmente, o valor eficaz da corrente do capacitor C_{o1} é obtido:

$$i_{C_{o1-EF}} = 1,53 A. \quad (171)$$



Figura 47 – B43509s5337M06

Fonte: (TDK, 2019).

Multiplicando o quadrado do valor eficaz de corrente no capacitor C_{o1} pela resistência série-equivalente da conexão em série dos dois capacitores, a dissipação de potência é calculada:

$$P_{C_{o1}} = R_{SE-C_{o1}} i_{C_{o1-EF}}^2 = 1,40 \text{ W.} \quad (172)$$

Em seguida, foi realizado o cálculo do valor eficaz da corrente no capacitor C_{o2} :

$$i_{C_{o2-EF}} = 0,95 \text{ A.} \quad (173)$$

De posse dessa informação, as perdas no capacitor C_{o2} podem ser obtidas:

$$P_{C_{o2}} = R_{SE-C_{o2}} i_{C_{o2-EF}}^2 = 0,54 \text{ W.} \quad (174)$$

A operação assimétrica do conversor fica evidente ao se comparar as perdas entre os capacitores de saída C_{o1} e C_{o2} .

4.5 PROJETO DO FILTRO LC DE ENTRADA

De acordo com a metodologia apresentada no capítulo anterior, a resistência equivalente do conversor do ponto de vista do filtro é calculada:

$$R_{LC} = \frac{L f_s}{D} = 50,169 \Omega. \quad (175)$$

O coeficiente de amortecimento escolhido para evitar oscilações em torno da frequência de corte e para evitar a introdução de defasagens entre a tensão e a corrente de entrada:

$$\zeta = 1. \quad (176)$$

Considerando que a frequência de corte deve estar a uma década abaixo da frequência de comutação e pelo menos 20 vezes maior que a frequência da rede, a frequência de corte selecionada:

$$f_{cutoff} = 1500 \text{ Hz}. \quad (177)$$

O valor de capacitância do filtro é calculado:

$$C_f = \frac{1}{2\zeta(2\pi f_{cutoff})R_{LC}} = 1,057 \mu F. \quad (178)$$

De acordo com a capacitância obtida, foi escolhido o componente B32923-A2105 da EPCOS®, cujas características estão expostas na Tabela 6.

Tabela 6 – Dados - B32923-A2105.

Dados do Capacitor de Filtro	
Capacitância	1 μF
Tensão de Operação	305 V
Classe	X2

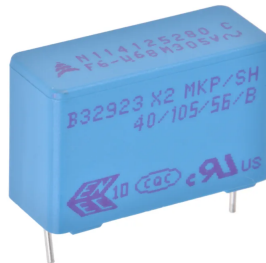


Figura 48 – B32923-A2105

Fonte: (EPCOS, 2008).

De posse do valor de capacitância do filtro, o valor da indutância pode ser calculado:

$$L_f = \frac{1}{(2\pi f_o)^2 C_f} = 11 \text{ mH}. \quad (179)$$

Para cálculo da corrente que circula pelo filtro, é considerada uma corrente de entrada senoidal em fase com a tensão de entrada, considerando um rendimento de $\eta = 97 \%$.

Dessa forma, a potência de entrada do conversor é determinada por:

$$P_{in} = \frac{P_o}{\eta} = 324,74 \text{ W}. \quad (180)$$

O valor eficaz da corrente no indutor de filtro:

$$i_{Lf_{EF}} = \frac{P_{in}\sqrt{2}}{V_p} = 1,476 \text{ A.} \quad (181)$$

A corrente de pico no indutor filtro:

$$i_{Lf_{pk}} = i_{Lf_{EF}}\sqrt{2} = 2,088 \text{ A.} \quad (182)$$

Após o dimensionamento físico do indutor, as perdas no componente foram estimadas. O dimensionamento físico completo do indutor filtro pode ser visualizado no Apêndice F.

As perdas no cobre são obtidas através de:

$$P_{cu-L_f} = R_{cc-L_f} i_{L_f-EF}^2 = 0,643 \text{ W.} \quad (183)$$

As perdas no núcleo são calculadas:

$$P_{mag-L_f} = \left[8C_m 60^x \left(\frac{\Delta B_{ac}}{2} \right)^y \right] 10^{-3} = 10 \text{ mW.} \quad (184)$$

Somando as Equações 231 e 232, têm-se as perdas totais no indutor filtro de entrada:

$$P_{tL_f} = P_{cu-L_f} + P_{mag-L_f} = 0,653 \text{ W.} \quad (185)$$

Para obter a elevação de temperatura, inicialmente é calculada a resistência térmica de acordo com o núcleo escolhido:

$$R_{th} = \frac{59,3}{V_e^{0,544}} = \frac{59,3}{80,544} = 19,13 \frac{^{\circ}\text{C}}{\text{W}}. \quad (186)$$

Assim, a elevação de temperatura pode ser determinada através da multiplicação da resistência térmica pela potência dissipada:

$$\Delta t_{hL_f} = P_{tL_f} R_{th} = 12,492 \text{ }^{\circ}\text{C.} \quad (187)$$

4.6 EFICIÊNCIA GLOBAL

Após a realização dos cálculos de dimensionamento dos componentes e da estimativa das perdas individuais, foi possível calcular a eficiência global do conversor. Considerando as principais fontes de dissipação e os parâmetros definidos no projeto, obteve-se uma eficiência de 97,21 % sob condição nominal de operação. A eficiência foi determinada com base na razão entre a potência de saída entregue à carga e a potência total absorvida da rede, incluindo todas as perdas estimadas nos dispositivos semicondutores, elementos passivos e demais componentes relevantes. Na Figura 49, apresenta-se a divisão percentual das perdas entre os principais elementos do

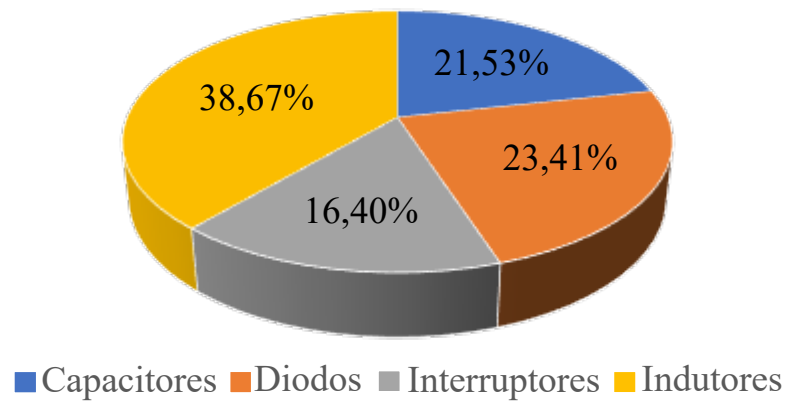


Figura 49 – Distribuição de perdas do conversor

Fonte: O autor.

circuito, permitindo identificar os componentes mais críticos do ponto de vista térmico e de impacto no desempenho global.

Ao analisar a distribuição das perdas do conversor, percebe-se que há um equilíbrio entre as perdas geradas pelos capacitores, interruptores controlados e diodos. As perdas nos indutores são as que mais impactam na eficiência do conversor, representadas por uma parcela de 38,67 %. Portanto, como medida inicial para melhoria da eficiência em aplicações práticas do conversor, recomendaria-se um projeto minucioso para redução das perdas nesse elemento passivo.

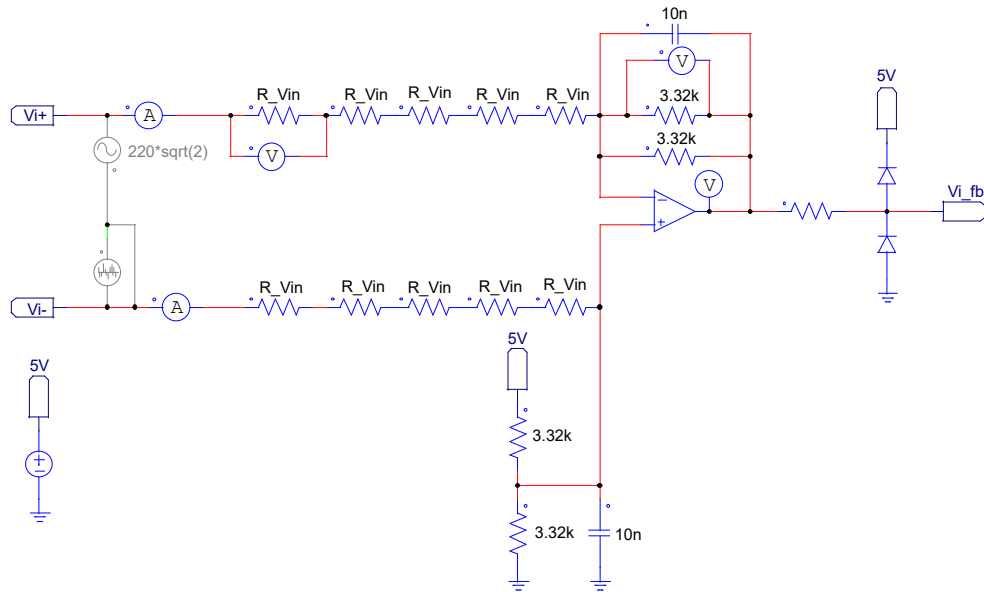


Figura 52 – Esquemático do Circuito de Condicionamento da Tensão de Entrada - Simulação

Fonte: O autor.

As formas de onda da tensão de entrada (Figura 53a) e da tensão na saída do amplificador diferencial (Figura 53b) são apresentadas. No sinal de saída do circuito de condicionamento de sinal observa-se que há um nível médio de 2,5 V introduzido propositalmente para permitir que o sinal possa ser digitalmente processado por um DSP ou microcontrolador de tensão de alimentação de 5 V, apesar da implementação do acionamento das chaves no protótipo físico deste trabalho ter sido gerada através de circuitos analógicos. Além disso, por tratar-se de um amplificador diferencial inversor, a componente CA do sinal se encontra invertida em relação à tensão de entrada, o que implica atenção para gerar a lógica de permanência de uma das chaves acionadas durante todo o semiciclo.

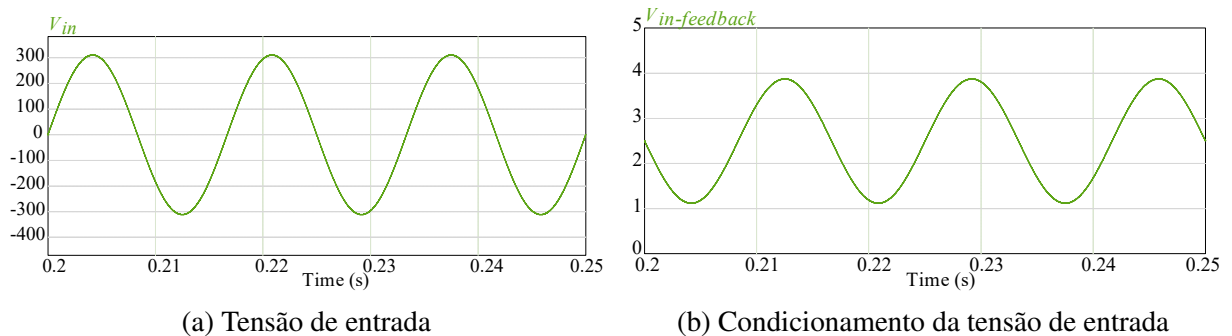


Figura 53 – Tensão de Entrada e Condicionamento de Sinal

Fonte: O autor.

A partir do sinal condicionado da tensão de entrada e do gerador de sinal PWM são gerados os pulsos de acionamento dos interruptores S_1 e S_2 . A Figura 54 apresenta o sinal para acionamento dos gates das chaves S_1 e S_2 , junto ao sinal de condicionamento o qual foi descontado o nível CC, para melhor visualização da alternância da operação das chaves de

acordo com o semicíclo.

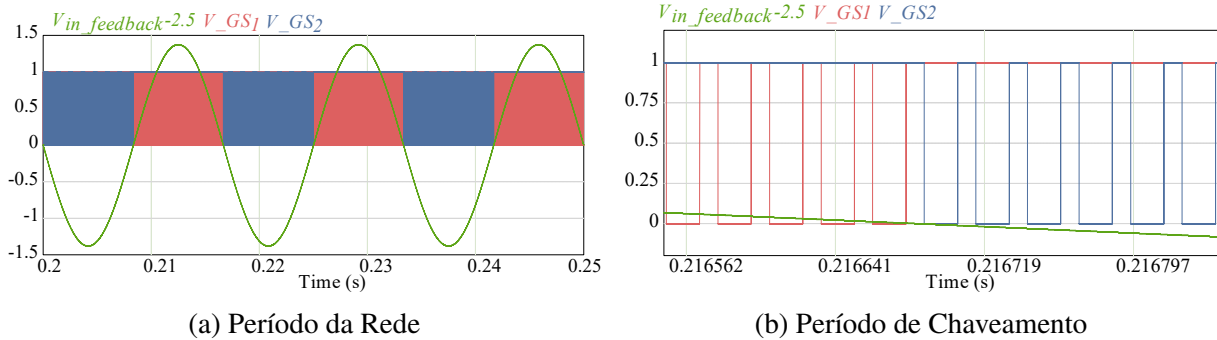


Figura 54 – Sinal de Acionamento das Chaves e Medição da Tensão de Entrada com Nível CC Descontado

Fonte: O autor.

Na sequência, a Figura 55 apresenta as formas de onda da corrente no indutor *Boost* no período da rede e no período de chaveamento respectivamente.

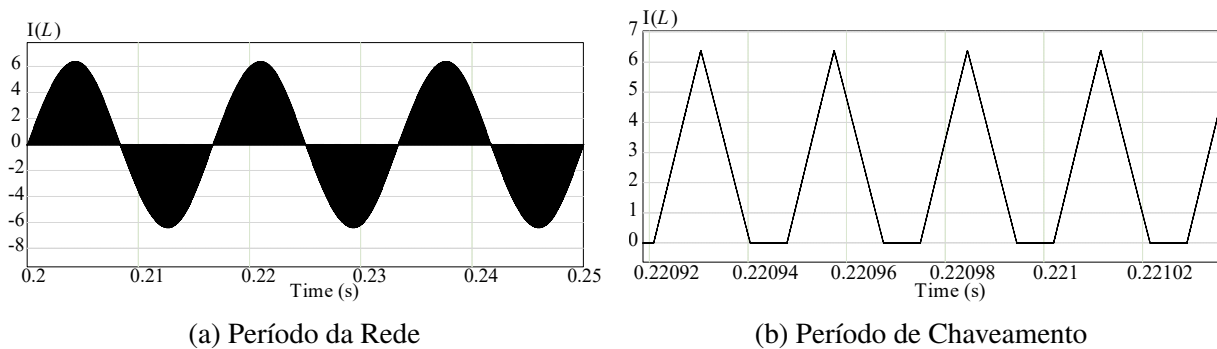


Figura 55 – Formas de Onda da Corrente no Indutor *Boost*

Fonte: O autor.

Observando a Figura 55a, é possível notar a envoltória senoidal da forma de onda da corrente no indutor no período da rede, com a componente da frequência de chaveamento. A Figura 55b, que apresenta a forma de onda da corrente no indutor no período de chaveamento no pico positivo da tensão de entrada, evidencia a operação no modo de condução descontínua do conversor, validando o equacionamento da escolha da razão cíclica como ponto de operação do conversor e dimensionamento do indutor *Boost*, que visa garantir o funcionamento do conversor neste modo.

As formas de onda da tensão no indutor *Boost* no período da rede e no período de chaveamento, respectivamente, podem ser visualizadas na Figura 56.

Para validação do filtro LC de entrada proposto, a forma de onda da corrente de entrada com a tensão de entrada, dividida por 100 para melhor visualização, é apresentada na Figura 57.

Analisando a forma de onda da corrente no indutor filtro de entrada, percebe-se que o filtro não insere deslocamento de fase visto que o cruzamento por zero da tensão e da corrente de entrada ocorrem no mesmo instante. Entretanto, percebe-se que a forma de onda não é puramente

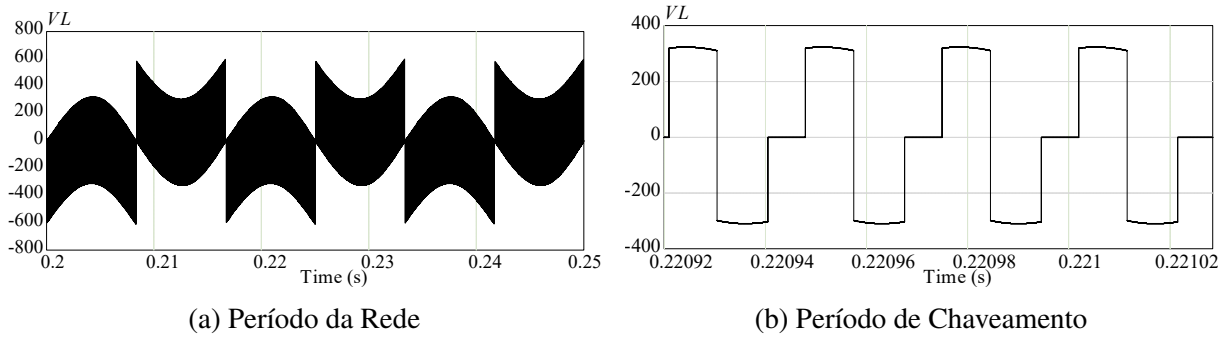


Figura 56 – Formas de Onda da Tensão no Indutor *Boost*

Fonte: O autor.

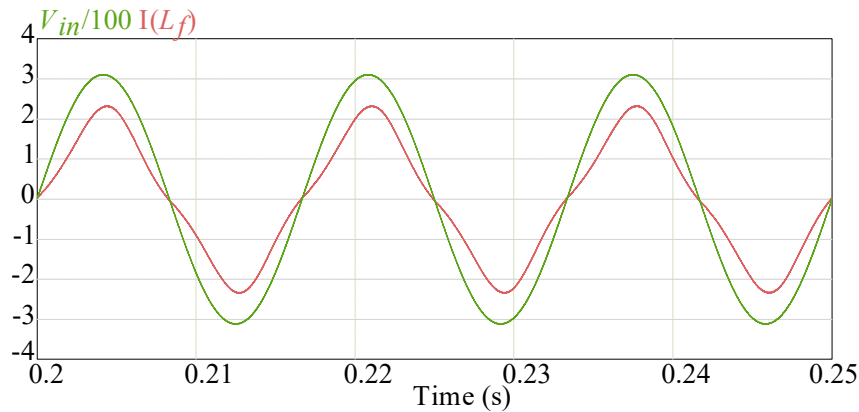


Figura 57 – Corrente de Entrada e Tensão de Entrada Dividida por 100

Fonte: O autor.

senoidal, visto que a tensão aplicada ao indutor *Boost* na etapa de desmagnetização é dependente da tensão de saída, característica comum dos retificadores tipo *Boost* operando no modo de condução descontínua. Para o filtro de entrada calculado, o fator de potência obtido através de simulação foi de 0,99, enquanto a distorção harmônica total é de 13,93 %. Alguns métodos de redução da distorção harmônica para o retificador *Boost* monofásico CFP operando no modo de condução contínua foram propostos nas referências (ATHAB, 2008), (FERDOWSI; EMADI, 2004) e (LAZAR; CUK, 1995). Uma adaptação do método apresentado em (LAZAR; CUK, 1995) foi desenvolvida para o conversor proposto neste trabalho e está disposta no Apêndice D.

Na sequência, as principais formas de onda obtidas através de simulação relacionadas aos semicondutores são apresentadas. Inicialmente, a tensão e corrente no interruptor S_1 no período da rede se encontram na Figura 58.

A partir da Figura 58a, observa-se que o esforço de tensão máximo sobre o interruptor S_1 é, idealmente, equivalente à metade da tensão de saída. No entanto, na prática, devido à presença da capacitância parasita de saída do dispositivo semicondutor e da indutância parasita associada às trilhas da placa de circuito impresso, verifica-se a ocorrência de um pico de sobretensão no instante de bloqueio da chave. Além disso, evidencia-se uma oscilação de tensão durante a etapa de descontinuidade da corrente no indutor, atribuída à descarga da capacitância *drain-source* do MOSFET. Esses efeitos parasitas serão discutidos com maior profundidade na seção de

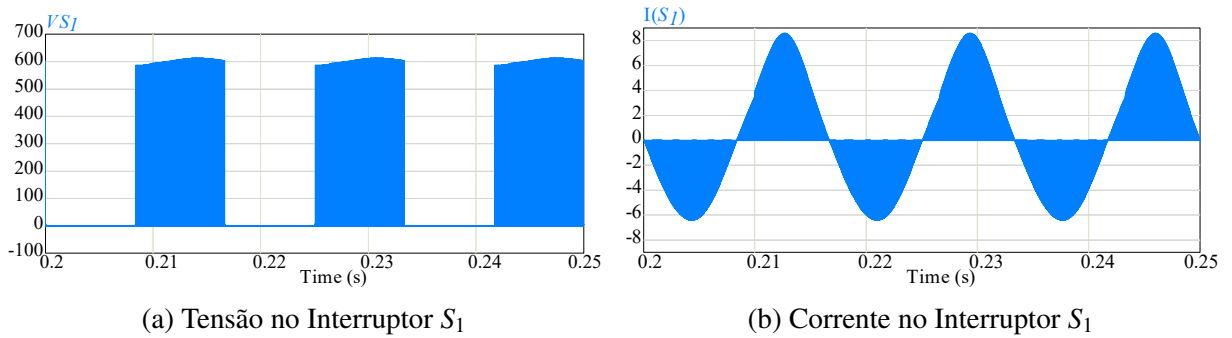


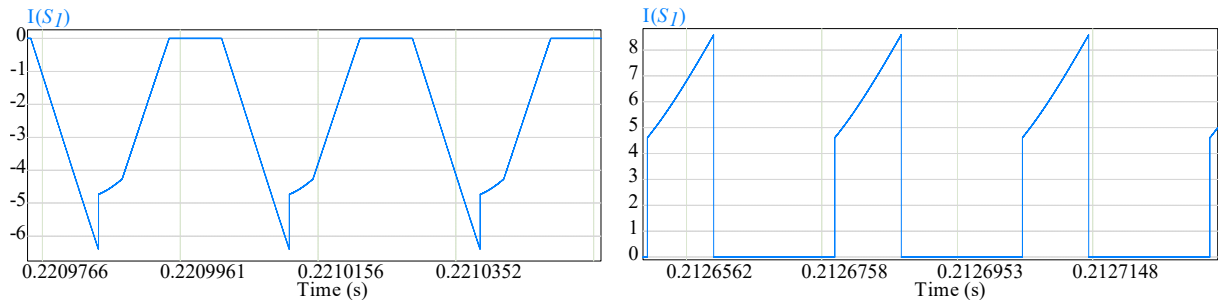
Figura 58 – Formas de Onda da Tensão e Corrente no Interruptor S_1 no Período da Rede

Fonte: O autor.

resultados experimentais deste trabalho. Na Figura 58b, observa-se que, durante o semiciclo negativo, no qual o interruptor S_1 conduz corrente positiva, os valores de corrente atingem amplitudes mais elevadas em comparação ao semiciclo positivo. Esse comportamento decorre da contribuição simultânea da corrente do indutor com a corrente de carga do capacitor chaveado, o que resulta em maiores perdas de condução. No semiciclo positivo, em que o interruptor conduz corrente negativa, evidencia-se a relevância da estratégia de modulação adotada, a qual mantém o interruptor comandado enquanto a corrente flui do terminal *source* para o *drain*. Dessa forma, a corrente é conduzida pelo canal principal do MOSFET, cuja resistência é significativamente inferior à do diodo intrínseco, contribuindo para a redução das perdas de condução.

A Figura 59 demonstra a corrente no interruptor S_1 no período de chaveamento. No semiciclo positivo (Figura 59a), observa-se que a corrente no interruptor é negativa, correspondendo à corrente do indutor *Boost*. Contudo, durante a etapa de desmagnetização, nota-se uma leve distorção na forma de onda, atribuída à transferência de energia do capacitor de saída C_{o1} para o capacitor chaveado C_s através de S_1 . Essa transferência não foi considerada nas análises das etapas de operação e das perdas do conversor, pois sua magnitude é relativamente pequena e não impacta significativamente os resultados práticos dos cálculos. No semiciclo negativo (Figura 59b), verifica-se que a corrente no interruptor inicia a partir de um valor mínimo distinto de zero, o qual corresponde à corrente de carga inicial do capacitor C_s . A partir desse ponto, a corrente cresce linearmente, acompanhando o processo de magnetização do indutor.

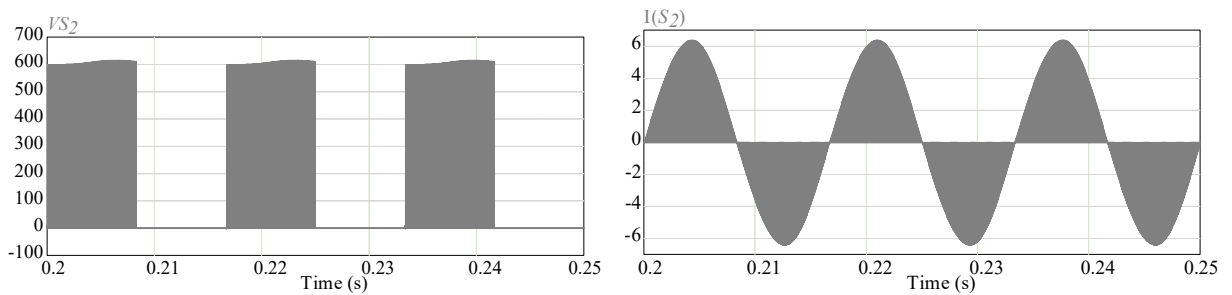
Na sequência, são analisadas as formas de onda associadas ao interruptor S_2 . A Figura 58 apresenta as formas de tensão e corrente no semicondutor ao longo do período da tensão de rede. O esforço máximo de tensão sobre o dispositivo pode ser observado na Figura 60a, no entanto, de modo análogo ao comportamento do interruptor S_1 , o valor de pico da tensão *drain-source* é superior ao previsto teoricamente, devido aos efeitos parasitas previamente discutidos, como a capacitância de saída do MOSFET e a indutância de trilha da placa de circuito impresso. A Figura 60b exhibe a corrente conduzida por S_2 . Observa-se que, como esse interruptor não participa da transferência direta de energia entre o capacitor chaveado e o barramento de saída, a corrente máxima conduzida pelo dispositivo corresponde ao valor de pico da corrente do indutor *Boost*, sendo, portanto, inferior àquela observada em S_1 .



(a) Corrente no Interruptor S_1 - Semiciclo Positivo (b) Corrente no Interruptor S_1 - Semiciclo Negativo

Figura 59 – Formas de Onda da Corrente no Interruptor S_1 no Período de Chaveamento

Fonte: O autor.



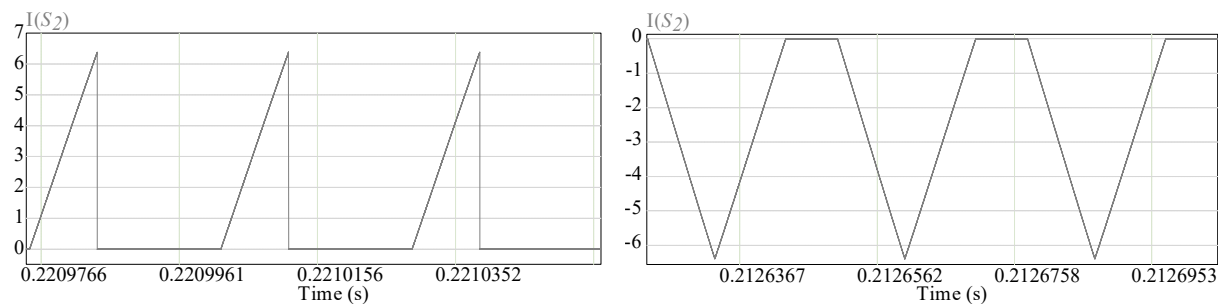
(a) Tensão no Interruptor S_2

(b) Corrente no Interruptor S_2

Figura 60 – Formas de Onda da Tensão e Corrente no Interruptor S_2 no Período da Rede

Fonte: O autor.

A Figura 60b apresenta as formas de onda da corrente conduzida pelo interruptor S_2 durante o período de chaveamento. No semiciclo positivo da tensão de entrada, ilustrado na Figura 61a, observa-se que a corrente de magnetização do indutor L flui de forma positiva através do interruptor S_2 . No semiciclo negativo, por sua vez, o interruptor S_2 permanece em condução ao longo de todo o período, assumindo integralmente a corrente do indutor *Boost*.



(a) Corrente no Interruptor S_2 - Semiciclo Positivo

(b) Corrente no Interruptor S_2 - Semiciclo Negativo

Figura 61 – Formas de Onda da Corrente no Interruptor S_2 no Período de Chaveamento

Fonte: O autor.

Concluída a análise das formas de onda associadas aos interruptores controlados, passa-se à avaliação do comportamento dos diodos.

As formas de onda de tensão no período da rede (Figura 62a), corrente no período da

rede (Figura 62b) e corrente no período de chaveamento no semiciclo positivo (Figura 62c) do diodo D_b estão dispostas na Figura 62.

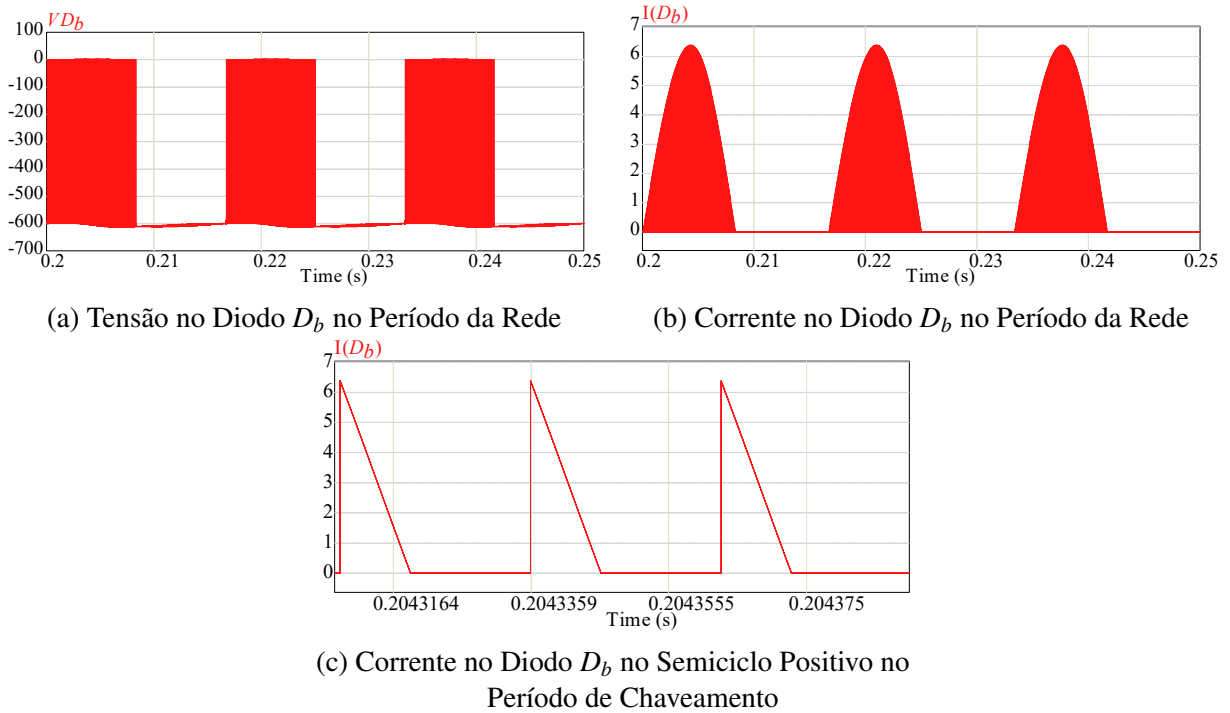


Figura 62 – Formas de Onda da Tensão e Corrente no Diodo D_b

Fonte: O autor.

A partir desses resultados, destaca-se que o esforço de tensão de bloqueio sobre o semicondutor analisado é, idealmente, equivalente à metade da tensão de saída. Observa-se ainda que a condução de corrente ocorre apenas durante o semiciclo positivo da tensão de entrada, período em que o diodo D_b conduz a corrente de desmagnetização do indutor na segunda etapa de operação. Esse comportamento é corroborado pelas formas de onda obtidas no período de chaveamento, nas quais se verifica que o valor de pico da corrente no dispositivo semicondutor coincide com o valor de pico da corrente no indutor *Boost*.

Na Figura 63 são exibidas as formas de onda relativas ao diodo D_{c1} , sendo a Figura 63a a tensão no período da rede, Figura 63b a corrente no período da rede, Figura 63c a corrente no período de chaveamento no semiciclo negativo e Figura 63d no semiciclo positivo.

A partir das formas de onda analisadas, observa-se novamente que o esforço de tensão de bloqueio sobre o dispositivo é, idealmente, equivalente à metade da tensão de saída, comportamento semelhante ao observado nos demais semicondutores do conversor. A forma de onda da corrente ao longo do período da rede revela que, no semiciclo positivo, há uma transferência de carga do capacitor de saída C_{o1} para o capacitor chaveado C_s . Essa corrente, no entanto, foi desconsiderada na análise global do conversor devido à sua baixa magnitude, sendo claramente inferior à corrente que circula pelo diodo D_{c1} no semiciclo negativo. Nesse intervalo, o diodo D_{c1} também conduz a corrente resultante da transferência de energia do capacitor chaveado C_s para a carga a partir de C_{o1} . Entretanto, essa corrente apresenta valores mais elevados, uma vez

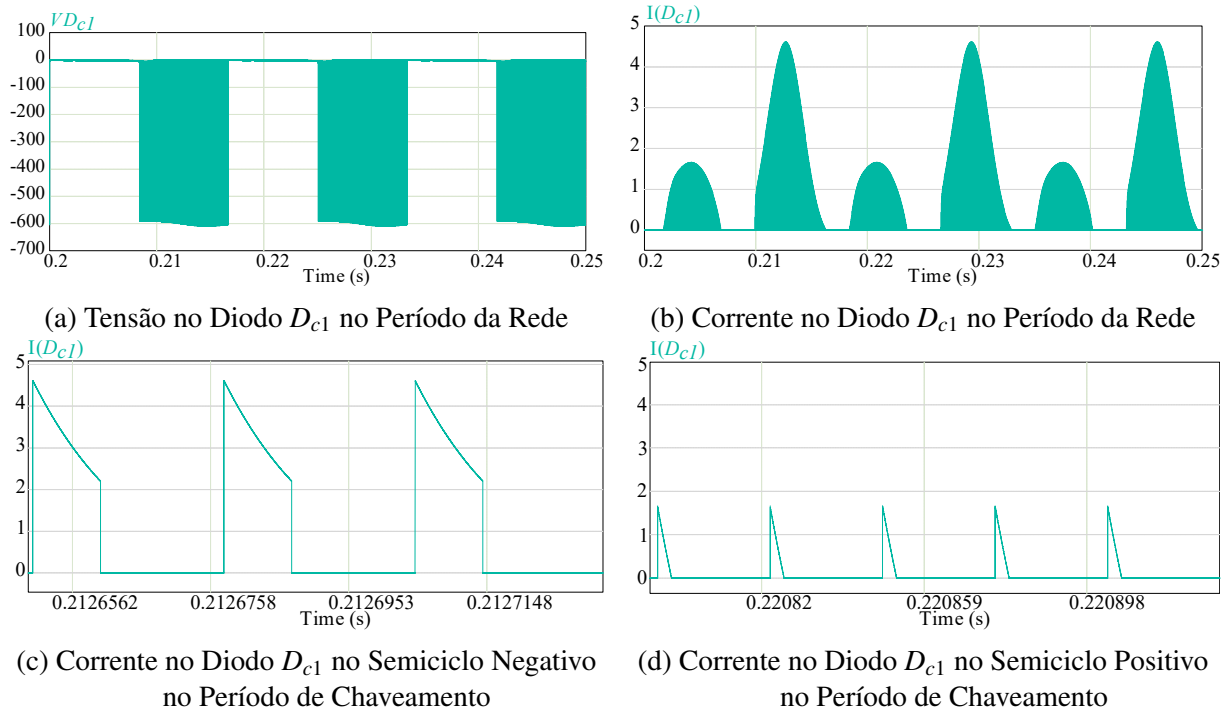


Figura 63 – Formas de Onda da Tensão e Corrente no Diodo D_{c1}

Fonte: O autor.

que o capacitor C_s é descarregado na etapa subsequente, o que resulta em uma diferença de potencial significativa entre os capacitores quando conectados em paralelo. Tal comportamento é confirmado pela forma de onda da corrente no diodo D_b , observada durante o semiciclo negativo, considerando o período de chaveamento.

Os resultados de simulação obtidos para o diodo D_{c2} revelam formas de onda semelhantes às observadas para o diodo D_b , conforme pode ser visualizado na Figura 64. A principal diferença entre ambos está no comportamento conforme o semiciclo da tensão de entrada. No semiciclo positivo, o diodo D_{c2} permanece em bloqueio durante todo esse intervalo. No semiciclo negativo, D_{c2} é polarizado diretamente durante a segunda etapa de operação, conduzindo a corrente de desmagnetização do indutor *Boost*, conforme evidenciado pelas formas de onda de corrente no período de chaveamento (Figura 64c).

Com a finalização da análise do comportamento dos diodos no conversor operando em modo de condução descontínua, inicia-se a análise das formas de onda nos capacitores.

As formas de onda associadas ao capacitor chaveado C_s são apresentadas na Figura 65. A tensão sobre o capacitor (Figura 65a) evidencia que sua tensão de operação é limitada à metade da tensão de saída do conversor, característica obtida sem a necessidade de técnicas de controle ativo para regular a tensão no capacitor, uma propriedade desejável da topologia em estudo.

A corrente no capacitor C_s no período da rede, mostrada na Figura 65b, revela uma pequena corrente de carga no semiciclo positivo, cuja amplitude é suficientemente baixa para ter sido desconsiderada na análise global do conversor. No semiciclo negativo, observa-se que, durante um curto intervalo inicial, não há corrente fluindo positivamente para C_s . Esse

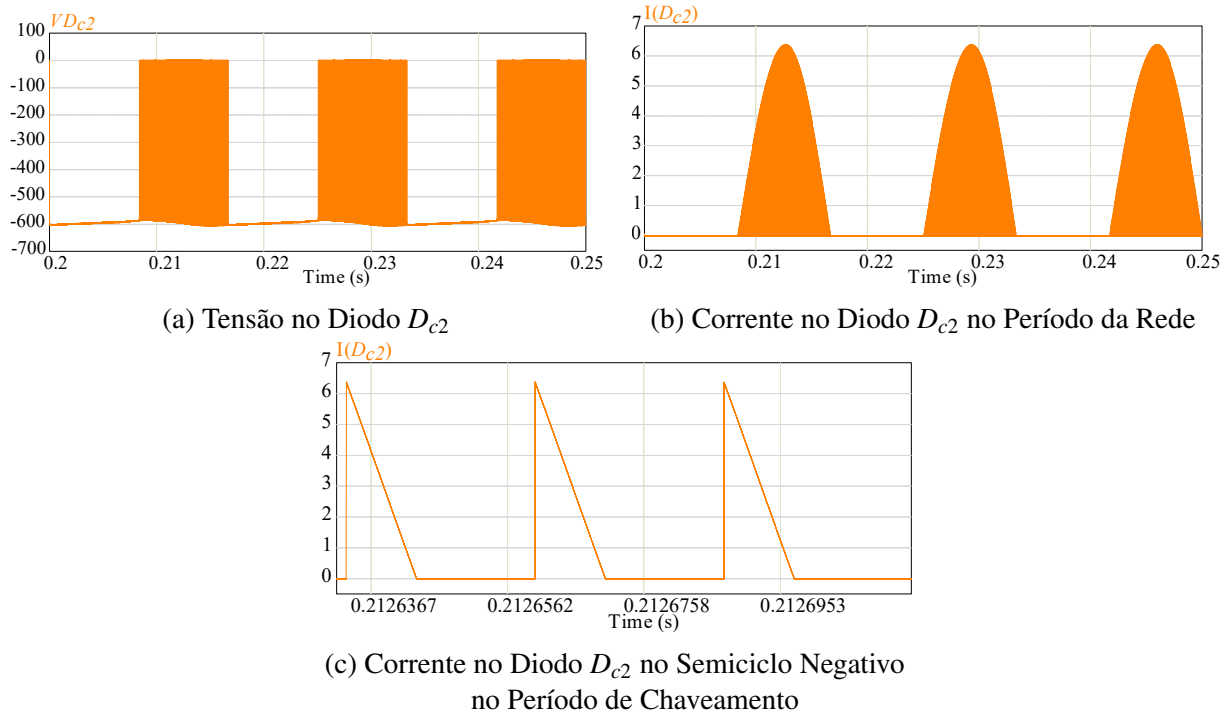


Figura 64 – Formas de Onda da Tensão e Corrente no Diodo D_{c2}

Fonte: O autor.

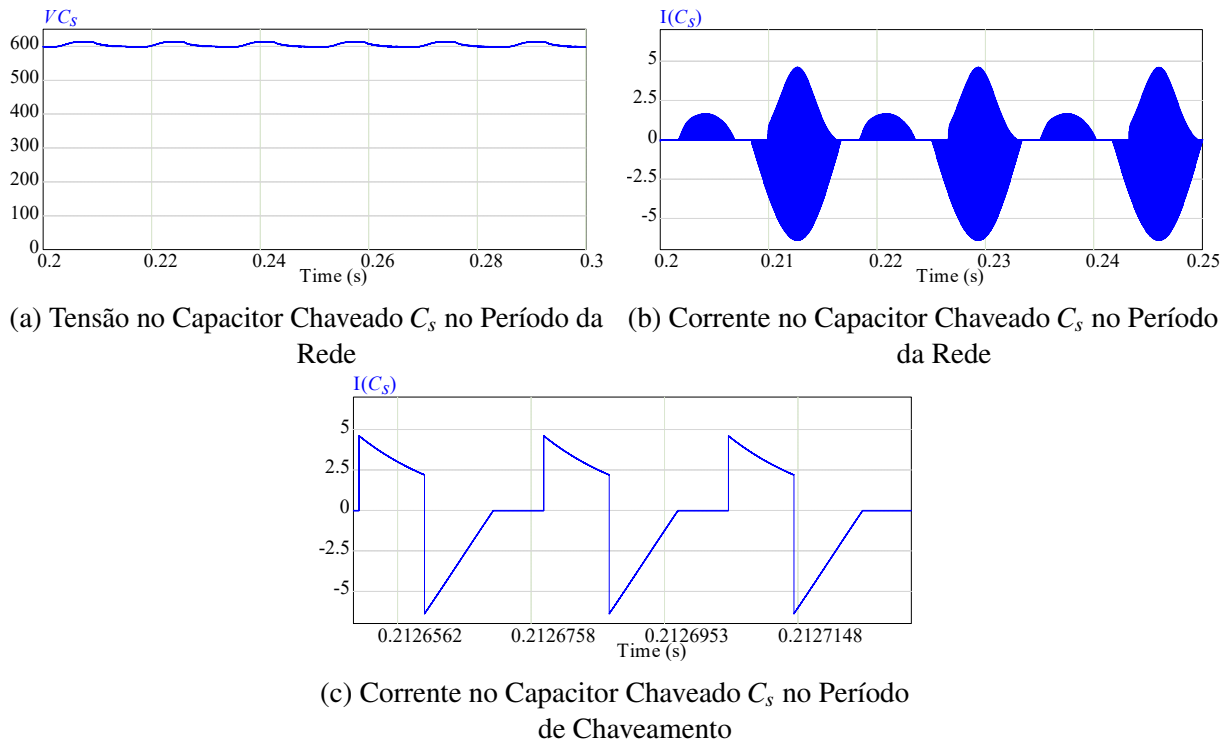


Figura 65 – Formas de Onda da Tensão e Corrente no Capacitor Chaveado C_s

Fonte: O autor.

comportamento ocorre porque, nesse instante, a tensão no capacitor C_s é superior à tensão no capacitor de saída C_{o1} , impedindo o fluxo de corrente. Ainda no semiciclo negativo, verifica-se

que o indutor L força a condução da corrente de descarga através do capacitor C_s . Esse fenômeno é claramente evidenciado na forma de onda de corrente durante o período de chaveamento (Figura 65c). Essa forma de onda ilustra o comportamento típico do modo de carga parcial do capacitor chaveado: a corrente apresenta um pico inicial controlado no início da etapa de carga e decresce de maneira quase linear até a transição para a etapa seguinte, momento no qual a corrente ainda assume um valor distinto de zero. Esse resultado confirma a eficácia do método de dimensionamento e seleção do capacitor chaveado proposto neste trabalho, assegurando que o conversor opere em condições seguras e, ao mesmo tempo, otimizadas em termos de custo e volume ocupados.

Com o intuito de evidenciar uma das principais características do conversor, que se trata da limitação da tensão de operação dos componentes a, no máximo, metade da tensão de saída, a Figura 66a apresenta as formas de onda de tensão em todos os capacitores do conversor, juntamente com a forma de onda da tensão de saída. Essa limitação representa uma vantagem significativa da topologia proposta, visto que a redução do requisito de tensão nominal dos componentes passivos possibilita a utilização de componentes de menor custo e melhores características elétricas. Na Figura 66b, foram mantidas apenas as tensões nos capacitores C_s , C_{o1} e C_{o2} e ampliada a escala de tensão, visando proporcionar uma melhor compreensão do comportamento da tensão nos capacitores no período da rede.

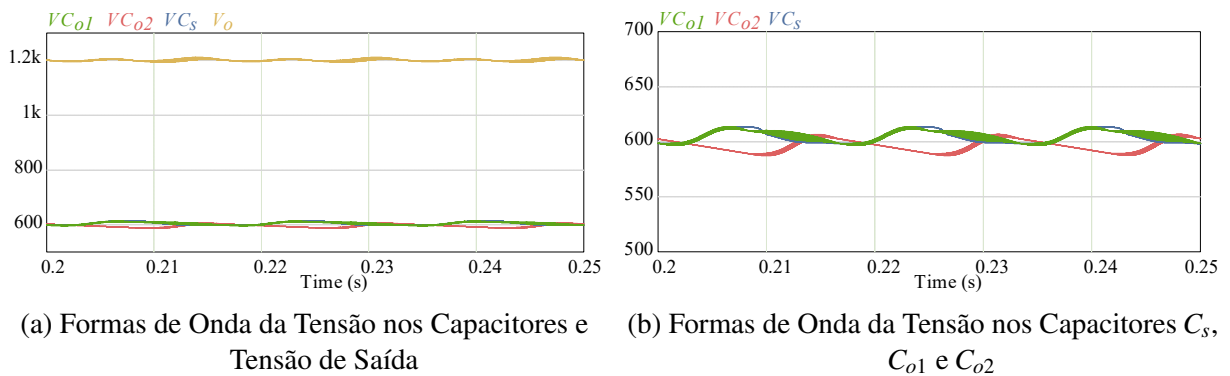
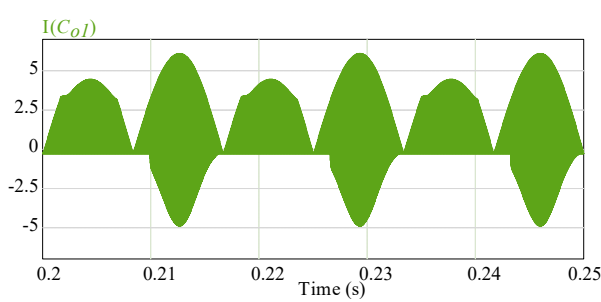


Figura 66 – Formas de Onda de Tensão nos Capacitores

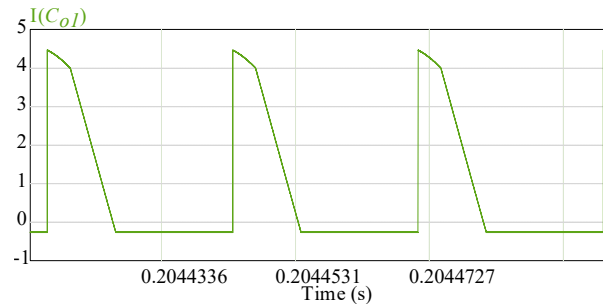
Fonte: O autor.

O funcionamento dos capacitores de saída pode ser compreendido de forma mais aprofundada por meio da análise das formas de onda de corrente. A corrente no capacitor de saída C_{o1} é apresentada na Figura 67, enquanto a corrente no capacitor C_{o2} é exibida na Figura 68. A partir dessas formas de onda, evidencia-se a característica assimétrica da topologia, bem como o fato de que o capacitor C_{o2} é carregado apenas durante metade do ciclo da rede. Em decorrência disso, seu dimensionamento deve ser realizado considerando a frequência fundamental da rede, e não o seu dobro, como normalmente ocorre no dimensionamento do capacitor de saída em conversores *Boost* com correção de fator de potência convencional. Outra conclusão que pode ser obtida a partir da análise dessas formas de onda é que os esforços de corrente no capacitor C_{o1} são significativamente maiores. Tal característica resulta em uma dissipação de potência mais

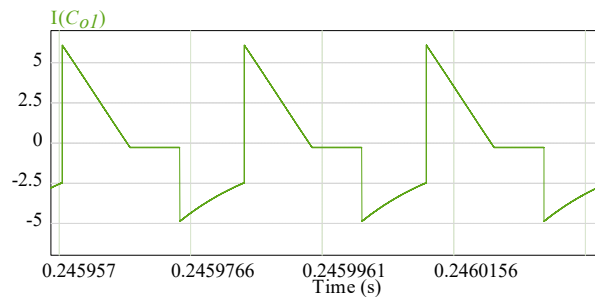
elevada na resistência série equivalente (ESR) do capacitor, e por consequência, um aumento na temperatura de operação do componente.



(a) Corrente no Capacitor de Saída C_{o1} no Período da Rede



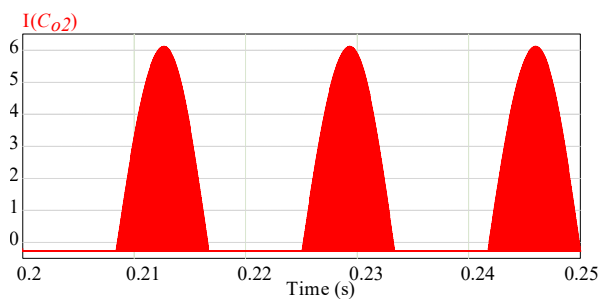
(b) Corrente no Capacitor de Saída C_{o1} no Semiciclo Positivo no Período de Chaveamento



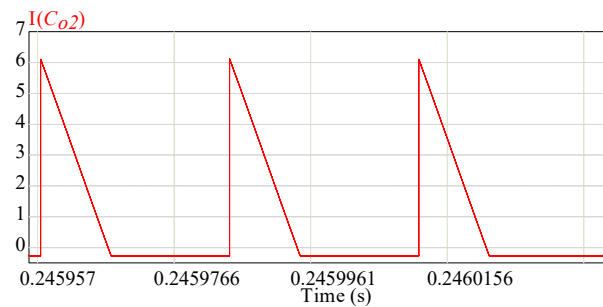
(c) Corrente no Capacitor de Saída C_{o1} no Semiciclo Negativo no Período de Chaveamento

Figura 67 – Formas de Onda de Corrente no Capacitor de Saída C_{o1}

Fonte: O autor.



(a) Corrente no Capacitor de Saída C_{o2} no Período da Rede



(b) Corrente no Capacitor de Saída C_{o2} no Semiciclo Positivo no Período de Chaveamento

Figura 68 – Formas de Onda de Corrente no Capacitor de Saída C_{o2}

Fonte: O autor.

A interpretação das formas de onda obtidas por meio de simulação confirmou a metodologia de projeto proposta para o conversor operando no modo de condução descontínua. No capítulo seguinte, serão apresentados os resultados experimentais da implementação física do conversor, com o objetivo de validar os resultados obtidos em simulação e analisar os efeitos dos elementos não ideais que impactam a operação real do conversor.

6 RESULTADOS EXPERIMENTAIS

Com o intuito de verificar a metodologia de projeto proposta para o conversor, bem como validar os resultados obtidos por meio de simulações realizadas no software PSIM, foi construído um protótipo físico, a partir do qual foram conduzidos ensaios experimentais. O protótipo físico, cujas dimensões são 162,68 mm x 124,58 mm x 51,6 mm (C x L x A), é apresentado na Figura 69.



Figura 69 – Protótipo físico

Fonte: O autor.

A validação experimental foi realizada sob condição de carga nominal, em que o conversor entregou com sucesso uma tensão de saída de 1201,4 V, a partir de uma entrada de 219,6 V. A corrente de entrada apresentou forma de onda predominantemente senoidal de valor eficaz de 1,49 A, com distorção característica de conversores *Boost* operando em modo de condução descontinua, permanecendo em fase com a tensão de entrada e atingindo um fator de potência de 0,99. O valor médio da corrente medida na saída do conversor foi de 261 mA. A Figura 70 apresenta as formas de onda de tensão e corrente nos terminais de entrada e saída durante a operação em plena carga. Nessa condição, a eficiência medida do conversor foi de 95,8 %.

Durante os testes, o conversor operou com razão cíclica constante, a fim de validar seu comportamento em regime permanente. Os sinais de controle foram gerados por meio do circuito integrado SG3525, em conjunto com amplificadores operacionais, permitindo que um dos interruptores permanecesse ativado durante todo o semiciclo da rede elétrica.

Nessas condições operacionais, a distorção harmônica total da corrente de entrada foi de 12,51 %. No entanto, a metodologia de redução da distorção harmônica proposta e validada por simulação, apresentada no Apêndice D, pode ser implementada em aplicações reais com a utilização de microcontroladores para geração dos sinais de controle.

Para verificar a eficácia da correção do fator de potência em operação DCM, foi realizada uma análise de Transformada Rápida de Fourier (FFT) na corrente de entrada do conversor, con-

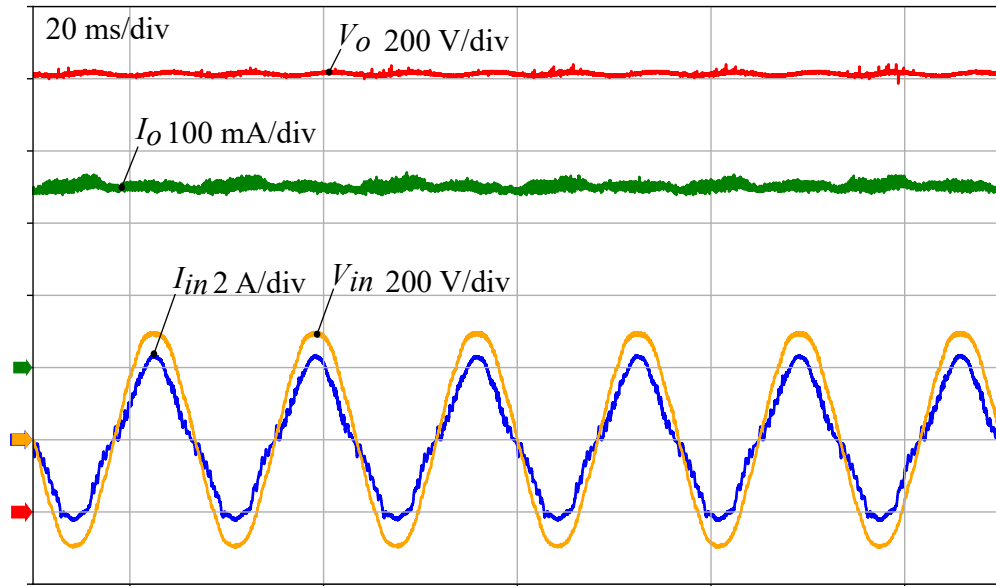


Figura 70 – Formas de Onda de Entrada e Saída do Conversor

Fonte: O autor.

forme ilustrado na Figura 71. Os resultados obtidos demonstram que os níveis harmônicos estão bem abaixo dos limites estabelecidos pela norma IEC61000-3-2, o que assegura a conformidade do conversor com os requisitos para equipamentos eletrônicos da Classe A.

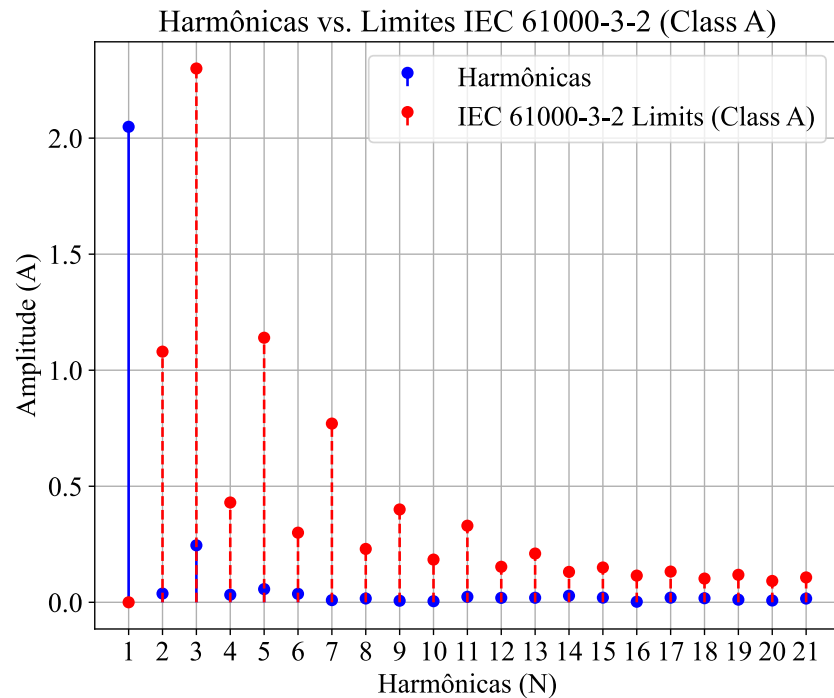


Figura 71 – Comparação das Harmônicas do Conversor com a Norma IEC61000-3-2

Fonte: O autor.

As formas de onda de tensão e corrente no indutor L no período da rede são apresentadas na Figura 72. A forma de onda de corrente no indutor evidencia a operação em modo de condução descontínua durante todo o ciclo da rede, comprovando a metodologia de projeto proposta por

este trabalho. O valor eficaz da corrente medida no indutor *Boost* foi de 2,16 A, enquanto o valor de pico atingido foi de 6,41 A.

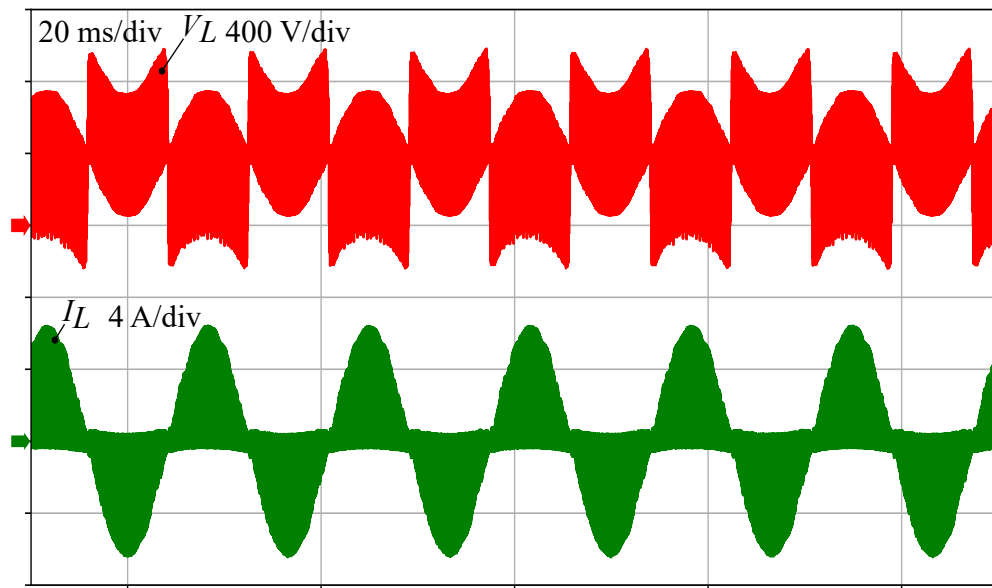


Figura 72 – Tensão e Corrente no Indutor no Período da Rede

Fonte: O autor.

A Figura 73 apresenta as formas de onda da tensão e corrente no indutor durante o período de chaveamento. É possível observar, tanto no semiciclo positivo quanto no negativo da entrada, um comportamento oscilatório na etapa em que a corrente do indutor se anula. Esse fenômeno ocorre devido ao efeito da capacitância de saída do interruptor que esteve desligado na etapa anterior. Durante a descarga do indutor, essa capacitância é carregada, e quando a corrente no indutor zera, forma-se um circuito ressonante entre o indutor e a capacitância parasita do MOSFET. Isso resulta em uma oscilação amortecida na tensão e, em menor grau, na corrente do indutor. Esse efeito é intrínseco à operação em MCD e, embora visível nas formas de onda, não compromete a estabilidade ou o desempenho do conversor.

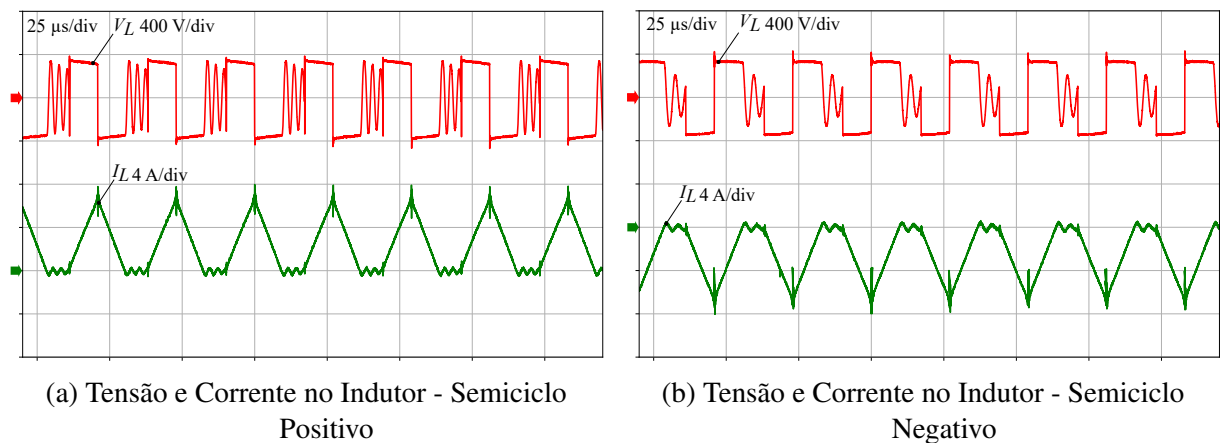


Figura 73 – Formas de Onda de Tensão e Corrente no Indutor no Período de Chaveamento

Fonte: O autor.

A Tabela 7 apresenta os valores de pico e eficaz teóricos, simulados e experimentais da corrente no indutor L .

Tabela 7 – Valores teóricos, simulados e experimentais da corrente no indutor *Boost*

$i_L [A]$	Teórico	Simulado	Experimental
Pico	6,20	6,43	6,41
Eficaz	2,035	2,08	2,16

Outro aspecto relevante do conversor trata da redução do estresse de tensão nos semicondutores, em comparação com a tensão de saída do conversor. Essa característica permite a utilização de componentes com menor tensão nominal, o que representa vantagens em termos de custo e confiabilidade do sistema, além de esses componentes apresentarem melhores características dinâmicas em geral.

A Figura 74 apresenta as formas de onda das tensões *drain-source* dos interruptores S_1 e S_2 no período da rede. É possível observar o funcionamento da técnica de modulação adotada, que mantém um dos interruptores permanentemente conduzindo durante meio ciclo, contribuindo para a redução das perdas por chaveamento e condução. Além disso, a tensão máxima observada nos interruptores é limitada a aproximadamente metade da tensão de saída.

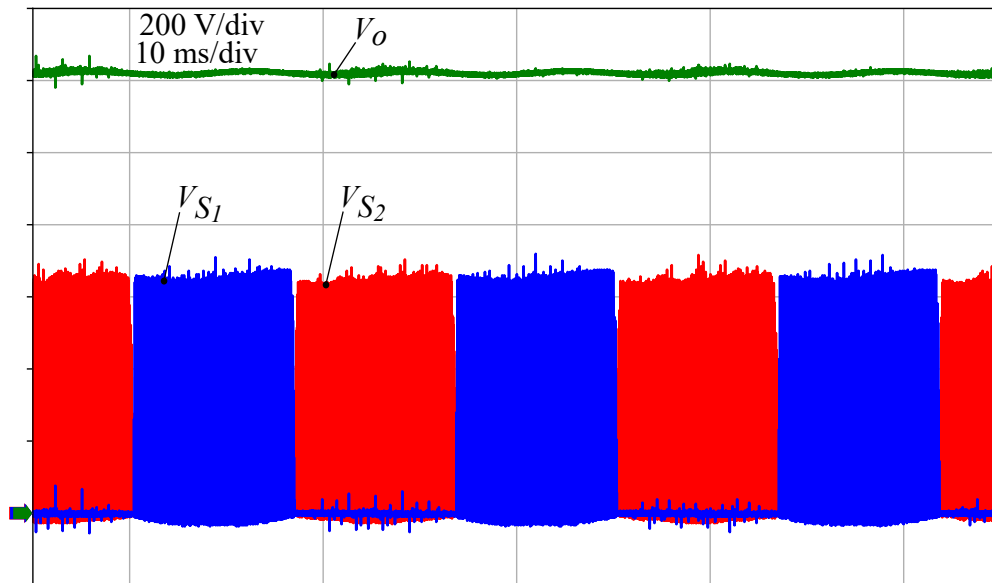


Figura 74 – Tensão nos Interruptores S_1 e S_2 no Período da Rede

Fonte: O autor.

A Tabela 8 apresenta os valores teóricos, simulados e experimentais dos esforços de tensão máximos nos interruptores.

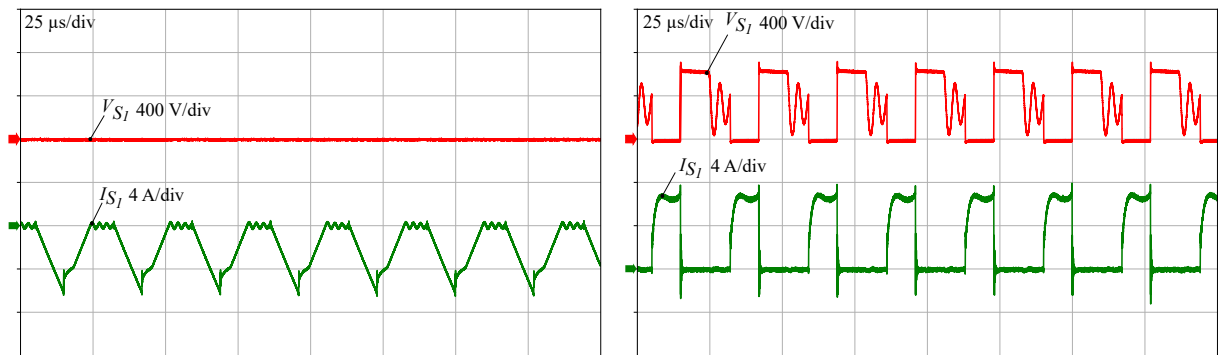
As formas de onda do interruptor S_1 durante o período de chaveamento são apresentadas na Figura 75. No semiciclo positivo (Figura 75a), o interruptor S_1 permanece conduzindo, permitindo a circulação da corrente de carga e descarga do indutor L . Como a corrente flui do terminal *source* para o *drain*, destaca-se a relevância da estratégia de modulação adotada.

Tabela 8 – Valores teóricos, simulados e experimentais dos esforços de tensão nos interruptores S_1 e S_2

$V_{max}[V]$	Teórico	Simulado	Experimental
S_1	609,0	613,9	703,0
S_2	609,0	614,0	704,3

Essa escolha, além de evitar perdas por comutação, assegura que a corrente percorra o caminho principal de condução, cuja resistência é inferior à do caminho alternativo via diodo intrínseco, resultando na redução das perdas por condução.

No semiciclo negativo (Figura 75b), observa-se a forma de onda correspondente à soma da corrente de magnetização do indutor L com a corrente de carga do capacitor chaveado C_s . O valor de pico da corrente de 7,93 A é atingido no instante anterior ao bloqueio do interruptor S_1 . Quando o interruptor S_1 é desligado, ocorre um *overshoot* de 14,9 % na tensão *drain-source* devido à indutância parasita das trilhas da placa de circuito impresso, que força a continuidade da corrente através da capacitância de saída do MOSFET. Como resultado, o esforço de tensão máximo medido sobre o interruptor foi de 703 V. Além disso, observa-se o efeito oscilatório na tensão no período de descontinuidade da corrente no indutor, relativo à descarga do capacitor de saída do interruptor através do indutor *Boost*, conforme já destacado anteriormente. O valor eficaz da corrente medida no interruptor S_1 no período completo da rede foi de 2,27 A.



(a) Tensão e Corrente no Interruptor S_1 - Semiciclo Positivo

(b) Tensão e Corrente no Interruptor S_1 - Semiciclo Negativo

Figura 75 – Formas de Onda de Tensão e Corrente no Interruptor S_1 no Período de Chaveamento

Fonte: O autor.

A Tabela 9 apresenta os valores de pico e eficaz teóricos, simulados e experimentais da corrente no interruptor S_1 .

Tabela 9 – Valores teóricos, simulados e experimentais da corrente no interruptor S_1

$i_{S_1}[A]$	Teórico	Simulado	Experimental
Pico	8,69	8,63	7,93
Eficaz	2,04	2,22	2,27

As formas de onda do interruptor S_2 durante o período de chaveamento estão expostas na Figura 76. No semiciclo positivo (Figura 76a), apenas a corrente de magnetização do indutor L circula através do interruptor S_2 . De modo similar ao interruptor S_1 no semiciclo negativo, ocorre um *overshoot* de 14,5% no bloqueio, caracterizando um esforço de tensão máximo de 704,3 V. A oscilação da tensão *drain-source* na etapa descontínua do conversor também pode ser observada.

No semiciclo negativo (Figura 76b), período em que o interruptor S_2 permanece acionado, pelo qual circula a corrente de magnetização e desmagnetização do indutor L , destaca-se novamente a eficiência da estratégia de modulação adotada. O valor eficaz da corrente no interruptor S_2 medida no período completo da rede foi de 1,86 A.

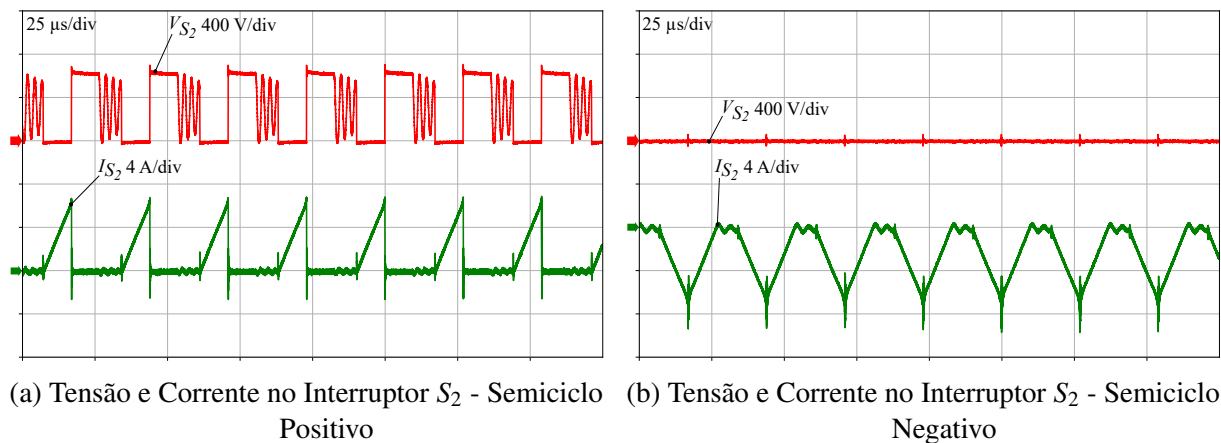


Figura 76 – Formas de Onda de Tensão e Corrente no Interruptor S_2 no Período de Chaveamento

Fonte: O autor.

A Tabela 10 apresenta os valores de pico e eficaz teóricos, simulados e experimentais da corrente no interruptor S_2 .

Tabela 10 – Valores teóricos, simulados e experimentais da corrente no interruptor S_2

i_{S_2} [A]	Teórico	Simulado	Experimental
Pico	6,20	6,43	6,58
Eficaz	1,79	1,84	1,86

A Figura 77 apresenta as formas de onda de tensão nos diodos D_b , D_{c1} e D_{c2} , juntamente com a tensão de saída V_o , no período da rede. As formas de onda observadas não apenas confirmam as etapas de operação previamente definidas para o modo de condução descontínua, como também evidenciam que a tensão de bloqueio dos diodos é limitada a, aproximadamente, metade da tensão de saída.

A Tabela 11 apresenta os valores teóricos, simulados e experimentais dos esforços de tensão máximos nos diodos.

As formas de onda de tensão e corrente no diodo D_b são apresentadas na Figura 78. Durante o período da rede (Figura 78a), observa-se que o diodo é polarizado diretamente apenas no semiciclo positivo, enquanto permanece em bloqueio durante o semiciclo negativo,

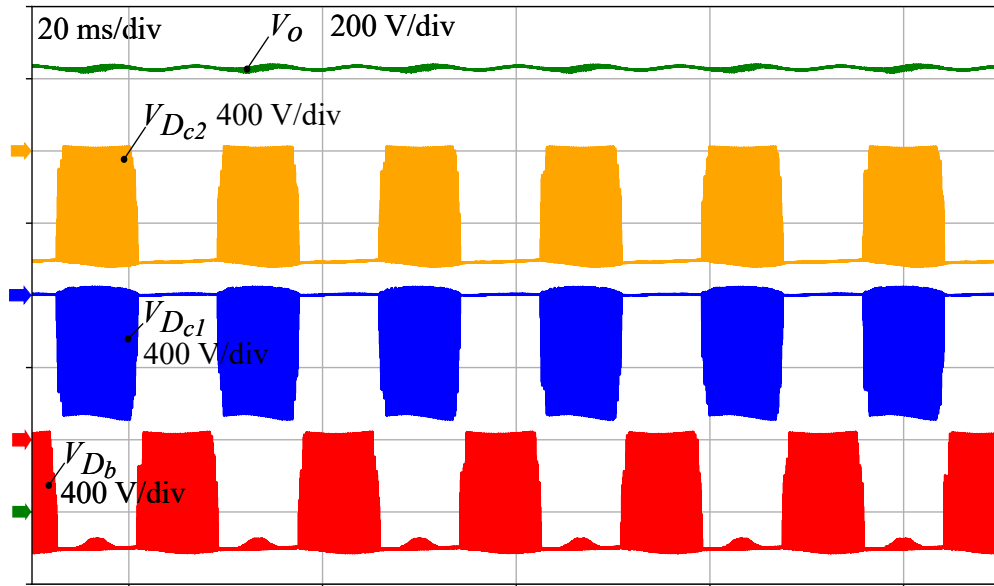


Figura 77 – Tensão nos Diodos e Tensão de Saída no Período da Rede

Fonte: O autor.

Tabela 11 – Valores teóricos, simulados e experimentais dos esforços de tensão nos diodos D_b , D_{c1} e D_{c2}

$V_{max}[V]$	Teórico	Simulado	Experimental
D_b	-609,0	-610,3	-614,0
D_{c1}	-609,0	-609,0	-689,6
D_{c2}	-609,0	-605,9	-652,0

suportando uma tensão reversa máxima de 614 V. O valor eficaz da corrente medida no diodo D_b foi de 0,96 A. Já no período de chaveamento (Figura 78b), é possível visualizar a corrente de desmagnetização do indutor circulando através do diodo D_b .

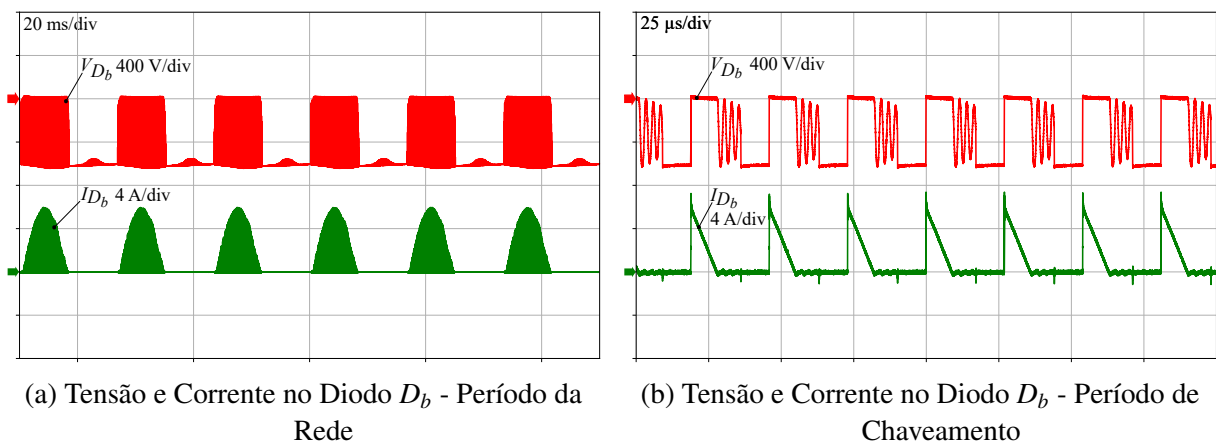


Figura 78 – Formas de Onda de Tensão e Corrente no Diodo D_b

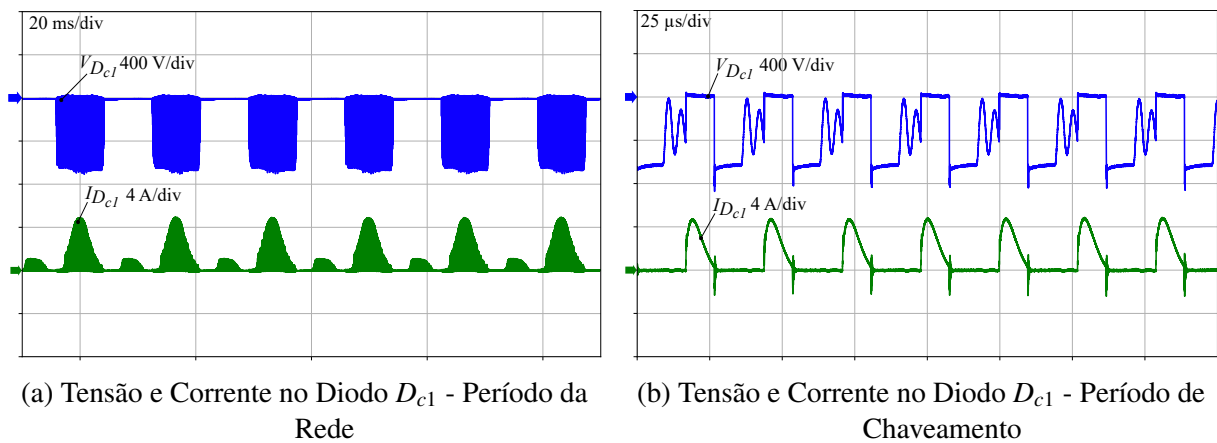
Fonte: O autor.

A Tabela 12 apresenta os valores de pico e eficaz teóricos, simulados e experimentais da corrente no interruptor D_b .

Tabela 12 – Valores teóricos, simulados e experimentais da corrente no diodo D_b

i_{D_b} [A]	Teórico	Simulado	Experimental
Pico	6,20	6,37	6,41
Eficaz	0,97	0,97	0,96

As formas de onda de tensão e corrente no diodo D_{c1} são apresentadas na Figura 79. Durante o período da rede (Figura 79a), observa-se que o diodo permanece polarizado diretamente ao longo de todo o semiciclo positivo. No entanto, a corrente que circula por D_{c1} nesse intervalo é extremamente baixa e, por esse motivo, foi desconsiderada na análise teórica do conversor. No semiciclo negativo, destaca-se a circulação da corrente de carga do capacitor chaveado C_s através do diodo D_b , forma de onda que também pode ser observada no período de chaveamento (Figura 79b). O valor eficaz da corrente medida no diodo D_{c1} foi de 0,83 A.

Figura 79 – Formas de Onda de Tensão e Corrente no Diodo D_{c1}

Fonte: O autor.

A Tabela 13 apresenta os valores de pico e eficaz teóricos, simulados e experimentais da corrente no interruptor D_{c1} .

Tabela 13 – Valores teóricos, simulados e experimentais da corrente no diodo D_{c1}

$i_{D_{c1}}$ [A]	Teórico	Simulado	Experimental
Pico	4,35	4,61	4,95
Eficaz	0,80	0,80	0,83

As formas de onda de tensão e corrente no diodo D_{c2} são apresentadas na Figura 80. Durante o período da rede (Figura 80a), observa-se que o diodo é polarizado diretamente apenas no semiciclo negativo, enquanto permanece em bloqueio durante o semiciclo positivo. Já no período de chaveamento (Figura 80b), é possível visualizar a corrente de desmagnetização do indutor circulando através do diodo D_{c2} . A tensão máxima reversa observada foi de 652 V, enquanto o valor eficaz de corrente medido no diodo D_{c2} foi de 0,97 A.

A Tabela 14 apresenta os valores de pico e eficaz teóricos, simulados e experimentais da corrente no interruptor D_{c2} .

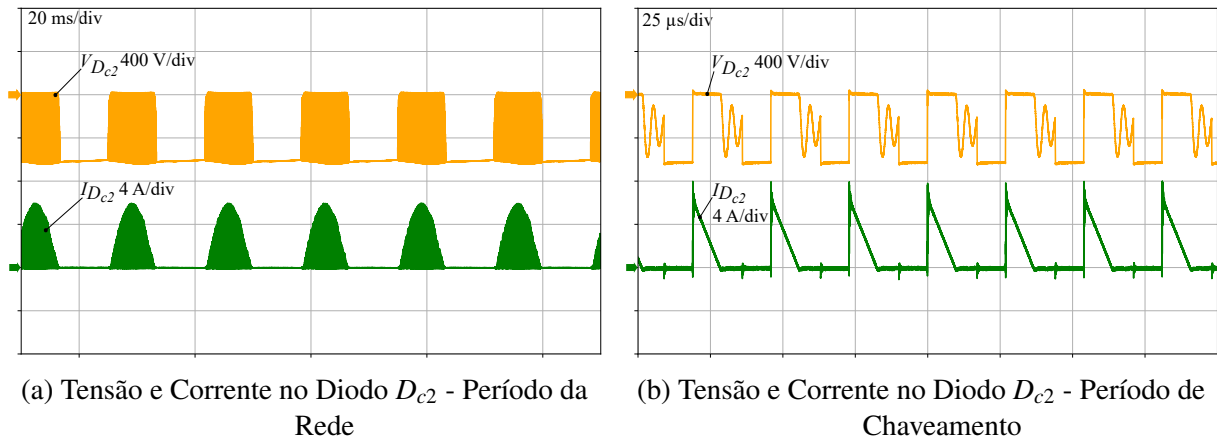


Figura 80 – Formas de Onda de Tensão e Corrente no Diodo D_{c2}

Fonte: O autor.

Tabela 14 – Valores teóricos, simulados e experimentais da corrente no diodo D_{c2}

$i_{D_{c2}} [A]$	Teórico	Simulado	Experimental
Pico	6,20	6,37	6,42
Eficaz	0,97	0,97	0,97

As formas de onda de tensão e corrente no capacitor chaveado C_s são apresentadas na Figura 81. A visualização no período da rede (Figura 81a) reforça a operação assimétrica do conversor, visto que o capacitor chaveado transfere energia significativamente em apenas metade do ciclo da rede. O valor eficaz da corrente medida no capacitor chaveado foi de 1,25 A. No período de chaveamento no semiciclo negativo (Figura 81b), verifica-se que o dimensionamento do capacitor chaveado C_s foi realizado da maneira correta, o que valida a metodologia de projeto proposta. Durante a etapa de carga, a corrente no capacitor chaveado atinge um valor de pico de 4,95 A e decresce linearmente até o momento em que o interruptor é bloqueado, quando a corrente de carga ainda não atingiu o valor nulo. Esse comportamento indica que o modo de carga parcial foi atingido com sucesso seguindo o procedimento de seleção apresentado no trabalho. Observa-se que a corrente de carga do capacitor chaveado atinge seu valor de pico em um intervalo de tempo reduzido, embora de forma menos abrupta do que os resultados ideais obtidos através de simulação. Esse comportamento é atribuído à indutância parasita presente na trilha condutora do caminho de circulação da corrente, a qual limita a taxa de variação da corrente e suaviza o perfil de subida. É possível observar também na etapa subsequente o formato de onda equivalente à desmagnetização do indutor L , etapa em que o capacitor chaveado C_s se descarrega, fornecendo energia aos capacitores de saída e à carga.

As formas de onda de tensão nos capacitores e tensão na saída são expostas na Figura 81. Todas as formas de onda foram colocadas na mesma escala de tensão e no mesmo ponto de referência, para evidenciar a limitação da tensão nos capacitores C_s , C_{o1} e C_{o2} à aproximadamente metade da tensão de saída V_o , condição obtida sem a necessidade de controle individual das tensões nos capacitores, devido ao balanceamento natural que o conversor proporciona. O valor

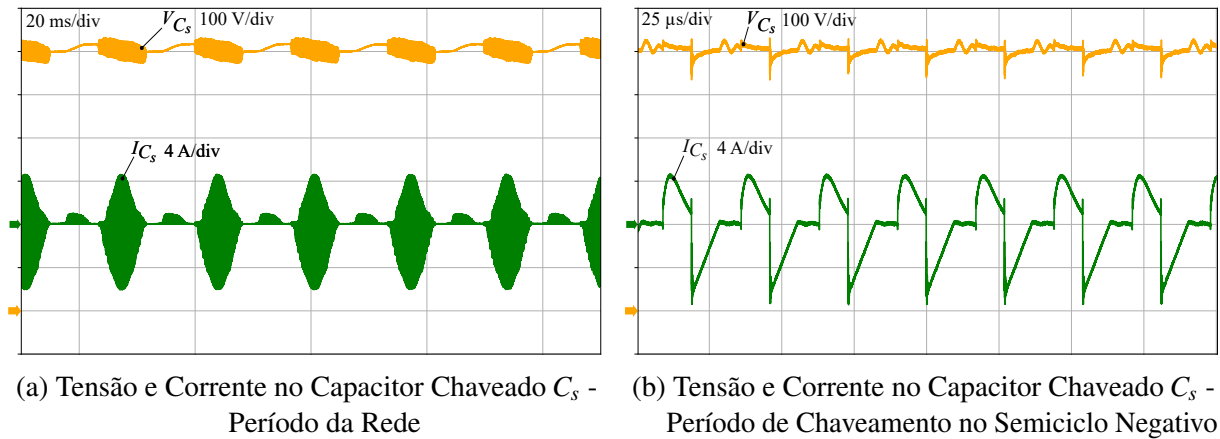


Figura 81 – Formas de Onda de Tensão e Corrente no Capacitor Chaveado C_s

Fonte: O autor.

médio de tensão medida nos capacitores foi de 605,7 V, 606,6 V e 613,9 V, para os capacitores C_s , C_{o1} e C_{o2} , respectivamente. A Figura 83 apresenta as tensões nos capacitores com as referências deslocadas para melhor visualização.

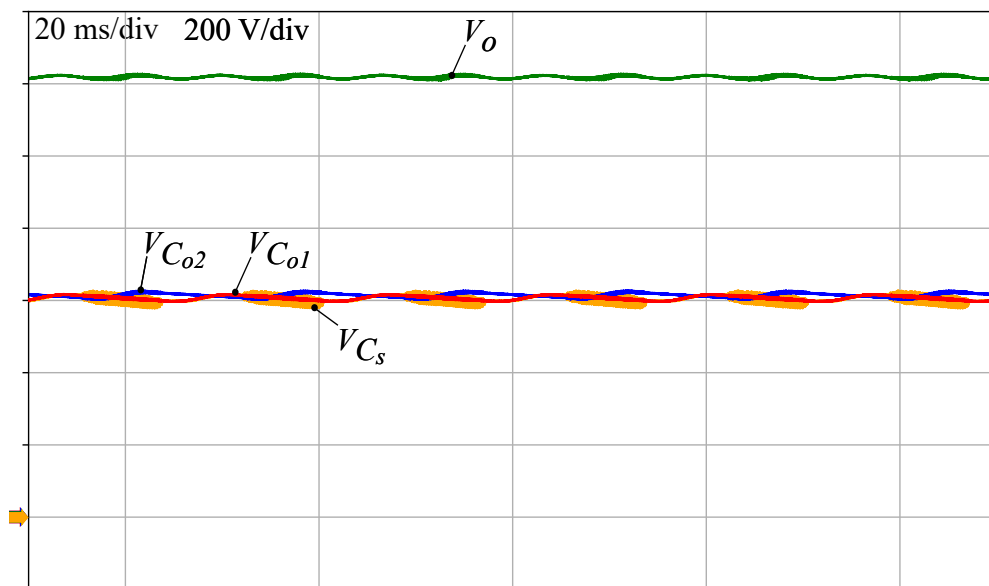


Figura 82 – Tensão nos Capacitores e Tensão de Saída

Fonte: O autor.

Analisando as formas de onda, é possível perceber que V_{C_s} tem comportamento similar a $V_{C_{o1}}$ em baixa frequência, porém no semiciclo negativo, a tensão no capacitor C_s possui também uma ondulação na frequência de chaveamento, período no qual o capacitor C_{o2} é carregado. A ondulação de tensão obtida nos capacitores de saída foi de 1,44 % e 1,79 % nos capacitores C_{o1} e C_{o2} , respectivamente.

De modo geral, as formas de onda obtidas a partir do protótipo físico apresentam comportamento compatível com aquele previsto nas simulações realizadas, validando mais uma vez a metodologia de projeto proposta. Além disso, a análise experimental permite observar com

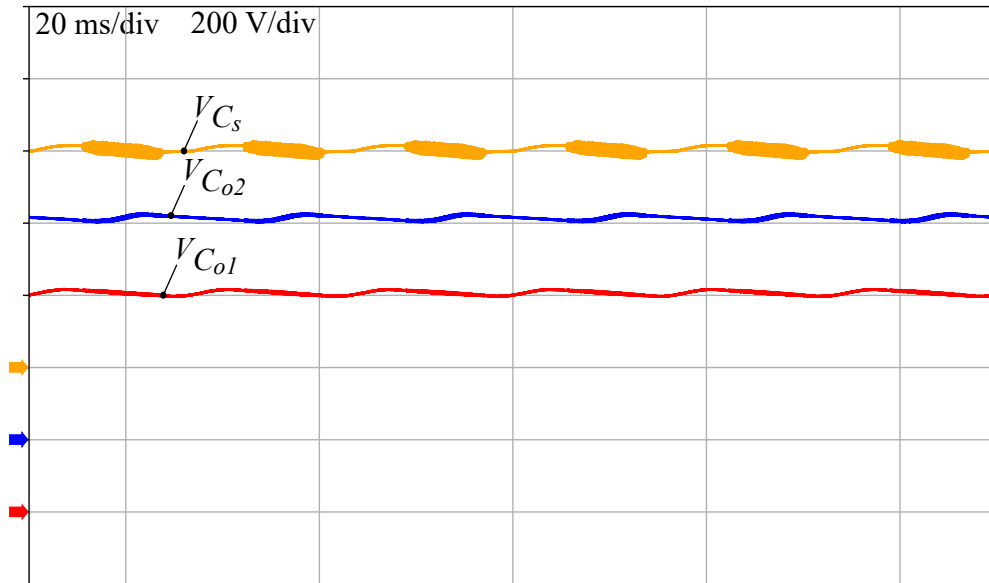


Figura 83 – Tensão nos Capacitores

Fonte: O autor.

maior clareza os efeitos não ideais presentes na operação do conversor, o que contribui para uma compreensão mais aprofundada da topologia empregada e dos desafios associados à sua implementação prática. Esse entendimento é essencial para que, em aplicações futuras, seja possível mitigar tais limitações e aprimorar o desempenho do conversor operando em modo de condução descontínua.

Com o objetivo de avaliar o desempenho do conversor sob diferentes condições de carga, foram coletados dados de rendimento, distorção harmônica total e fator de potência para níveis de carga correspondentes a 60 %, 70 %, 80 %, 90 % e 100 % da potência nominal escolhida para o conversor desenvolvido neste trabalho. Os resultados experimentais foram obtidos com o conversor operando em estabilidade térmica.

A Figura 84 apresenta o rendimento do conversor, que parte de um valor de 93,22 % em 60 % da potência nominal, e atinge seu valor máximo de 95,8 % na condição de carga plena. A elevação do rendimento do conversor com o aumento da carga está de acordo com o esperado para topologias operando no modo de condução descontínua, nas quais as perdas são mais significativas para potências mais baixas. Na condição de carga de 90 %, um leve aumento na DHT da corrente de entrada gerou um ponto de inflexão na curva de rendimento. Esse aumento pode ser atribuído a variações paramétricas não lineares que ocorrem nos componentes com o aumento da temperatura.

Quanto à distorção harmônica total do conversor obtida perante diferentes condições de carga, apresentada na Figura 85, verifica-se uma tendência geral decrescente da DHT com o aumento da potência de saída, partindo de 15,22 % em 60 % da potência nominal e atingindo o valor mínimo de 12,51 % em carga plena. A discreta elevação da distorção harmônica total na condição de 90% da carga nominal, mencionada anteriormente, torna-se claramente perceptível

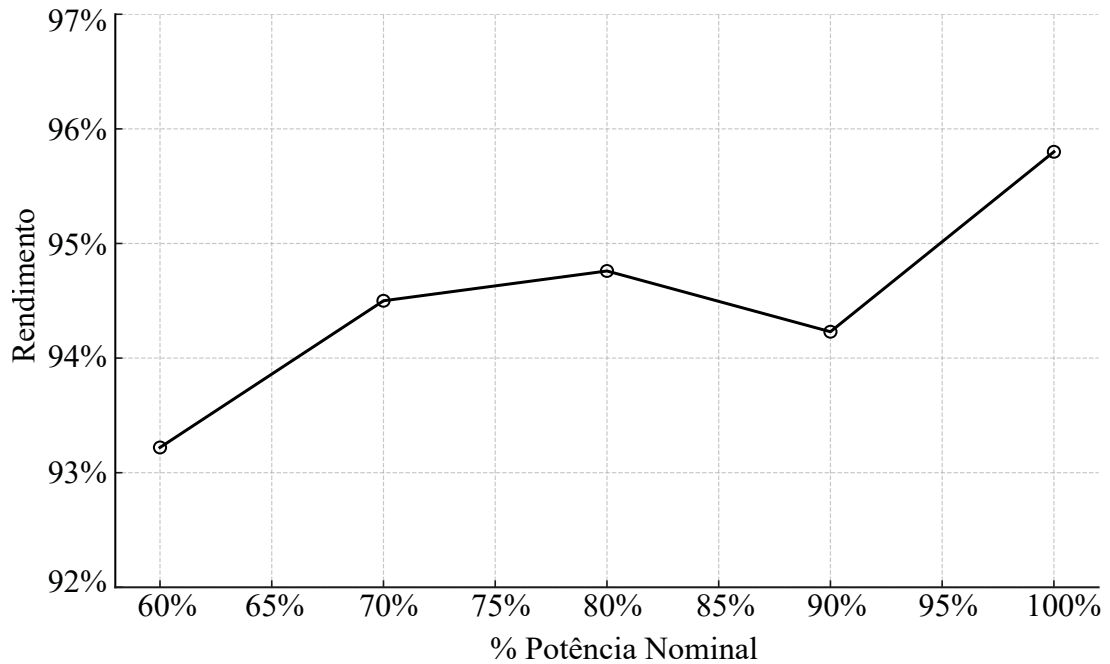


Figura 84 – Rendimento do Conversor para Diferentes Condições de Carga

Fonte: O autor.

na análise do gráfico. Apesar desse comportamento pontual indesejado, todas as formas de onda de corrente na entrada apresentaram níveis harmônicos dentro dos limites estabelecidos pela norma IEC61000-3-2, o que qualifica o conversor para aplicações práticas que exigem baixo conteúdo harmônico na entrada.

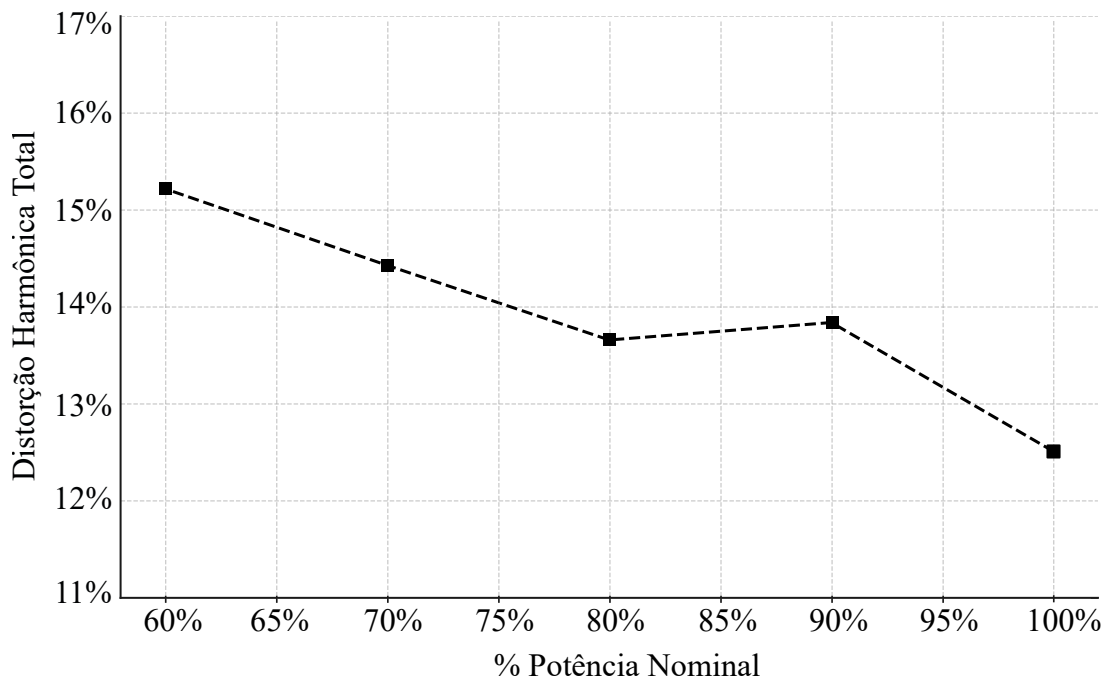


Figura 85 – Distorção Harmônica Total do Conversor para Diferentes Condições de Carga

Fonte: O autor.

Por fim, o gráfico que apresenta o fator de potência em função da carga do conversor é

exposto na Figura 86. Conforme esperado, o fator de potência segue comportamento inverso ao da DHT do conversor, atingindo seu valor máximo de 0,991 na condição de carga plena.

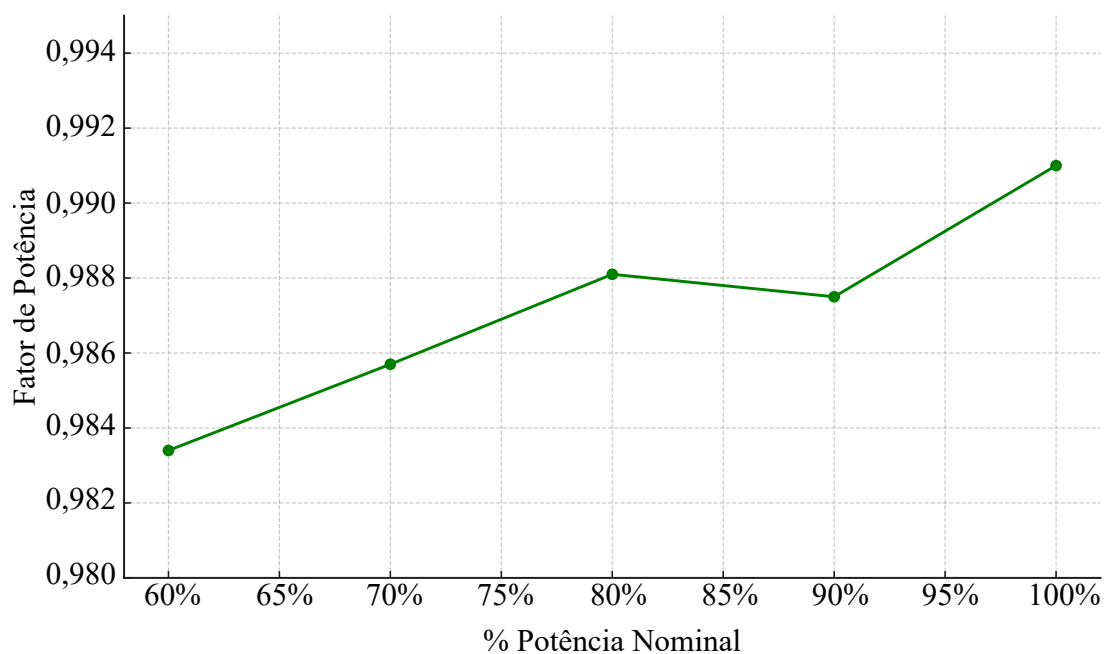


Figura 86 – Fator de Potência do Conversor para Diferentes Condições de Carga

Fonte: O autor.

7 CONCLUSÃO

Este trabalho apresentou a análise, o projeto e a validação experimental de um Retificador *Boost Bridgeless* Monofásico com Célula de Capacitor Chaveado operando no modo de condução descontínua. A proposta teve como objetivo alcançar alta eficiência, baixo conteúdo harmônico de corrente e elevado fator de potência na entrada, em conformidade com os requisitos estabelecidos por normas internacionais de compatibilidade eletromagnética, como a IEC 61000-3-2.

Inicialmente, foi conduzida uma revisão bibliográfica abrangente sobre conversores a capacitor chaveado híbrido com correção do fator de potência, destacando suas principais vantagens, como a redução dos esforços de tensão nos componentes semicondutores e a possibilidade de modificação do ganho estático por meio da adição de células de capacitor chaveado. Em diversos estudos analisados, observou-se o emprego do MCD como estratégia eficiente para promover a correção natural do fator de potência, eliminando a necessidade de malha de controle de corrente e simplificando a estrutura de controle do conversor. A partir dessa constatação, motivou-se a investigação da topologia proposta neste trabalho em operação no MCD.

O desenvolvimento do estudo abrangeu a definição do esquema de modulação visando a redução das perdas de condução e comutação, a análise das etapas de operação, o levantamento analítico do comportamento global do conversor e a metodologia de projeto do indutor *Boost*, do capacitor chaveado e dos demais componentes passivos e ativos. Essas etapas foram devidamente validadas por meio de simulações computacionais e ensaios experimentais.

O protótipo físico implementado demonstrou desempenho satisfatório, alcançando eficiência de 95,8 % na condição de carga nominal, com fator de potência superior a 0,99 e distorção harmônica total da corrente de entrada limitada a 12,51 %. A análise espectral da corrente de entrada, realizada por meio da Transformada Rápida de Fourier, evidenciou conformidade com os limites estabelecidos pela norma IEC 61000-3-2, demonstrando a viabilidade da aplicação prática da topologia proposta em ambientes que requerem elevada qualidade de energia.

Como contribuição principal, este trabalho oferece uma metodologia completa para análise e projeto de retificadores híbridos com capacitor chaveado operando em MCD, abrangendo desde os fundamentos teóricos até a validação experimental, servindo como base para futuras pesquisas e aplicações em conversores de alta densidade de potência, elevado fator de potência e baixo conteúdo harmônico.

Como perspectivas para trabalhos futuros, sugere-se a modelagem do comportamento dinâmico da topologia proposta, com o objetivo de desenvolver e validar metodologias de controle adequadas para diferentes condições de operação e variações de carga e rede, uma vez que o presente estudo concentrou-se na análise do conversor em regime permanente. Adicionalmente, recomenda-se a implementação prática do método de redução da distorção harmônica apresentado no Apêndice D, de modo a permitir uma avaliação mais aprofundada de suas particularidades, impactos sobre a operação do conversor e benefícios práticos em termos de qualidade de energia.

REFERÊNCIAS

- AAVID. **Board Level Cooling - High Power Extruded 5320**. [S.l.], 2020. Citado na página 66.
- ATHAB, HS. Single-phase single-switch boost pfc regulator with low total harmonic distortion and feedforward input voltage. In: IEEE. **2008 IEEE 2nd International Power and Energy Conference**. [S.l.], 2008. p. 1118–1123. Citado na página 80.
- BARBI, I. **Projeto de Fontes Chaveadas. Edição do autor. 332p**. [S.l.]: Florianópolis, 2007. Citado 2 vezes nas páginas 61 e 113.
- BARBI, Ivo. **Conversores a Capacitor Chaveado**. [S.l.: s.n.], Edição do Autor, 2019. Citado 2 vezes nas páginas 17 e 18.
- BARBI, Ivo; FONT, Carlos HI; ALVES, Ricardo L. Projeto físico de indutores e transformadores. **Documento Interno (INEP–2002)**, 2002. Citado 2 vezes nas páginas 61 e 113.
- BEN-YAAKOV, Shmuel. Behavioral average modeling and equivalent circuit simulation of switched capacitors converters. **IEEE Transactions on Power Electronics**, v. 27, n. 2, p. 632–636, 2012. Citado na página 47.
- CAMPOS, Henrique Marin van der Broecke et al. Single-phase hybrid switched-capacitor pfc boost rectifier with low voltage gain. **IEEE Transactions on Power Electronics**, IEEE, v. 38, n. 1, p. 968–976, 2022. Citado na página 29.
- CHEN, Zhangyong et al. A low voltage stress PFC rectifier based on non-overlapping strategy using resonant switched-capacitor converter. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), p. 1–1, 2021. Citado na página 26.
- CORTEZ, Daniel Flores; BARBI, Ivo. A family of high-voltage gain single-phase hybrid switched-capacitor PFC rectifiers. **IEEE Transactions on Power Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 30, n. 8, p. 4189–4198, aug 2015. Citado 3 vezes nas páginas 8, 31 e 32.
- COSTA, Paulo Junior Silva; FONT, Carlos Henrique Illa; LAZZARIN, Telles Brunelli. Single-phase hybrid switched-capacitor voltage-doubler SEPIC PFC rectifiers. **IEEE Transactions on Power Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 33, n. 6, p. 5118–5130, jun 2018. Citado 2 vezes nas páginas 32 e 33.
- DIAS, Julio Cesar; LAZZARIN, Telles Brunelli. Single-phase bridgeless PFC rectifier with hybrid switched-capacitor cell. In: **2020 IEEE Applied Power Electronics Conference and Exposition (APEC)**. [S.l.]: IEEE, 2020. Citado 3 vezes nas páginas 21, 34 e 35.
- DIAS, Julio Cesar; LAZZARIN, Telles Brunelli. Single-phase hybrid boost ac–dc converters with switched-capacitor cells and reduced switch count. **IEEE Transactions on Industrial Electronics**, IEEE, v. 68, n. 8, p. 6710–6720, 2020. Citado 2 vezes nas páginas 34 e 37.
- EPCOS. **Film Capacitors**. [S.l.], 2008. Citado na página 74.
- FERDOWSI, Mehdi; EMADI, Ali. Estimative current mode control technique for dc-dc converters operating in discontinuous conduction mode. **IEEE Power Electronics Letters**, IEEE, v. 2, n. 1, p. 20–23, 2004. Citado na página 80.

HAN, Yubo et al. Bridgeless step-down PFC converter based on dual-resonant switched-capacitor structure with continuous conversion ratio. In: **2021 3rd Asia Energy and Electrical Engineering Symposium (AEEES)**. [S.l.]: IEEE, 2021. Citado 2 vezes nas páginas 26 e 27.

HYSAM, Md. Abdullah Al et al. New topologies of cuk PFC converter with switched capacitor for low power applications. In: **2017 IEEE Region 10 Humanitarian Technology Conference (R10-HTC)**. [S.l.]: IEEE, 2017. Citado 2 vezes nas páginas 27 e 28.

IMAI, Fernando; NOVAES, Yales Rômulo de. Design and assembly of a bipolar marx generator based on full-bridge topology applied to electroporation. In: **2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)**. [S.l.: s.n.], 2019. p. 1–6. Citado na página 60.

INFINEON. **IMZ120R045M1 CoolSiC™ 1200V SiC Trench MOSFET**. [S.l.], 2020. Citado na página 65.

INFINEON. **Silicon Carbide Schottky Diode**. [S.l.], 2021. Citado na página 68.

KEMET. **C4AQ, Radial, 2 or 4 Leads, 500 - 1,500 VDC, for DC Link (Automotive Grade)**. [S.l.], 2023. Citado 2 vezes nas páginas 62 e 63.

KISHORE, G. Indira; TRIPATHI, Ramesh Kumar. Single-phase PFC converter using switched-capacitor for high voltage DC applications. In: **2016 IEEE 1st International Conference on Power Electronics, Intelligent Control and Energy Systems (ICPEICES)**. [S.l.]: IEEE, 2016. Citado na página 31.

KISHORE, G Indira; TRIPATHI, Ramesh Kumar. A novel high voltage gain single-phase AC-DC PFC converter using switched-capacitor. In: **2017 4th International Conference on Power, Control & Embedded Systems (ICPCES)**. [S.l.]: IEEE, 2017. Citado 2 vezes nas páginas 31 e 32.

KUMAR, GK Naveen; VERMA, Arun Kumar; SANDEEP, N. Switched-capacitor based bridgeless totem-pole pfc converter for ev applications. In: IEEE. **IECON 2023-49th Annual Conference of the IEEE Industrial Electronics Society**. [S.l.], 2023. p. 1–6. Citado na página 30.

KUMAR, GK Naveen et al. A single-stage boost derived switched-capacitor based pfc converter for ev applications. **IEEE Journal of Emerging and Selected Topics in Industrial Electronics**, IEEE, 2023. Citado 2 vezes nas páginas 29 e 30.

LAZAR, J.; CUK, S. Open loop control of a unity power factor, discontinuous conduction mode boost rectifier. In: **Proceedings of INTELEC 95. 17th International Telecommunications Energy Conference**. [S.l.: s.n.], 1995. p. 671–677. Citado 2 vezes nas páginas 80 e 111.

MUMIC, Chrystian et al. Analysis of the single phase bridgeless pfc rectifier with hybrid switched capacitor cell operating in dcm. In: IEEE. **2023 IEEE 8th Southern Power Electronics Conference and 17th Brazilian Power Electronics Conference (SPEC/COBEP)**. [S.l.], 2023. p. 1–8. Citado na página 23.

MUMIC, Chrystian et al. Analysis and implementation of a single-phase bridgeless hybrid switched-capacitor rectifier in dcm for power factor correction. **Eletrônica de Potência**, v. 30, p. e202535–e202535, 2025. Citado na página 23.

OLIVEIRA, Sérgio Vidal Garcia et al. Otimização de projeto de fontes de alimentação para centrais de telecomunicações. Florianópolis, SC, 2001. Citado 2 vezes nas páginas 61 e 113.

ONINDA, Mohammad Abdul Moin; SAROWAR, Golam; GALIB, Md Mehedi Hassan. Single-phase switched capacitor AC-DC step down converters for improved power quality. In: **2017 IEEE Region 10 Humanitarian Technology Conference (R10-HTC)**. [S.l.]: IEEE, 2017. Citado 2 vezes nas páginas 24 e 25.

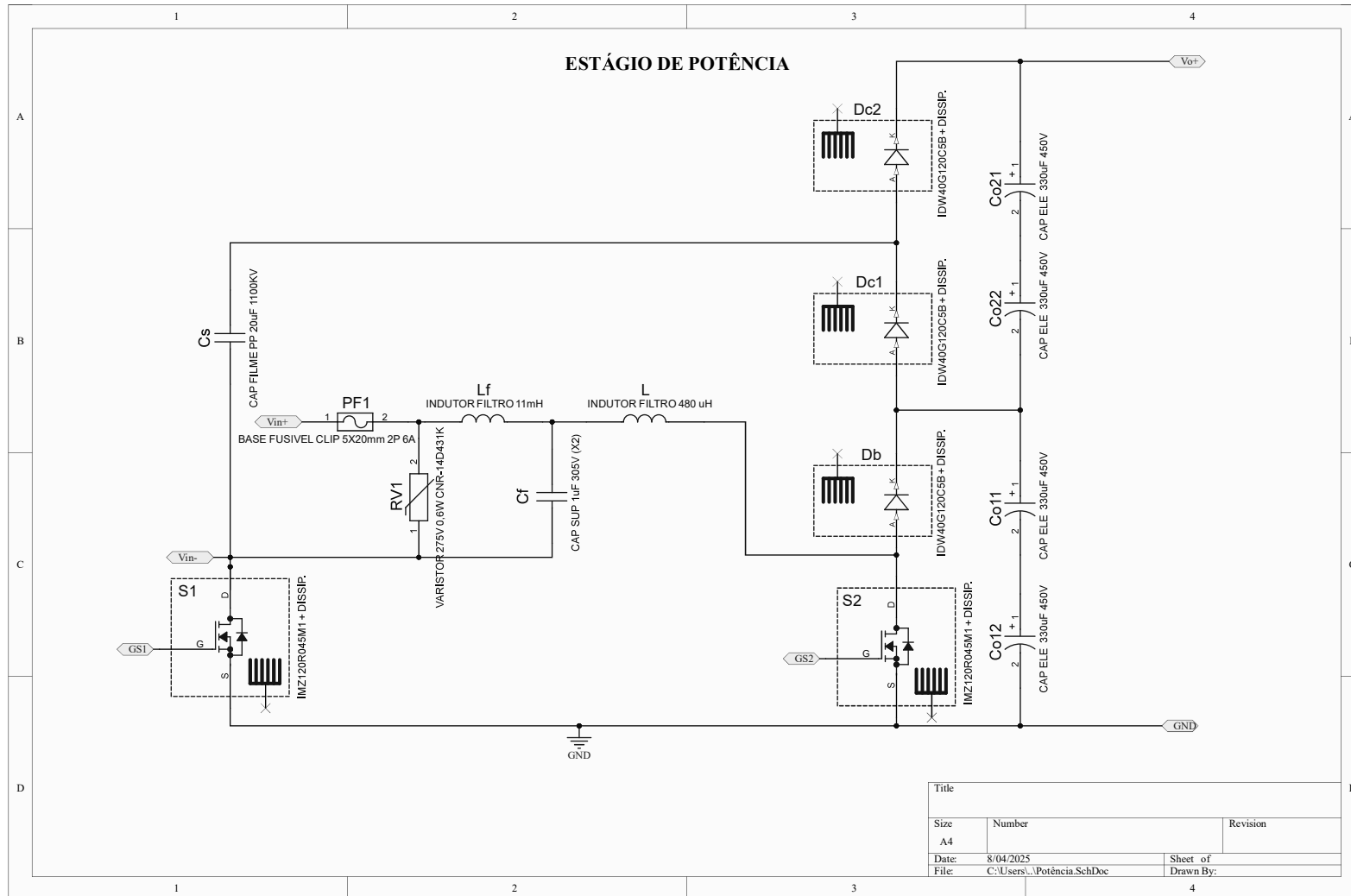
SEIXAS, Claudiner Mendes de. **Análise e projeto de um sistema de correção de fator de potência utilizando o conversor boost multifase operando em condução descontínua ea frequência constante**. Tese (Doutorado) — Universidade Federal de Santa Catarina. Centro Tecnológico., 1993. Citado na página 44.

SINGH, Bhim; BIST, Vashist. A PFC based switched-capacitor buck-boost converter fed BLDC motor drive. In: **2013 Annual IEEE India Conference (INDICON)**. [S.l.]: IEEE, 2013. Citado na página 28.

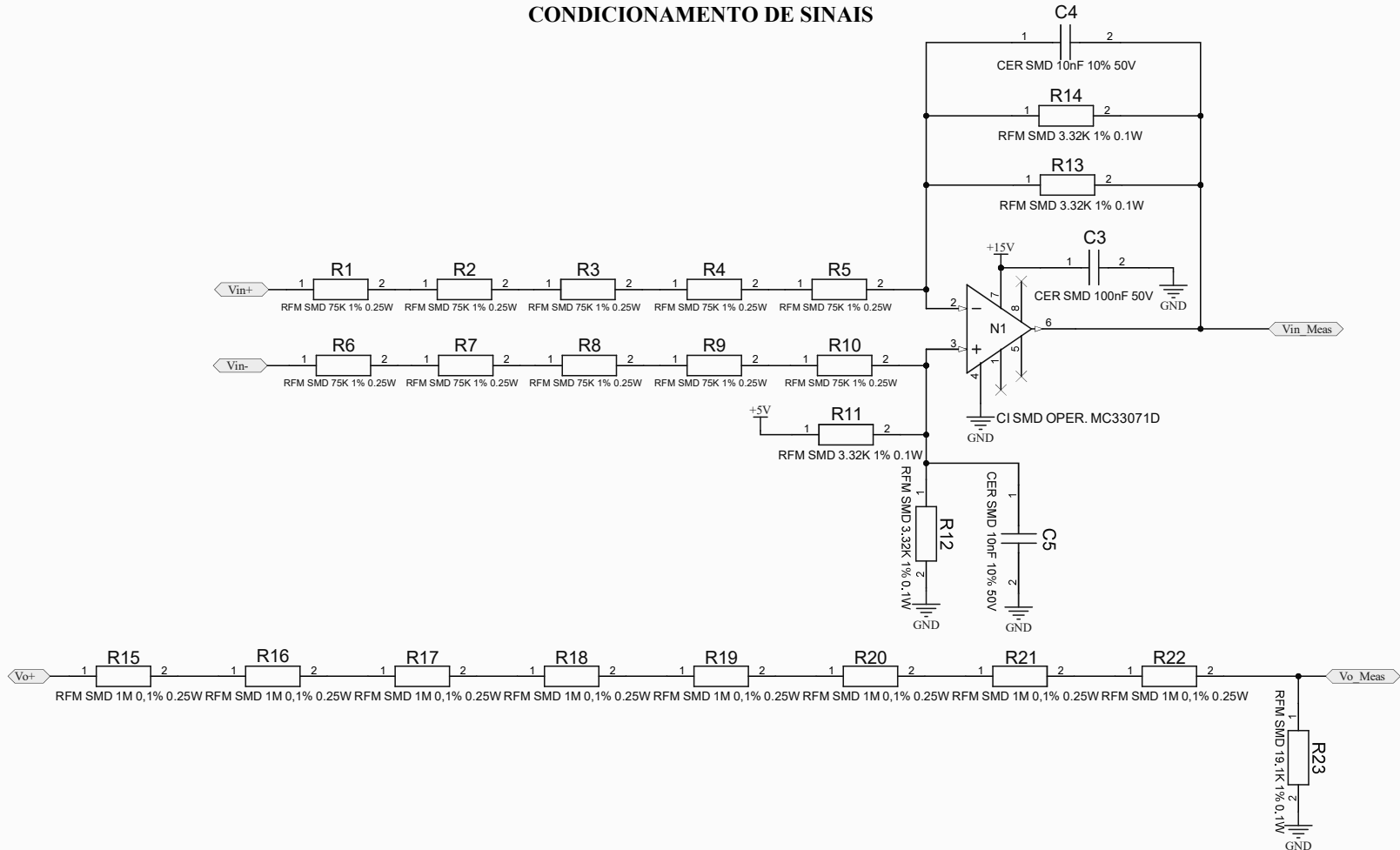
TDK. **Aluminum Electrolytic Capacitors**. [S.l.], 2019. Citado 2 vezes nas páginas 72 e 73.

YOUNG, Chung-Ming et al. A cockcroft-walton voltage multiplier with PFC using ZC-ZVT auxiliary circuit. In: **IECON 2011 - 37th Annual Conference of the IEEE Industrial Electronics Society**. [S.l.]: IEEE, 2011. Citado 2 vezes nas páginas 32 e 33.

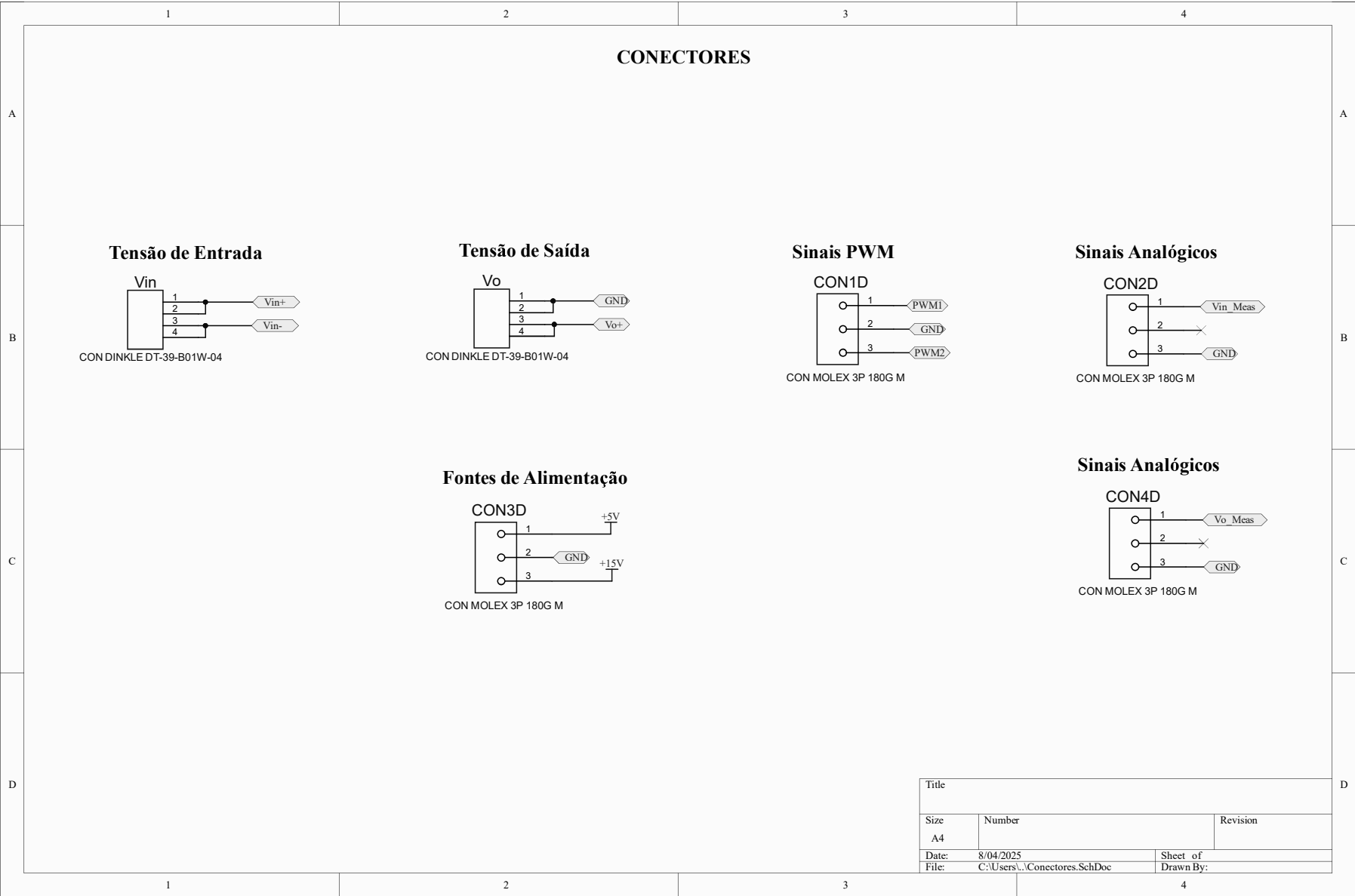
APÊNDICE A – ESQUEMA ELETRÔNICO - PLACA 01

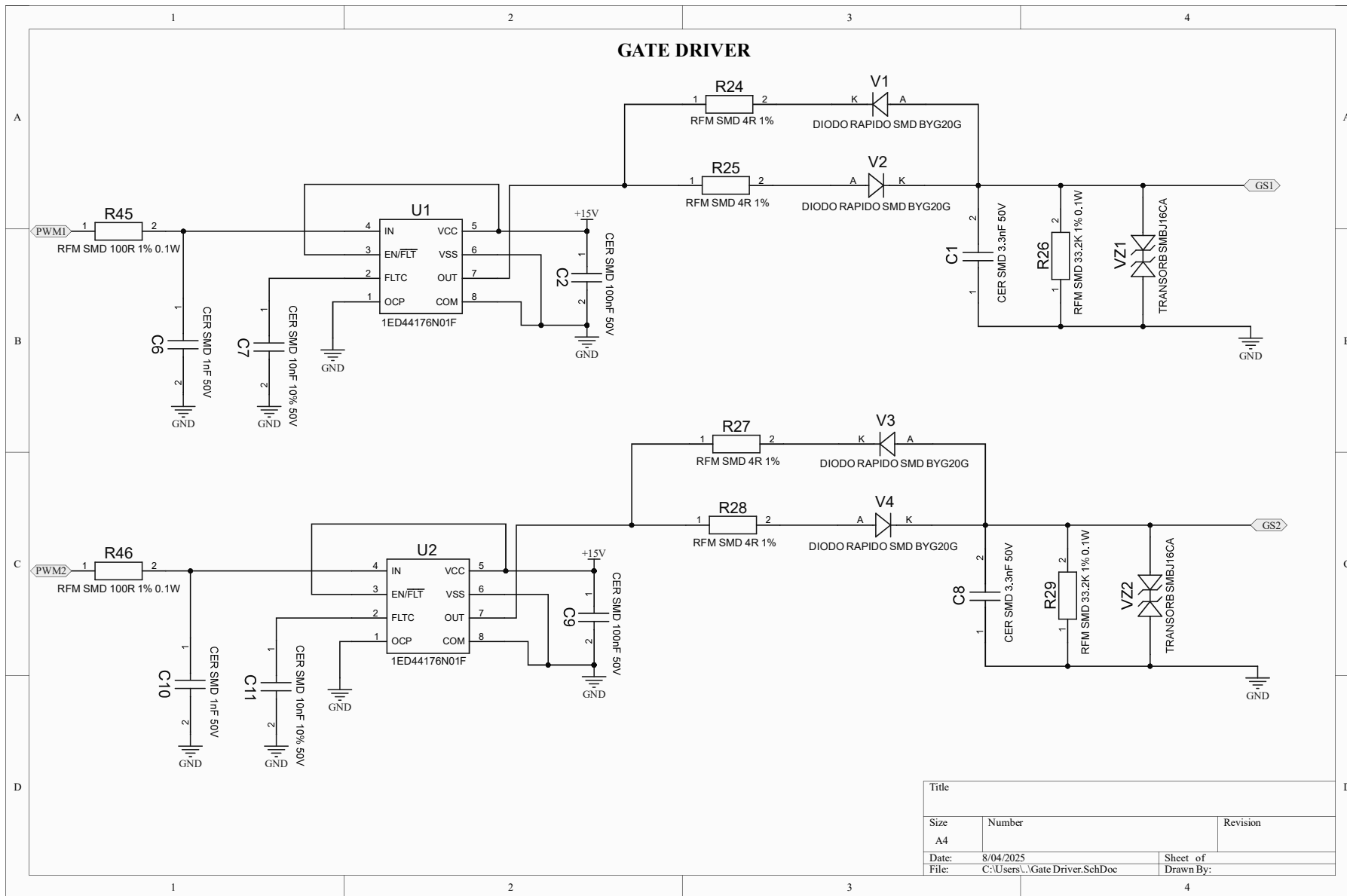


CONDICIONAMENTO DE SINAIS

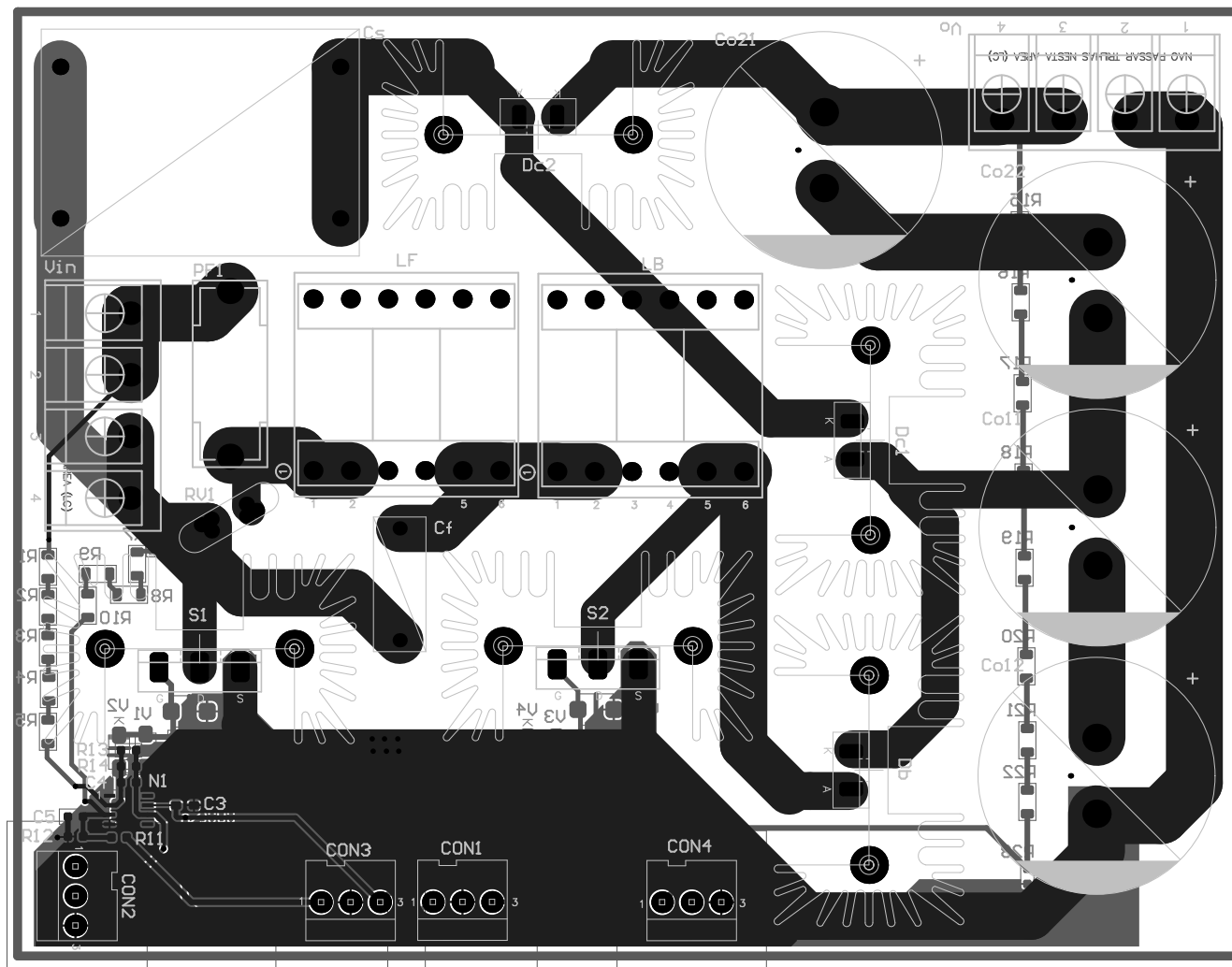


Title		
Size	Number	Revision
A4		
Date:	8/04/2025	Sheet of
File:	C:\Users\...\Condicionamento.SchDoc	Drawn By:

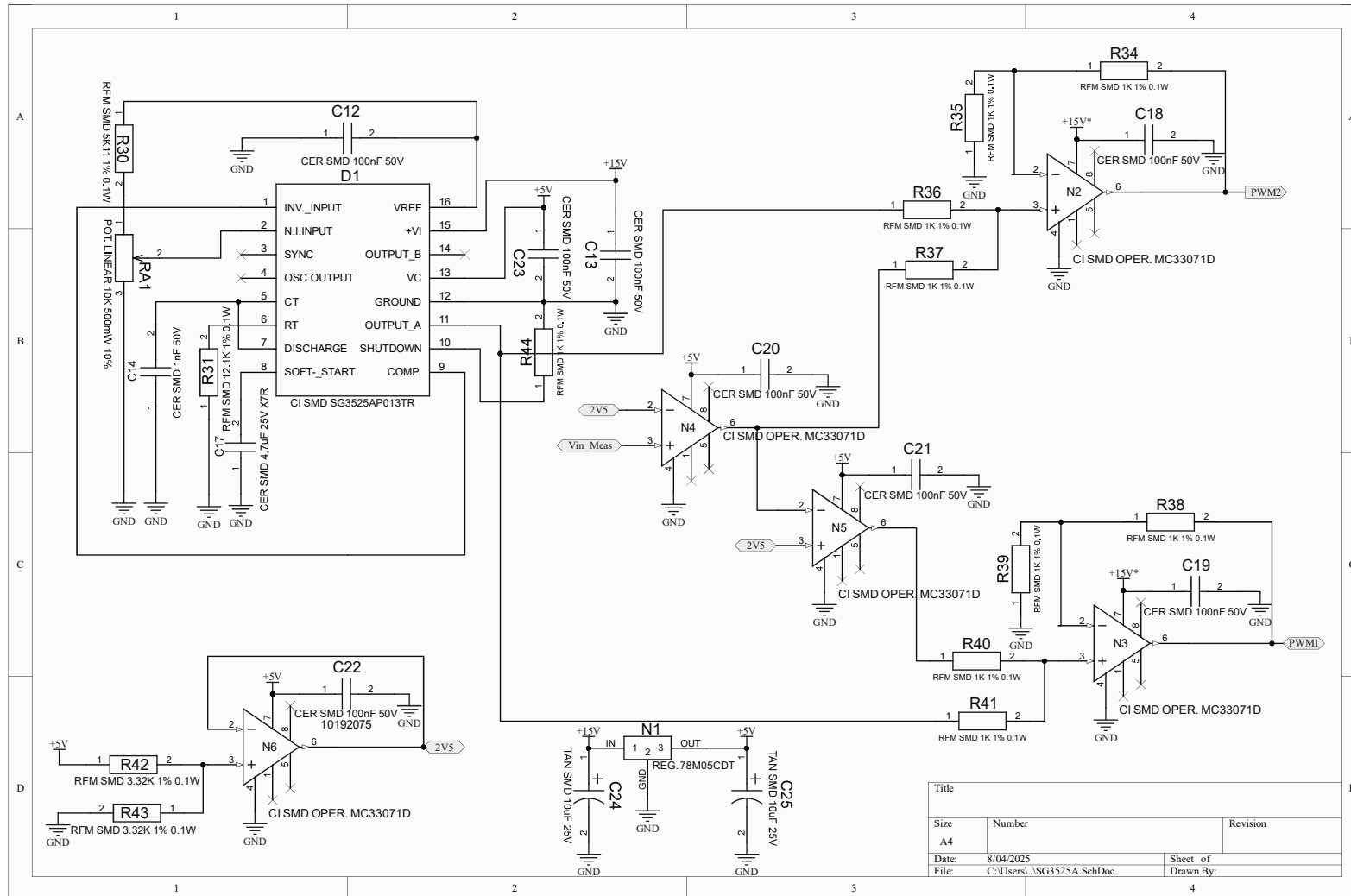




APÊNDICE B – LAYOUT - PLACA 01



APÊNDICE C – ESQUEMA ELETRÔNICO - PLACA 02



APÊNDICE D – PROPOSIÇÃO DE MÉTODO PARA REDUÇÃO DA DISTORÇÃO HARMÔNICA TOTAL

Uma adaptação do método de compensação de distorção harmônica total proposto em (LAZAR; CUK, 1995) para o conversor retificador boost PFC convencional pode ser aplicada para o conversor estudado nesta dissertação. Essa solução assegura que a multiplicação de D por $\Delta t_2/T_s$ seja constante, sendo Δt_2 o tempo de duração da segunda etapa de operação, forçando a corrente no indutor a melhor se ajustar ao envelope da tensão da rede, modulando o ciclo de trabalho na saída do controlador, V_c , de acordo com:

$$D = V_c \sqrt{1 - \frac{|V_{in}|}{\frac{V_o}{2}}} \quad (188)$$

A validação da metodologia proposta foi realizada através de simulação no software PSIM®. A Figura 87 apresenta os circuitos de potência, controle, modulação da saída do controlador e geração do sinal PWM para acionamento dos interruptores controlados.

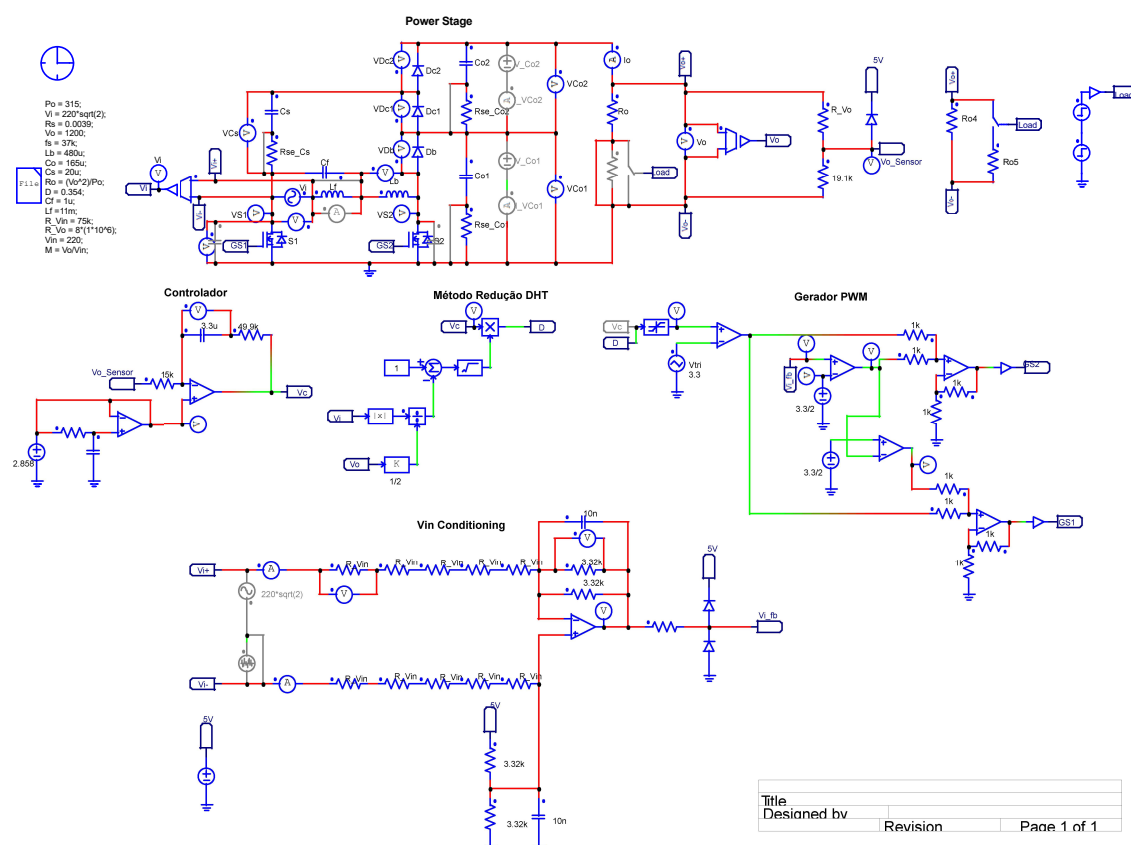


Figura 87 – Circuito Implementado no PSIM® para Validação do Método de Redução da Distorção Harmônica Total

Fonte: O autor.

A Figura 88 apresenta as formas de onda de corrente de entrada, corrente no indutor

boost, tensão de entrada (dividida por 100 para melhor visualização), tensão de saída e razão cíclica antes e depois do modulador.

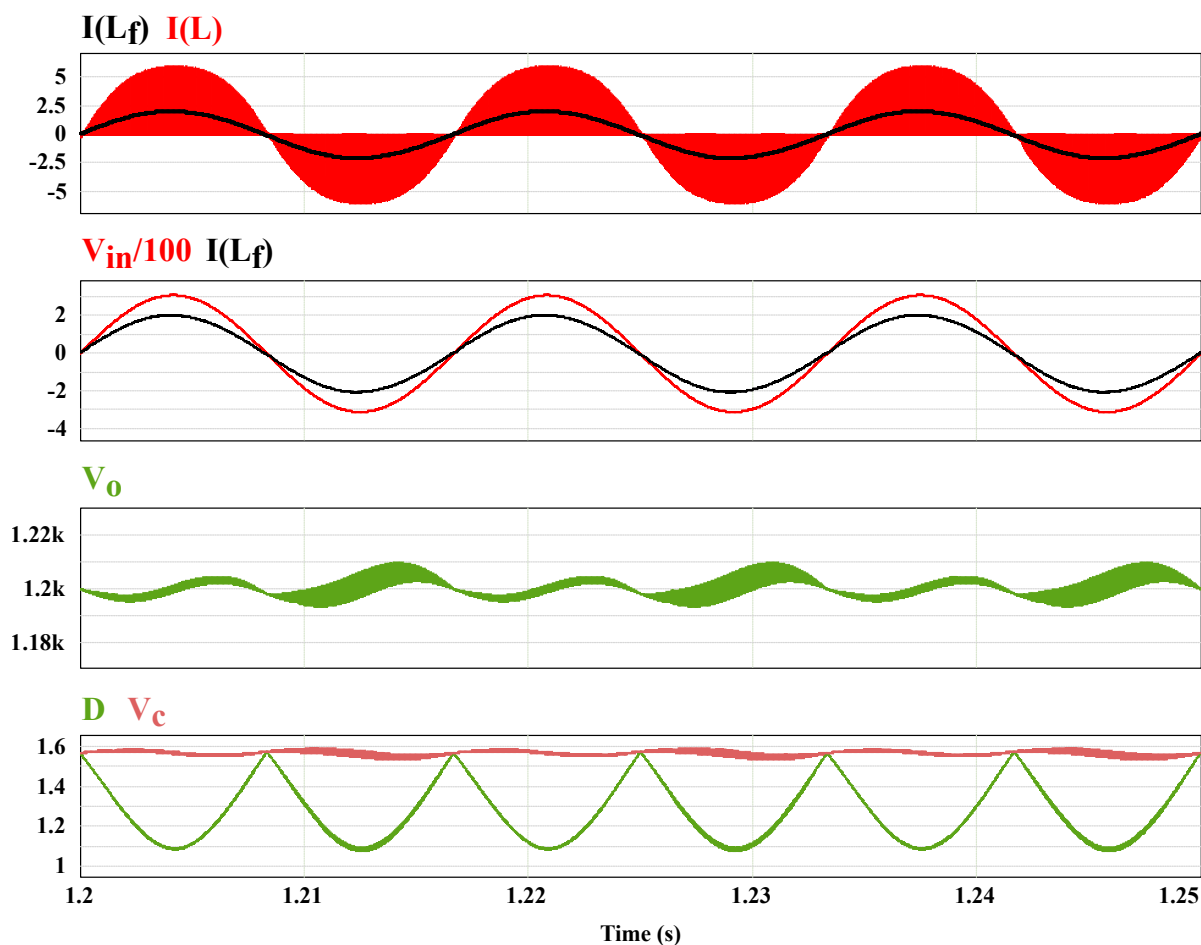


Figura 88 – Resultados de Simulação do Método de Redução da Distorção Harmônica Total

Fonte: O autor.

Observando a forma de onda de corrente no indutor, percebe-se que a introdução do método de redução da distorção harmônica não interfere na operação no modo de condução descontinua do conversor. Além disso, as formas de onda da corrente de entrada assumem um formato puramente senoidal em fase com a tensão de entrada, enquanto a tensão de saída é mantida em 1200 V. A distorção harmônica total atingida nesta condição foi de 0,81% e o fator de potência de 0,99.

APÊNDICE E – DIMENSIONAMENTO FÍSICO DO INDUTOR *BOOST*

O dimensionamento físico dos indutores foi realizado com base nas referências (OLIVEIRA et al., 2001), (BARBI; FONT; ALVES, 2002) e (BARBI, 2007).

Considerando o emprego de núcleo de ferrite IP12, os dados de entrada para o projeto do indutor estão dispostos na Tabela 15.

Tabela 15 – Dados de Entrada - Projeto Indutor *Boost*.

Dados de Entrada		
Coefficiente de caracterização do material magnético	C_m	$7,929210^{-3}$
Coefficiente de caracterização do material magnético	x	1,4017
Coefficiente de caracterização do material magnético	y	2,3294
Densidade de perdas volumétricas no núcleo	$P_{vnucleo}$	$40 \frac{mW}{cm^3}$
Resistividade do cobre à 80°C	ρ_{cu}	$2,3510^{-8} \Omega m$
Permeabilidade magnética do ar	μ_0	$4\pi 10^{-7} \frac{Tm}{A}$
Densidade máxima de fluxo magnético	B_{max}	0,3 T
Densidade máxima de corrente no cobre	J_{max}	$550 \frac{A}{cm^2}$
Fator de ocupação da janela	K_w	0,7

Calcula-se a variação da densidade de fluxo magnético:

$$\Delta B = \left[\frac{40}{C_m (100000)^x} \right]^{\frac{1}{y}} = 0,079 T \quad (189)$$

Densidade de fluxo magnético média:

$$B_{cc} = B_{max} - \frac{\Delta B}{2} = 0,261 T \quad (190)$$

A partir dessas grandezas calcula-se o fator $A_e A_w$ que permite a escolha do núcleo do indutor:

$$A_e A_w = \frac{L i_{L_{pk}} i_{LEF}}{K_w B_{max} J_{max}} = 0,5542 cm^4 \quad (191)$$

O núcleo escolhido foi o NEE-30/15/14 da Thornton®, cujos parâmetros estão expostos na Tabela 16

Calcula-se o número de espiras do indutor:

$$N = \frac{L i_{L_{pk}}}{B_{max} A_e} = 82 \quad (192)$$

A variação do fluxo magnético:

Tabela 16 – Parâmetros do Núcleo de Ferrite tipo E - NEE-30/15/14.

Dados NEE-30/15/14		
Fator de janela	$A_e A_w$	$1,02cm^4$
Área de passagem do fluxo magnético	A_e	$1,2cm^2$
Área de janela do carretel	A_w	$0,85cm^2$
Volume do núcleo	V_e	$8cm^3$
Espessura da base do carretel	ep	$0,9mm$
Altura da perna da central do carretel	hpc	$0,018m$

$$\Delta B_{ac} = \frac{Li_{L_{pk}}}{NA_e} = 0,303T \quad (193)$$

A composição final do fluxo magnético:

$$B_{cc} = B_{max} - \frac{\Delta B_{ac}}{2} = 0,149T \quad (194)$$

A largura do entreferro:

$$l_g = \frac{N^2 A_e \mu_0}{2L} = 1,056mm \quad (195)$$

A seção mínima do condutor:

$$S_{cond_{min}} = \frac{i_{L_{EF}}}{J_{max}} = 3,699 \cdot 10^{-3} cm^2 \quad (196)$$

Devido à elevada frequência em que o conversor opera, deve ser levado em consideração o efeito pelicular. Sendo assim, a profundidade de penetração para o condutor a 80°C é calculada:

$$\Delta = \frac{7,5}{\sqrt{f_s}} = 3,899 \cdot 10^{-2} cm \quad (197)$$

Determina-se o diâmetro máximo do condutor:

$$diâmetro_{max} = 2\Delta = 0,07798 cm \quad (198)$$

Com base na seção mínima do condutor e o diâmetro máximo calculado, foi escolhido o fio AWG26, cujos parâmetros estão expostos na Tabela 17.

Como a área da seção transversal do condutor escolhido é menor que a área mínima, deve utilizar fios em paralelo. A quantidade de condutores elementares é calculada:

Tabela 17 – Parâmetros do Fio AWG26.

Dados AWG26		
Área da seção transversal	S_{awg26}	$0,001287cm^2$
Área da seção transversal com isolamento	$S_{awg26is}$	$0,001671cm^2$
Diâmetro do condutor	$diametro_{awg26}$	$0,04cm$
Diâmetro do condutor com isolamento	$diametro_{awg26is}$	$0,046cm$

$$N_{ce} = \frac{S_{condmin}}{S_{awg26}} \approx 3 \quad (199)$$

O número de camadas:

$$N_c = \frac{N_{diametro_{awg26}} N_{ce}}{hpc} \approx 6 \quad (200)$$

O comprimento médio de uma espira:

$$MLT = 2 \left[(F + B) + \pi \frac{N_c diametro_{awg26} N_{ce}}{2} \right] = 0,066 \text{ m} \quad (201)$$

A área efetiva de cobre ocupada pelo enrolamento:

$$A_{cu} = N N_{ce} S_{awg26} = 0,3166 \text{ cm}^2 \quad (202)$$

Área ocupada pelo enrolamento considerando o isolamento:

$$A_{cuis} = N N_{ce} S_{awg26is} = 0,4111 \text{ cm}^2 \quad (203)$$

Calcula-se o fator de ocupação para verificar a viabilidade de montagem do indutor:

$$F_{ocu} = \frac{A_{cuis}}{A_w} = 0,484 \quad (204)$$

O volume de cobre é calculado:

$$V_{cu} = A_{cu} MLT = 2097 \text{ mm}^3 \quad (205)$$

A densidade de corrente efetiva:

$$J = \frac{i_{LEF}}{N_{ce} S_{awg26}} = 527 \frac{A}{cm^2} \quad (206)$$

Para determinação das perdas no cobre, deve-se obter a resistência total do enrolamento:

$$R_{cc} = \frac{4\rho_{cu}MLTN}{diámetro_{avg26}^2 N_{ce}\pi} = 0,338\Omega \quad (207)$$

As perdas no cobre são determinadas pela Equação 208.

$$P_{cu} = R_{cc}i_{LEF}^2 = 1,401W \quad (208)$$

As perdas no núcleo são obtidas através da Equação 209.

$$P_{mag} = \left[8C_m 100000^x \left(\frac{\Delta B_{ac}}{2} \right)^y \right] 10^{-3} = 1,448W \quad (209)$$

Somando as Equações 208 e 209, têm-se as perdas totais no indutor, conforme Equação 210.

$$Pt_L = P_{cu} + P_{mag} = 2,849W \quad (210)$$

Para obter a elevação de temperatura, inicialmente é calculada a resistência térmica de acordo com o núcleo escolhido:

$$R_{th} = \frac{59,3}{V_e^{0,544}} = \frac{59,3}{80,544} = 19,13 \frac{^\circ C}{W} \quad (211)$$

Assim, a elevação de temperatura pode ser determinada através da multiplicação da resistência térmica pela potência dissipada:

$$\Delta th_L = Pt_L R_{th} = 54,515^\circ C \quad (212)$$

APÊNDICE F – DIMENSIONAMENTO FÍSICO DO INDUTOR DO FILTRO LC

Considerando novamente o emprego de núcleo de ferrite IP12, os dados de entrada para o projeto do indutor de filtro estão dispostos na Tabela 18.

Tabela 18 – Dados de Entrada - Projeto Indutor Filtro de Entrada.

Dados de Entrada		
Coeficiente de caracterização do material magnético	C_m	$7,929210^{-3}$
Coeficiente de caracterização do material magnético	x	1,4017
Coeficiente de caracterização do material magnético	y	2,3294
Densidade de perdas volumétricas no núcleo	$P_{vnucleo}$	$40 \frac{mW}{cm^3}$
Resistividade do cobre à 80°C	ρ_{cu}	$2,3510^{-8} \Omega m$
Permeabilidade magnética do ar	μ_0	$4\pi 10^{-7} \frac{Tm}{A}$
Densidade máxima de fluxo magnético	B_{max}	1,5 T
Densidade máxima de corrente no cobre	J_{max}	$450 \frac{A}{cm^2}$
Fator de ocupação da janela	K_w	0,7

Para cálculo da corrente que circula pelo filtro, é considerada uma corrente de entrada senoidal em fase com a tensão de entrada, considerando um rendimento de $\eta = 97 \%$.

Dessa forma, a potência de entrada do conversor é determinada por:

$$P_{in} = \frac{P_o}{\eta} = 324,74 \text{ W.} \quad (213)$$

O valor eficaz da corrente no indutor de filtro:

$$i_{Lf_{EF}} = \frac{P_{in} \sqrt{2}}{V_p} = 1,476 \text{ A.} \quad (214)$$

A corrente de pico no indutor filtro:

$$i_{Lf_{pk}} = i_{Lf_{EF}} \sqrt{2} = 2,088 \text{ A.} \quad (215)$$

A partir dessas grandezas calcula-se o fator $A_e A_w$ que permite a escolha do núcleo do indutor:

$$A_e A_w = \frac{L_f i_{Lf_{pk}} i_{Lf_{EF}}}{K_w B_{max} J_{max}} = 0,7174 \text{ cm}^4 \quad (216)$$

O núcleo escolhido foi o NEE-30/15/14 da Thornton®, cujos parâmetros já foram apresentados na Tabela 16.

Calcula-se o número de espiras do indutor:

$$N = \frac{L_f i_{L_{f_{pk}}}}{B_{max} A_e} = 127 \quad (217)$$

A variação do fluxo magnético:

$$\Delta B_{ac} = \frac{L_f i_{L_{f_{pk}}}}{N A_e} = 1,507 T \quad (218)$$

A composição final do fluxo magnético:

$$B_{cc} = B_{max} - \frac{\Delta B_{ac}}{2} = 0,747 T \quad (219)$$

A largura do entreferro:

$$l_g = \frac{N^2 A_e \mu_0}{2 L_f} = 0,1106 mm \quad (220)$$

A seção mínima do condutor:

$$S_{cond_{min}} = \frac{i_{L_{f_{EF}}}}{J_{max}} = 3,2810^{-3} cm^2 \quad (221)$$

Devida a baixa frequência a qual o indutor é submetido, é desconsiderado o efeito pelicular. Com base na seção mínima do condutor, foi escolhido o fio AWG20, cujos parâmetros estão expostos na Tabela 19.

Tabela 19 – Parâmetros do Fio AWG20.

Dados AWG20		
Área da seção transversal	S_{awg20}	$0,005176 cm^2$
Área da seção transversal com isolamento	$S_{awg20is}$	$0,006244 cm^2$
Diâmetro do condutor	$diametro_{awg20}$	$0,081 cm$
Diâmetro do condutor com isolamento	$diametro_{awg20is}$	$0,089 cm$

Como a área da seção transversal do condutor escolhido é maior que a área mínima, não será utilizados fios em paralelo, portanto o número de condutores elementares:

$$N_{ce} = 1 \quad (222)$$

O número de camadas:

$$N_c = \frac{Ndiametro_{avg20}N_{ce}}{hpc} \approx 6 \quad (223)$$

O comprimento médio de uma espira:

$$MLT = 2 \left[(F + B) + \pi \frac{N_c diametro_{avg20} N_{ce}}{2} \right] = 0,051m \quad (224)$$

A área efetiva de cobre ocupada pelo enrolamento:

$$A_{cu} = NN_{ce}S_{avg20} = 0,6574cm^2 \quad (225)$$

Área ocupada pelo enrolamento considerando o isolamento:

$$A_{cuis} = NN_{ce}S_{avg20is} = 0,793cm^2 \quad (226)$$

Calcula-se o fator de ocupação para verificar a viabilidade de montagem do indutor:

$$F_{ocu} = \frac{A_{cuis}}{A_w} = 0,93 \quad (227)$$

O volume de cobre é calculado:

$$V_{cu} = A_{cu}MLT = 3349mm^3 \quad (228)$$

A densidade de corrente efetiva:

$$J = \frac{i_{L_{fEF}}}{N_{ce}S_{avg20}} = 285,2 \frac{A}{cm^2} \quad (229)$$

Para a determinação das perdas no cobre, a resistência total do enrolamento foi calculada:

$$R_{cc-L_f} = \frac{4\rho_{cu}MLTN}{diametro_{avg20}^2 N_{ce}\pi} = 0,295\Omega \quad (230)$$

Após o dimensionamento físico do indutor, as perdas no componente foram estimadas. As perdas no cobre são obtidas através de:

$$P_{cu-L_f} = R_{cc-L_f}i_{L_f-EF}^2 = 0,643 W. \quad (231)$$

As perdas no núcleo são calculadas:

$$P_{mag-L_f} = \left[8C_m 60^x \left(\frac{\Delta B_{ac}}{2} \right)^y \right] 10^{-3} = 10 mW. \quad (232)$$

Somando as Equações 231 e 232, têm-se as perdas totais no indutor filtro de entrada:

$$Pt_{L_f} = P_{cu-L_f} + P_{mag-L_f} = 0,653 \text{ W}. \quad (233)$$

Para obter a elevação de temperatura, inicialmente é calculada a resistência térmica de acordo com o núcleo escolhido:

$$R_{th} = \frac{59,3}{V_e^{0,544}} = \frac{59,3}{80,544} = 19,13 \frac{^{\circ}\text{C}}{\text{W}}. \quad (234)$$

Assim, a elevação de temperatura pode ser determinada através da multiplicação da resistência térmica pela potência dissipada:

$$\Delta th_{L_f} = Pt_{L_f} R_{th} = 12,492 \text{ }^{\circ}\text{C}. \quad (235)$$



JOINVILLE
CENTRO DE CIÊNCIAS
TECNOLÓGICAS

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
BIBLIOTECA UNIVERSITÁRIA
REPOSITÓRIO INSTITUCIONAL

CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT

ATESTADO DE VERSÃO FINAL

Eu, Yales Rômulo de Novaes, professor do curso de Mestrado Acadêmico em Engenharia Elétrica, declaro que esta é a versão final aprovada pela comissão julgadora da dissertação/tese intitulada: **“Retificador Boost Bridgeless Monofásico com Célula de Capacitor Chaveado operando no Modo de Condução Descontínua com Correção do Fator de Potência”** de autoria do acadêmico Chrystian Memic.

Joinville, 06 de Janeiro de 2026.

Assinatura digital do(a) orientador(a):



Documento assinado digitalmente
YALES ROMULO DE NOVAES
Data: 13/01/2026 09:10:15-0300
Verifique em <https://validar.iti.gov.br>

Yales Rômulo de Novaes