

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

HENRIQUE FERNANDES DE SOUZA

**METODOLOGIA DE IDENTIFICAÇÃO DE FALHAS DE CIRCUITO ABERTO EM
CONVERSORES MULTINÍVEIS CHB**

JOINVILLE

2023

HENRIQUE FERNANDES DE SOUZA

**METODOLOGIA DE IDENTIFICAÇÃO DE FALHAS DE CIRCUITO ABERTO EM
CONVERSORES MULTINÍVEIS CHB**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito parcial para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Alessandro Luiz Batschauer

Coorientador: Felipe Joel Zimann

JOINVILLE

2023

Para gerar a ficha catalográfica de teses e
dissertações acessar o link:
<https://www.udesc.br/bu/manuais/ficha>

De Souza, Henrique Fernandes

Metodologia de Identificação de Falhas de Circuito
Aberto em Conversores Multiníveis CHB / Henrique
Fernandes De Souza. - Joinville, 2023.
117 p. : il. ; 30 cm.

Orientador: Alessandro Luiz Batschauer.

Coorientador: Felipe Joel Zimann.

Dissertação (Mestrado) - Universidade do Estado
de Santa Catarina, Centro de Ciências Tecnológicas,
Programa de Pós-Graduação em Engenharia Elétrica,
Joinville, 2023.

1. Palavra-chave. 2. Palavra-chave. 3. Palavra-chave.
4. Palavra-chave. 5. Palavra-chave. I. Batschauer,
Alessandro Luiz . II. Zimann, Felipe Joel . III.
Universidade do Estado de Santa Catarina, Centro de
Ciências Tecnológicas, Programa de Pós-Graduação em
Engenharia Elétrica. IV. Título.

HENRIQUE FERNANDES DE SOUZA

**METODOLOGIA DE IDENTIFICAÇÃO DE FALHAS DE CIRCUITO ABERTO EM
CONVERSORES MULTINÍVEIS CHB**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito parcial para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Alessandro Luiz Batschauer

Coorientador: Felipe Joel Zimann

BANCA EXAMINADORA:

Prof. Dr. Alessandro Luiz Batschauer
Universidade do Estado de Santa Catarina (UDESC - CCT) - Presidente da banca e orientador

Membros:

Prof. Dr. Tiago Davi Curi Busarello
Universidade Federal de Santa Catarina (UFSC - Blumenau)

Dr. Gustavo Lambert
Supplier Indústria e Comércio de Eletro-Eletrônicos Ltda.

Joinville, 28 de julho de 2023

AGRADECIMENTOS

Gostaria de agradecer, primeiramente, a minha família, por sempre me incentivar a dar continuidade ao ensino superior e a pós-graduação. A meu pai, Edenarte Egídio de Souza, e minha mãe, Lucia Regina J. Fernandes, pelo apoio emocional, financeiro e psicológico durante estes longos anos. A minha namorada, e (espero que) futura esposa, Thaisa Aviz, por aguentar meus diversos dilemas existenciais e longas semanas de ausência, dedicadas a experimentação e escrita deste trabalho.

Agradeço ao professor Dr. Alessandro Luiz Batschauer pela orientação prestada, desde a graduação, que me ajudou a realizar este trabalho e contribuiu para meu desenvolvimento como pesquisador. A coorientação do professor Dr. Felipe Joel Zimann, que compartilhou diversas horas de experimentação em bancada e longas discussões filosóficas que contribuíram para que este trabalho pudesse ser concluído de forma bem sucedida.

Aos professores Dr. Marcello Mezaroba, Dr. Joselito Anastácio Heerdt, Dr. Sérgio Vidal Garcia Oliveira e Dr. Yales Rômulo de Novaes do grupo do Núcleo de Processamento de Energia Elétrica – nPEE da Universidade do Estado de Santa Catarina – UDESC. Aos amigos de laboratório Dr. Gustavo Lambert e Dr. Marcos Vinícius Bressan, pelas discussões técnicas e filosóficas, pelos conselhos, pelas experiências e pelo tempo que compartilhamos juntos.

Ao Dr. Rubens Tadeu Hock Jr., pela disponibilização do protótipo utilizado neste trabalho e pelas diversos auxílios para adequação e correta utilização do mesmo.

Aos meu amigos: Alessander Cesar Anzini, pelo auxílio na edição das imagens utilizadas neste trabalho; Bruno Guarienti de Oliveira, pelas dicas de programação em C; e Raul Knopp Neto, pelo excelente trabalho de revisão gramatical.

Por fim, agradeço a todos meus amigos, colegas e as pessoas que de alguma forma contribuíram com esta conquista. Impossível citar todos os momentos que foram vividos e todas pessoas que passaram em minha vida, mas saibam que sou eternamente grato e sempre serão lembrados. Agradeço a todos, pelos erros e acertos, pelas derrotas e conquistas, por me ajudar a fazer o meu melhor sempre.

RESUMO

Este trabalho apresenta uma metodologia de identificação de falhas de circuito aberto aplicada ao conversor multinível CHB. Tal metodologia é aplicável aos conversores modulares já difundidos na literatura e na indústria e não depende da estratégia de modulação adotada. O trabalho propõe a utilização apenas de sinais já comumente sensoreados para o sistema de controle destes conversores, tornando-o um método universal e de baixo custo de implementação. Para tal, é proposta a leitura e condicionamento do nível médio da tensão de saída após uma falha de circuito aberto de um dos interruptores dos módulos. Este sinal é tratado através de um filtro média móvel e, a partir dele, é possível determinar a condição de falha do conversor. Com esta condição ativa, uma rotina de testes em conjunto com uma estratégia de correção, através do *bypass* dos módulos, é capaz de determinar o módulo danificado. O método é validado via simulação e experimentalmente através de um conversor cascata de pontes-completa monofásico com quatro módulos, operando com modulação PD-PWM.

Palavras-chave: Conversores modulares. Identificação de Falhas. Conversores Multiníveis. Falhas de circuito aberto. Filtro Média Móvel.

ABSTRACT

This paper presents an open-circuit fault detection methodology applied to the multilevel converters CHB and MMC. This concept is applicable to modular converters already used by the industry and does not depend on the modulation strategy used. This paper proposes the use of only commonly measured signals for the control system of these converters, making it an universal and low-cost method. It proposes the measurement of the average output voltage after an open-circuit fault in one of the modules's switches. This signal is treated by a moving average filter and, by it's results, is possible to determine the fault condition of the converter. With this condition set, a test routine alongside a correction strategy, through a bypass of the modules, is capable of determining the defective module. The method is validated via simulation and experimentation using a four-module single-phase full-bridge cascaded converter, operating with PD-PWM modulation.

Keywords: Modular Converters. Fault Identification. Multilevel Converters. Open-circuit Fault. Moving Average Filter.

LISTA DE ILUSTRAÇÕES

Figura 1 – Primeiro motor de indução proposto por Tesla, em exibição no Museu Britânico de Ciência, em Londres.	18
Figura 2 – Consumo energético mundial de 1974 - 2019.	19
Figura 3 – Esquema simplificado de um sistema HVDC.	20
Figura 4 – Sistema HVDC da empresa ABB.	21
Figura 5 – Braço de topologia CHB com n células por fase e chave de <i>bypass</i> individual.	23
Figura 6 – Braço de topologia MMC com n células por fase e chave de <i>bypass</i> individual.	24
Figura 7 – Formas de onda de tensão (Azul) [100 V/div] e corrente (Ciano) [500 mA V/div] de saída de um conversor CHB com falha de um semicondutor do semibraço inferior.	25
Figura 8 – Análise harmônica das formas de onda de tensão e corrente de saída de um conversor CHB com falha em um dos módulos.	25
Figura 9 – Modelo 3D com visualização interna de um IGBT.	26
Figura 10 – Levantamentos das taxas de falhas em conversores: (a) Distribuição das fontes de estresses; (b) Distribuição de falhas entre os principais componentes.	29
Figura 11 – Etapas tradicionais de funcionamento da topologia ponte completa com circulação de corrente pelo banco capacitivo.	32
Figura 12 – Etapas tradicionais de funcionamento da topologia ponte completa sem circulação de corrente pelo banco capacitivo.	33
Figura 13 – Etapas adicionais de funcionamento da topologia ponte completa com falha em circuito aberto do interruptor G2.	33
Figura 14 – Formas de onda de tensão (Azul) e corrente (Ciano) pré e pós-falha do interruptor G2.	34
Figura 15 – Formas de onda simuladas sob operação normal. (a) Tensões de saída. (b) Correntes do braço e corrente diferencial. (c) Tensões dos capacitores da parte superior do braço da fase a . (d) Tensões dos capacitores da parte inferior do braço da fase a	36
Figura 16 – Formas de onda simuladas sob falha de circuito aberto na fase a . (a) Corrente diferencial. (b) Tensões dos capacitores da parte superior do braço da fase a . (c) Tensões dos capacitores da parte inferior do braço da fase a	37
Figura 17 – Formas de onda de tensão e corrente simuladas para falha no interruptor G2 do módulo 1, sem correção.	38
Figura 18 – Formas de onda de tensão e corrente simuladas para falha no interruptor G2 do módulo 1, com correção.	39
Figura 19 – Conversor CHB utilizado para simulação e experimentação.	44
Figura 20 – Análise harmônica pós-falha para falha individual de semicondutor utilizando modulação PS-PWM.	45

Figura 21 – Análise harmônica pós-falha para falha individual de semicondutor utilizando modulação PD-PWM.	47
Figura 22 – Análise harmônica pós-falha para falha individual de semicondutor utilizando modulação SHE.	48
Figura 23 – Formas de onda do semiciclo positivo da modulação PD-PWM.	48
Figura 24 – Formas de onda do semiciclo positivo da modulação SHE.	49
Figura 25 – Formas de onda da tensão de saída pós-falha do interruptor 10, utilizando modulação PD-PWM.	51
Figura 26 – Formas de onda da tensão de saída pós-falha do interruptor 11, utilizando modulação PD-PWM.	51
Figura 27 – Exemplo de filtro média móvel com caixa 3x3.	52
Figura 28 – Estrutura de detecção do nível médio em sinais senoidais.	53
Figura 29 – Exemplo conceitual de um <i>buffer</i> circular com 8 posições.	54
Figura 30 – Forma de onda de tensão de entrada e nível médio obtido com a utilização de um FMM.	55
Figura 31 – Circuito de <i>bypass</i> proposto.	57
Figura 32 – Fluxograma de funcionamento da rotina de testes do módulo danificado. . .	58
Figura 33 – Fluxograma de inicialização do conversor.	59
Figura 34 – Diagrama de blocos representativo da estrutura implementada para validação experimental.	62
Figura 35 – Placa de condicionamento do sinal de leitura de tensão de saída.	63
Figura 36 – Imagem do kit LAUNCHXL-F28379D com o DSP utilizado.	63
Figura 37 – Placa de interface entre DSP e os <i>gate-drivers</i> dos módulos de potência. . .	64
Figura 38 – Módulo ponte completa utilizado.	65
Figura 39 – Fonte de corrente em média frequência para alimentação isolada dos módulos. .	65
Figura 40 – Conversor CHB utilizado, com chaves de emulação de falhas em evidência. .	67
Figura 41 – Circuito de <i>bypass</i> confeccionado.	68
Figura 42 – Formas de onda de tensão (Azul) [100 V/div] e corrente (Ciano) [500mA/div] de saída experimentais para funcionamento normal do conversor.	69
Figura 43 – Formas de onda de tensão (Azul) e corrente (Ciano) de saída via simulação para funcionamento normal do conversor.	69
Figura 44 – Formas de onda de tensão (Azul) [100 V/div] e corrente (Ciano) [500mA/div] de saída experimentais para condição de falha dos interruptores: (a) G14, (b) G16, (c) G10 e (d) G12.	72
Figura 45 – Formas de onda de tensão (Azul) [100 V/div] e corrente (Ciano) [500mA/div] de saída experimentais para condição de falha dos interruptores: (a) G6, (b) G8, (c) G2 e (d) G4.	73
Figura 46 – Formas de onda de tensão (Azul) e corrente (Ciano) de saída via simulação para condição de falha dos interruptores: (a) G13, (b) G15, (c) G9 e (d) G11. .	74

Figura 47 – Formas de onda de tensão (Azul) e corrente (Ciano) de saída via simulação para condição de falha dos interruptores: (a) G5, (b) G7, (c) G1 e (d) G3. . .	75
Figura 48 – Espectros harmônicos experimentais da tensão de saída para condição de falha dos interruptores: (a) G14, (b) G10, (c) G6 e (d) G2.	76
Figura 49 – Formas de onda de tensão (Azul) [100 V/div], corrente (Ciano) [500mA/div] e nível c.c. (Rosa) [500 mV/div] de saída experimentais para identificação e correção de falha dos interruptores: (a) G14, (b) G16, (c) G10 e (d) G12. . .	79
Figura 50 – Formas de onda de tensão (Azul) [100 V/div], corrente (Ciano) [500mA/div] e nível c.c. (Rosa) [500 mV/div] de saída experimentais para identificação e correção de falha dos interruptores: (a) G6, (b) G8, (c) G2 e (d) G4.	80
Figura 51 – Formas de onda de tensão (Azul), corrente (Ciano) e nível c.c. (Rosa) de saída via simulação para identificação e correção de falha dos interruptores: (a) G13, (b) G15, (c) G9 e (d) G11.	81
Figura 52 – Formas de onda de tensão (Azul), corrente (Ciano) e nível c.c. (Rosa) de saída via simulação para identificação e correção de falha dos interruptores: (a) G5, (b) G7, (c) G1 e (d) G3.	82
Figura 53 – Formas de onda de tensão (Azul) [100 V/div], corrente (Ciano) [500mA/div] e nível c.c. (Rosa) [500 mV/div] de saída experimentais com identificação do módulo em <i>bypass</i> (Verde) [500 mV/div] para identificação e correção de falha dos interruptores: (a) G14, (b) G10, (c) G6 e (d) G2.	83
Figura 54 – Parâmetros qualitativos para formas de onda de tensão e corrente pré ((a) e (c)) e pós ((b) e (d)) falha.	85
Figura 55 – Formas de onda de tensão (Azul), corrente (Ciano) [x10] e nível c.c. (Rosa) de saída experimentais para degrau de carga de +50% e -50%.	86
Figura 56 – Identificação de falha no interruptor G10 com barramento reduzido para: (a) 0,9 p.u., (b) 0,8 p.u. e (c) 0,7 p.u.	88
Figura 57 – Formas de onda de tensão (Azul), corrente (Ciano) [x10] e nível c.c. (Rosa) de saída experimentais para reposição do módulo danificado.	90
Figura 58 – Esquemático do módulo de <i>bypass</i> confeccionado - <i>Gate-driver</i> e potência. .	105
Figura 59 – Esquemático do módulo de <i>bypass</i> confeccionado - Condicionamento e regulação.	106
Figura 60 – Implementação da operação GDSC em notação escalar para utilização em <i>software</i> de simulação.	110
Figura 61 – Formas de onda de tensão de saída (vermelho), nível médio da saída via GDSC (azul) e nível médio da saída via DFT (verde).	111
Figura 62 – Implementação em diagrama de blocos da DFT.	112
Figura 63 – Formas de onda do nível médio da tensão de saída, calculados via FMM discreto (vermelho) e DFT analógica (azul).	113
Figura 64 – Conversor MMC com 4 módulos por braço simulado.	114

Figura 65 – Formas de onda de tensão (Azul) e corrente (Ciano) de saída via simulação para funcionamento normal do conversor MMC.	115
Figura 66 – Formas de onda de tensão (Azul), corrente (Ciano) e nível c.c. (Rosa) de saída via simulação, do conversor MMC, para identificação e correção de falha dos interruptores: (a) G13, (b) G15, (c) G9 e (d) G11.	116
Figura 67 – Formas de onda de tensão (Azul), corrente (Ciano) e nível c.c. (Rosa) de saída via simulação, do conversor MMC, para identificação e correção de falha dos interruptores: (a) G5, (b) G7, (c) G1 e (d) G3.	117

LISTA DE TABELAS

Tabela 1	– Parâmetros utilizados por Ghazanfari e Mohamed (2016).	35
Tabela 2	– Parâmetros utilizados por Mukherjee, Zagrodnik e Wang (2016).	38
Tabela 3	– Comparação das estruturas de identificação de falha	42
Tabela 4	– Parâmetros utilizados do conversor base utilizado para simulação e experimentação da técnica de identificação.	44
Tabela 5	– Nível médio da tensão de saída pós-falha para falha individual de semicondutor utilizando modulação PS-PWM e identificação por cor do módulo correspondente ao interruptor.	46
Tabela 6	– Nível médio da tensão de saída pós-falha para falha individual de semicondutor utilizando modulações PD-PWM e SHE e identificação por cor do módulo correspondente ao interruptor.	50
Tabela 7	– Padrão de cores utilizado para as formas de onda apresentadas.	61
Tabela 8	– Lista de componentes do módulo de <i>bypass</i>	107
Tabela 9	– Parâmetros calculados para as operações GDSC.	111

LISTA DE ABREVIATURAS E SIGLAS

APOD-PWM	<i>Alternate Phase Opposition Disposition Pulse-Width Modulation</i>
c.a.	Corrente Alternada
c.c.	Corrente Contínua
c.c.-c.c.	Corrente Contínua para Corrente Contínua
CHB	<i>Cascaded H-Bridge</i>
CI	Circuito Integrado
CNN	<i>Convolutional Neural Network</i>
DFT	<i>Discrete Fourier Transform</i>
DSP	<i>Digital Signal Processor</i>
FC	<i>Flying Capacitor</i>
FMM	Filtro Média Móvel
<i>FP</i>	Fator de Potência
FPGA	<i>Field-Programmable Gate Array</i>
GDSC	<i>Generalized Delayed Signal Cancellation</i>
HVDC	<i>High Voltage Direct Current</i>
IGBT	<i>Insulated-Gate Bipolar transistor</i>
LED	<i>Light-Emitting Diode</i>
MMC	<i>Modular Multilevel Converter</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
NPC	<i>Neutral Point Clamped</i>
PD-PWM	<i>Phase Disposition Pulse-Width Modulation</i>
POD-PWM	<i>Phase Opposition Disposition Pulse-Width Modulation</i>
PS-PWM	<i>Phase-Shift Pulse-Width Modulation</i>
PWM	<i>Pulse-Width Modulation</i>
RL	Resistivo-indutivo
SHE	<i>Selective Harmonic Elimination</i>
SHM	<i>Selective Harmonic Mitigation</i>
SVM	<i>Space Vector Modulation</i>
THD	<i>Total Harmonic Distortion</i>
VCE	<i>Voltage Collector-Emitter</i>

VSI *Voltage Source Inverter*

LISTA DE SÍMBOLOS

$!$	Fatorial
\pm	Mais ou menos
$\%$	Percentual
f	Frequência
f_s	Frequência de Comutação
I_{out}	Corrente de Saída
k	Posição em um Vetor
N	Número de Módulos
V_{bar}	Tensão do Barramento c.c.
V_{out}	Tensão de Saída
A	Ampère
Hz	Hertz
kHz	Kilohertz
L	Tamanho do Vetor
ms	Milisegundo
$^{\circ}$	Graus
p.u.	Sistema por unidade
s	Segundo
V	Volt
VA	Volt-Ampère
W	Watts

SUMÁRIO

1	INTRODUÇÃO	17
1.1	OBJETIVO GERAL	26
1.2	OBJETIVOS ESPECÍFICOS	26
1.3	DELIMITAÇÕES DO TRABALHO	27
1.4	ESTRUTURA DO TRABALHO	27
1.5	TRABALHO PUBLICADO	28
2	REVISÃO BIBLIOGRÁFICA	29
2.1	OPERAÇÃO DO MÓDULO PONTE COMPLETA EM FALHA	31
2.2	ESTRATÉGIAS DE IDENTIFICAÇÃO DE FALHAS	34
2.2.1	Variação da tensão no barramento c.c.	34
2.2.2	Leitura individual da tensão de saída dos módulos	37
2.2.3	Estratégia de modulação dedicada	40
2.2.4	Outras Estratégias	40
2.3	CONSIDERAÇÕES E DISCUSSÕES	42
3	METODOLOGIA PROPOSTA PARA IDENTIFICAÇÃO DE FALHAS	43
3.1	DETERMINAÇÃO DO PADRÃO HARMÔNICO	43
3.1.1	Conversor e parâmetros utilizados	43
3.1.2	Análise harmônica das modulações	44
3.1.2.1	<i>PS-PWM</i>	<i>45</i>
3.1.2.2	<i>PD-PWM e SHE</i>	<i>47</i>
3.1.2.3	<i>Considerações e discussões</i>	<i>51</i>
3.2	FILTRO DIGITAL PARA O NÍVEL MÉDIO	52
3.3	ESTRATÉGIA DE CORREÇÃO	55
3.4	IDENTIFICAÇÃO DO MÓDULO DANIFICADO	57
4	RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS	61
4.1	APRESENTAÇÃO DO PROTÓTIPO	61
4.2	FUNCIONAMENTO NORMAL	68
4.3	FALHA DOS INTERRUPTORES	70
4.4	IDENTIFICAÇÃO E CORREÇÃO DAS FALHAS	77
4.5	RESULTADOS QUALITATIVOS - PRÉ E PÓS-FALHA	84
4.6	DEGRAU DE CARGA	86
4.7	FUNCIONAMENTO DO MÉTODO COM BARRAMENTO REDUZIDO	87
4.8	REPOSIÇÃO DO MÓDULO DANIFICADO	89
4.9	CONSIDERAÇÕES E DISCUSSÕES	90
5	CONCLUSÕES	92

5.1	SUGESTÕES PARA DA TRABALHOS FUTUROS	94
	REFERÊNCIAS	96
	APÊNDICE A – PROGRAMAÇÃO BLOCO C	100
	APÊNDICE B – ESQUEMÁTICO MÓDULO DE <i>BYPASS</i>	105
	APÊNDICE C – ESTRATÉGIA DE IDENTIFICAÇÃO GDSC	108
	APÊNDICE D – ESTRATÉGIA DE IDENTIFICAÇÃO - MMC	114

1 INTRODUÇÃO

As principais aplicações da energia elétrica iniciaram com a corrente contínua. Todas as descobertas básicas feitas por Volta, Ampère e Ohm no início do século XIX utilizavam corrente contínua (KIMBARK, 1971). As primeiras lâmpadas utilizavam uma tensão contínua de alta amplitude aplicada a dois terminais encapsulados dentro de uma câmara fechada completa com algum gás, que era ionizado e emitia luz. As lâmpadas incandescentes só foram surgir no fim século XIX.

A primeira estação de transmissão elétrica criada contemplava o fornecimento de energia em 110 V de corrente contínua e foi criada por Thomas Edison em 1882 na cidade de Nova Iorque (LOBENSTEIN; SULZBERGER, 2008). Por se tratar de uma tecnologia extremamente moderna para a época, tal estratégia foi adotada em várias das grandes cidades ao redor do mundo.

No final do século XIX, deu-se início a corrida entre as duas principais estratégias de transmissão de energia elétrica: corrente alternada (c.a.) e corrente contínua (c.c.). Os principais nomes por trás desta corrida eram o de Thomas Edison e o de Nikola Tesla, juntamente a George Westinghouse (MCNICHOL, 2011). Edison, que já havia instituído como padrão a transmissão de energia elétrica baseada em corrente contínua nos Estados Unidos da América, era oposto a estratégia proposta por Tesla e Westinghouse. Esta abordagem se baseava na facilidade de geração, distribuição, transmissão e maior aplicabilidade da corrente alternada, vide a possibilidade de utilização de transformadores e motores elétricos de indução, além da implementação de sistemas polifásicos.

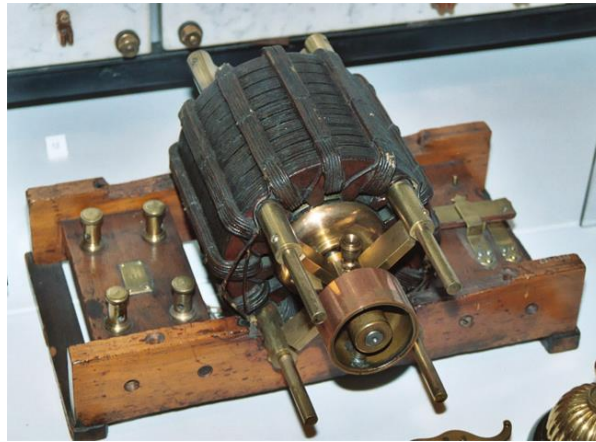
O motor elétrico de indução de gaiola foi patenteado em 1889, pelo engenheiro eletricista Michael von Dolivo Dobrowolsky, da firma AEG, de Berlim, utilizando-se do modelo proposto por Nikola Tesla (Figura 1). Este era simples, silencioso, tinha menos manutenção e alta segurança em operação (VAVILOV, 1945). A predominância da corrente alternada foi absoluta. O crescimento industrial da época adotou os motores elétricos a indução como base das maiores e melhores linhas produtivas. Desta forma, a geração de energia em corrente alternada se provou a estratégia mais eficaz, especialmente com o advento dos geradores baseados em turbinas à vapor.

Apesar da completa aceitação da superioridade da corrente alternada nos pontos de vista de transmissão e aplicação, as vantagens da corrente contínua não podem ser descartadas. Entre estas vantagens, a mais notória é a sua aplicação em sistemas criados no início do século XX e que iriam revolucionar as duas guerras mundiais que ainda estariam por vir: a eletrônica.

Criado em 1905 por John Ambrose Fleming, o diodo foi o primeiro componente eletrônico inventado. Sua utilização, na época, era exclusivamente para detecção de sinais telegráficos. A evolução natural deste sistema possibilitou também a emissão de sinais em larga escala, dando início às primeiras transmissões de voz via rádio.

Os avanços tecnológicos de meados do século XX, culminados por ambas as guerras, criaram, além das primeiras estações de rádio, que possibilitavam a transmissão de voz, as

Figura 1 – Primeiro motor de indução proposto por Tesla, em exibição no Museu Britânico de Ciência, em Londres.



Fonte: Retirado de Tesla (1887).

redes televisivas, quando se adotou a utilização das válvulas termiônicas, grandes componentes eletrônicos capazes de controlar a intensidade de corrente elétrica contínua.

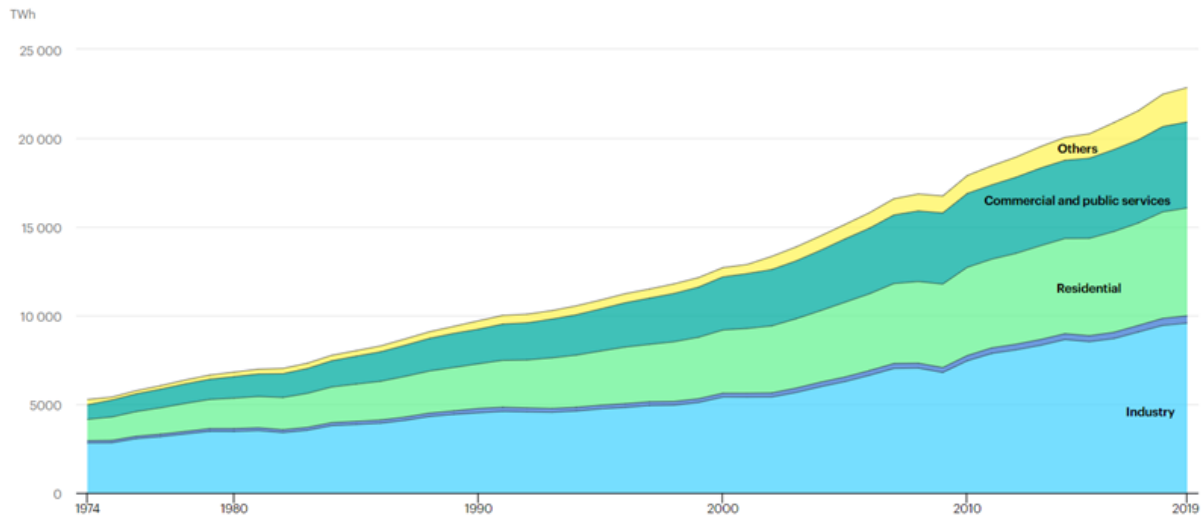
As válvulas foram substituídas em 1947 pelo transistor, componente de mesma funcionalidade, porém de peso, volume e custo muito inferior. A criação do transistor propiciou um grande incentivo para a indústria eletrônica, que era, até então, limitada a utilização de equipamentos de grande volume. Através do transistor e seus derivados futuros (MOSFET, IGBT) diversos ramos da eletrônica foram abertos, dentre estes, a eletrônica de potência.

A eletrônica de potência é uma ciência aplicada que aborda a conversão e o controle de fluxo de energia elétrica entre dois ou mais sistemas distintos, através de conversores estáticos de potência (BARBI, 2012). Dentre os principais equipamentos possíveis após o advento da eletrônica de potência, é possível citar o inversor de frequência, a *soft-starter* e os conversores c.c. - c.c. (corrente contínua para corrente contínua) utilizados em fontes de alimentação diversas.

Atualmente, a área da eletrônica de potência pode ser citada como uma das mais limitantes da evolução tecnológica. Isto é, a mesma está diretamente atrelada a capacidade de aumento de processamento de dados de um computador, a diminuição de peso e volume de um aparelho celular, mantendo as mesmas propriedades de processamento e carga, ou até mesmo a autonomia de um veículo elétrico.

Entre as principais áreas de estudo da eletrônica de potência, a transmissão de energia elétrica pode ser citada, tendo em vista que o consumo industrial e doméstico mais que duplicou do início do século XX até meados do mesmo século e atingiu valores dez vezes maiores na entrada do século XXI. A necessidade de aumento na eficiência da geração e transmissão de energia elétrica passou a ser uma prioridade. A interligação dos sistemas elétricos nacionais e a adoção de gerações alternativas de energia passou de luxo para uma necessidade em diversos países que viam sua demanda energética aumentando cada vez mais. O grande aumento do consumo industrial e doméstico, a partir de 1974, (IEA, 2021) é demonstrado na Figura 2.

Figura 2 – Consumo energético mundial de 1974 - 2019.



Fonte: Retirado de IEA (2021).

Uma das técnicas de transmissão de maior interesse para eletrônica de potência é a de Transmissão de Corrente Contínua em Alta Tensão (*High-Voltage Direct Current - HVDC*).

Esta técnica se baseia na introdução de barramentos em corrente contínua como meio principal de transmissão de energia a longas distâncias. Sistemas HVDC são compostos de basicamente quatro partes principais (ANDRADE; LEÃO, 2012):

- Transformadores: responsáveis pela adaptação da tensão alternada para níveis de trabalho aceitáveis dos conversores. Possibilita também a divisão entre os sistemas, através da isolamento galvânica intrínseca do componente.
- Conversores: conexão direta entre a parte alternada e contínua do sistema. São formados por topologias difundidas na área de eletrônica de potência capazes de processar energia de sistemas alternados polifásicos para um sistema contínuo único ou vice-versa. Sistemas em HVDC se utilizam, normalmente, de dois tipos de conversão básica: a retificação, na qual há a conversão para corrente contínua, e a inversão, na qual há a transformação de volta para corrente alternada. Caso haja distribuição de energia diretamente em corrente contínua, não há necessidade da inversão.
- Condutores: a parte específica de transmissão do sistema é feita por estes componentes. Podem ser classificados pela quantidade de cabeados energizados utilizados: monopolares (com um condutor carregado apenas, geralmente de polaridade negativa), bipolar (com dois condutores carregados, positivo e negativo) ou homopolar (com dois ou mais condutores carregados de mesma polaridade, geralmente negativa).
- Controle e proteção: possíveis pelo alto nível eletrônico do sistema. O conhecimento em tempo real das diversas variáveis do sistema, tensão, corrente, frequência e potência (tanto

ativa quanto reativa), facilitam as estratégias de adaptação e contenção de problemas desta estratégia.

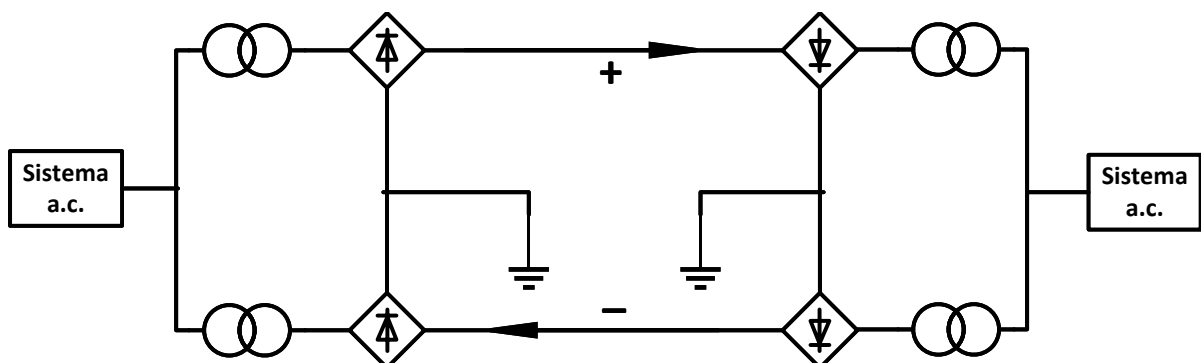
A Figura 3 apresenta um esquema básico de um sistema HVDC. Os sistemas de transmissão HVDC apresentam diversas vantagens em comparação aos sistemas em corrente alternada (WANG; REDFERN, 2010):

- Maior capacidade de transmissão por condutor carregado, e, portanto, menor custo de implementação das linhas em comparação a sistemas de mesmo processamento de potência em corrente alternada.
- Diminuição do efeito pelicular (*skin*) e das perdas de transmissão, visto a ausência das perdas geradas por aspectos relacionados à frequência.
- Eliminação dos problemas de regulação de tensão, que são gerados pela circulação de potência reativa.
- Facilidade de integração de geradores de energia independentes, pela possibilidade de acoplamento direto ao barramento contínuo, no qual a frequência e amplitudes da tensão são ajustados.
- Possibilidade de integração de dois sistemas em corrente alternada com diferentes características (amplitude e frequência).

Apesar de todos os benefícios apresentados, os sistemas de transmissão HVDC apresentam contrapontos que devem ser levados em conta antes de sua implementação. Entre estas desvantagens, é possível citar:

- Custo de implementação elevado da parte eletrônica.

Figura 3 – Esquema simplificado de um sistema HVDC.



Fonte: Adaptado de Wang e Redfern (2010).

Figura 4 – Sistema HVDC da empresa ABB.



Fonte: Retirado de Callavik (2017).

- Introdução de harmônicos gerados pela comutação dos dispositivos eletrônicos do conversor.
- Menor confiabilidade, se comparados a sistemas de transmissão em corrente alternada tradicionais.
- Dificuldade de proteção em caso de falta na linha, gerada pela alta inércia da corrente c.c. que dificulta a abertura do circuito.

Os avanços tecnológicos, tanto do ponto de vista de produção dos componentes eletrônicos, quanto do ponto de vista científico de melhoria das topologias e estratégias de controle, mitigam cada vez mais os efeitos dos dois primeiros itens citados como desvantagens para a utilização de sistemas HVDC. O foco deste trabalho, contudo, está intrinsecamente relacionado ao terceiro item apontado como desvantagem deste sistema: confiabilidade.

Mesmo se tratando de um sistema com alto nível de controle, pela natureza eletrônica do mesmo, os sistemas de transmissão HVDC possuem maior possibilidade de falha, quando comparados aos sistemas em corrente alternada, que se utilizam, quase que exclusivamente, de componentes passivos com alta robustez.

Outra aplicação similar à HVDC, na qual o conversor deve, idealmente, apresentar funcionamento ininterrupto é no acionamento e controle de velocidade de motores de alta tensão. Estes motores quando utilizados em aplicações do setor petroquímico, naval, alimentícios e de geração de energia, especialmente, possuem característica de serviço essencial. A parada destes motores pode representar uma situação perigosa para atividade, como sobreaquecimento,

perda do produto não finalizado ou danificação completa do equipamento por impossibilidade de reacionamento, vide a alta inércia destes motores para partida com carga (WEG, 2021).

Por se tratarem de equipamentos de uso essencial, os conversores destes sistemas devem apresentar estratégias de controle para mitigação/eliminação dos efeitos de uma falha. As falhas de semicondutores se mostram como as mais danosas para o funcionamento pleno do equipamento. Isto se dá pela sua natureza topológica (HE; YANG; WANG, 2020).

Topologias utilizadas nestas aplicações devem suportar alto processamento de potência e grandes níveis de tensão e corrente. Pela limitação tecnológica das tensões de bloqueio dos semicondutores, os conversores utilizados para esta aplicação são quase que exclusivamente os ditos como conversores modulares (GUO et al., 2014).

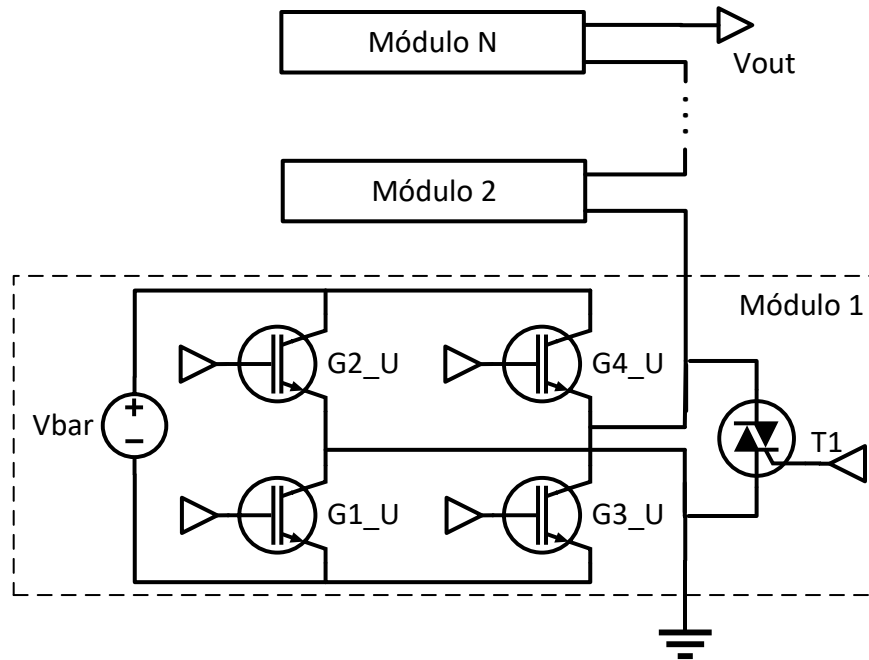
Os conversores modulares são aqueles formados pelo agrupamento de múltiplos conversores menores, já amplamente difundidos na literatura. Estes conversores pertencem ao grupo de conversores multiníveis, que possuem como maior característica a tensão de saída em configuração quase-quadrada (*staircase*) (BATSCHAUER, 2015), daí sua nomenclatura. A presença de múltiplos níveis de tensão de saída proporciona para a carga uma menor distorção harmônica total (*Total Harmonic Distortion* - THD) e menores derivadas de tensão.

Os conversores, pertencentes a esta categoria, mais utilizados são: Cascata de Pontes-Completa (*Cascaded H-Bridge* - CHB) e o Conversor Modular Multinível (*Modular Multilevel Converter* – MMC). A topologia básica destes conversores é apresentada na Figura 5 e na Figura 6, respectivamente. Entre os conversores multiníveis amplamente empregados na indústria e difundidos na literatura, mas que não se enquadram na característica modular, pode-se citar ainda o Conversor com Diodo de Grampeamento (*Neutral Point Clamped* – NPC) e o Conversor com Capacitores de Grampeamento (*Flying Capacitor* – FC), estes utilizados, majoritariamente, em aplicações de média tensão diversas (WEG, 2021).

A produção e manutenção destes conversores é, dentro de suas proporções, simplificada, já que o equipamento utiliza múltiplos conversores idênticos associados numa configuração cascata (série). Isto gera, entretanto, uma característica funcional intrínseca. O mal funcionamento de um semicondutor e/ou um módulo não necessariamente impede o funcionamento completo do conversor, mas remove um dos níveis de tensão de saída. Esta situação é exemplificada na Figura 7.

Nesta situação é apresentado um resultado experimental de um conversor CHB monofásico com 4 módulos, operando com tensão de barramento de 85 V e modulação PD-PWM. É aplicada uma falha em um dos interruptores do módulo 3, responsável pelo processamento de um dos níveis de tensão negativa. Com isso, é possível notar que um dos níveis do semiciclo negativo da tensão de saída está faltando. Por esta razão, o nível médio da tensão de saída, que idealmente deve ser nulo, apresenta valor médio próximo de 31 V. Em adicional, a Figura 8 mostra a análise harmônica da forma de onda de tensão previamente apresentada, na qual é possível ver a inserção de harmônicos pares neste sinal. Para maior parte das aplicações em corrente alternada, tanto a inserção de harmônicos pares quanto a presença de um nível médio no

Figura 5 – Braço de topologia CHB com n células por fase e chave de *bypass* individual.



Fonte: Próprio autor, 2023.

sinal são extremamente danosas, vide os reflexos de trepidação para cargas rotativas (motores) ou, especialmente, o de saturação de transformadores e indutores não preparados para estas condições, quando expostos ao nível médio.

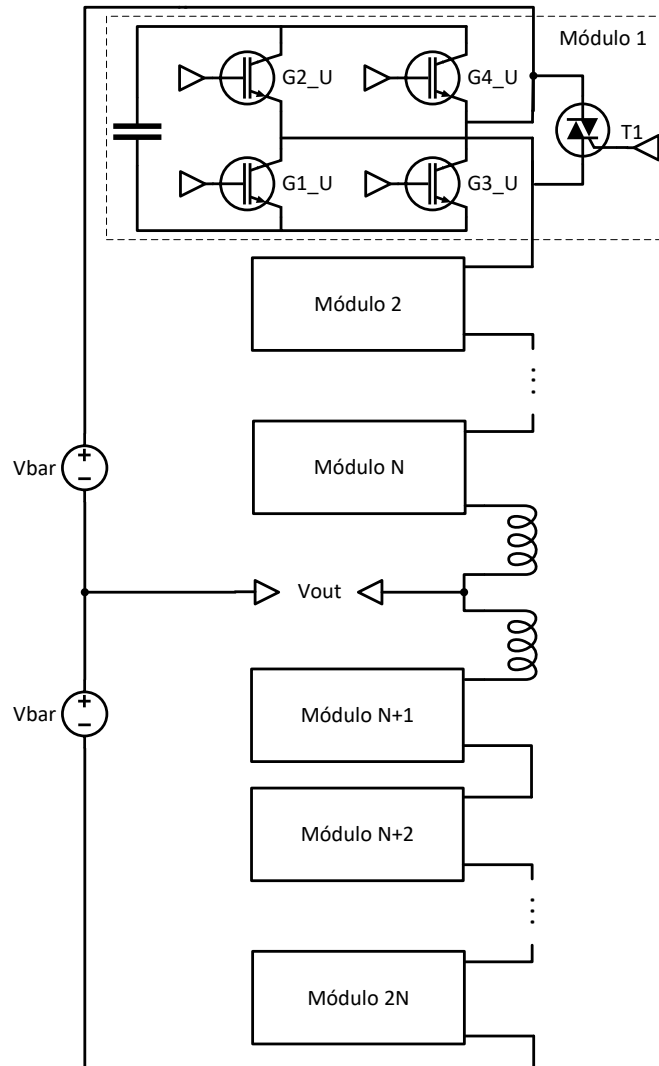
Para um número elevado de níveis de tensão de saída, os reflexos da ausência de apenas um nível podem ser supridos pela ação de controle do conversor. Esta situação, entretanto, passa a ser crítica quando estes efeitos ultrapassam os limites de controle e, ainda mais, quando estes infringem as normativas de THD impostos pela legislação vigente.

Sendo o funcionamento destes equipamentos praticamente ininterrupto, a substituição dos módulos danificados exige um agendamento de parada do mesmo. Uma das estratégias mais comuns adotadas pela indústria para prolongamento e minimização destas situações é a utilização de módulos redundantes em paralelo (GHAZANFARI; MOHAMED, 2016), o que praticamente duplica o custo de produção do conversor.

Uma outra solução para esta situação é a utilização de um *bypass* temporário do módulo danificado, com adequação do índice de modulação. Esse *bypass* pode ser feito utilizando-se de chaves estáticas e/ou mecânicas em paralelo à saída de cada módulo, o que diminui consideravelmente o custo do equipamento, se comparado a utilização da redundância de módulos (MAHARJAN et al., 2021).

A maior dificuldade, em ambas as situações, entretanto, é a de identificação do módulo danificado. A queima dos interruptores em curto-circuito é de fácil identificação, já que os *gate-drivers* utilizados nestes componentes possuem um sistema integrado de identificação de saturação. Esta característica é necessária pois um curto-circuito destes componentes pode, muitas vezes, ser destrutivo ao conversor, pela possibilidade de curto do banco de capacitores

Figura 6 – Braço de topologia MMC com n células por fase e chave de *bypass* individual.



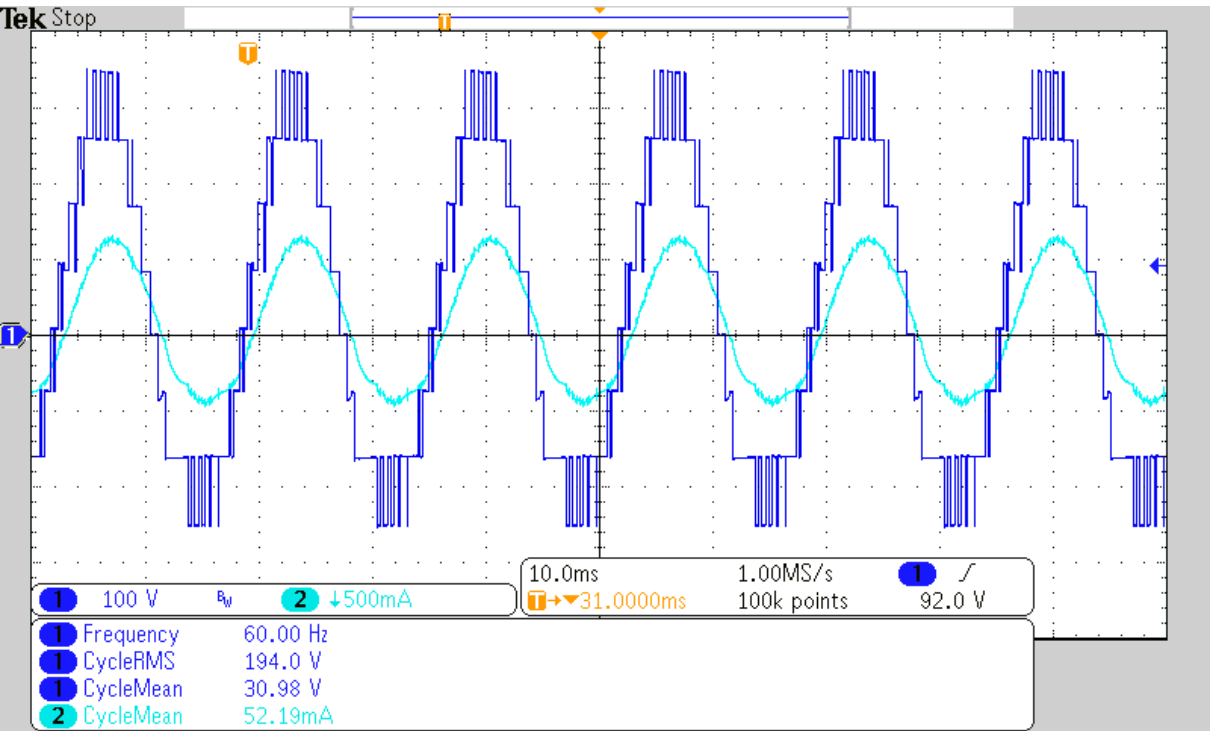
Fonte: Próprio autor, 2023.

acoplados aos mesmos.

Quando o interruptor é danificado em condição de circuito aberto, entretanto, esta identificação exige uma análise externa mais detalhada. Um interruptor do tipo IGBT (mais utilizado para aplicações deste porte) possui em antiparalelo um diodo, que entra em funcionamento em etapas de operação em que a corrente possui sentido inverso a polaridade da tensão. Diferente do MOSFET, este diodo não é intrínseco as junções, mas sim instalado externamente, conforme mostra a Figura 9.

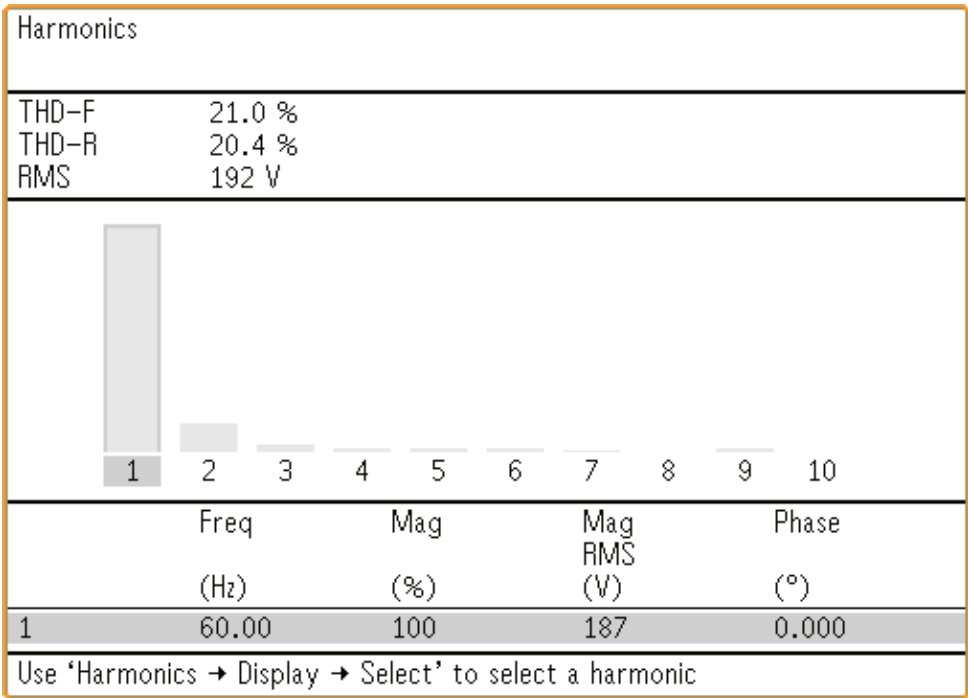
Na queima em circuito aberto do IGBT, este diodo, na grande maioria dos casos, não é danificado, o que possibilita a continuidade da circulação da corrente pelo módulo. Esta situação é a responsável pela criação de formas de onda de tensão de saída como a apresentada na Figura 7, na qual o conversor continua operando com um dos níveis de tensão faltantes.

Figura 7 – Formas de onda de tensão (Azul) [100 V/div] e corrente (Ciano) [500 mA V/div] de saída de um conversor CHB com falha de um semicondutor do semibraço inferior.



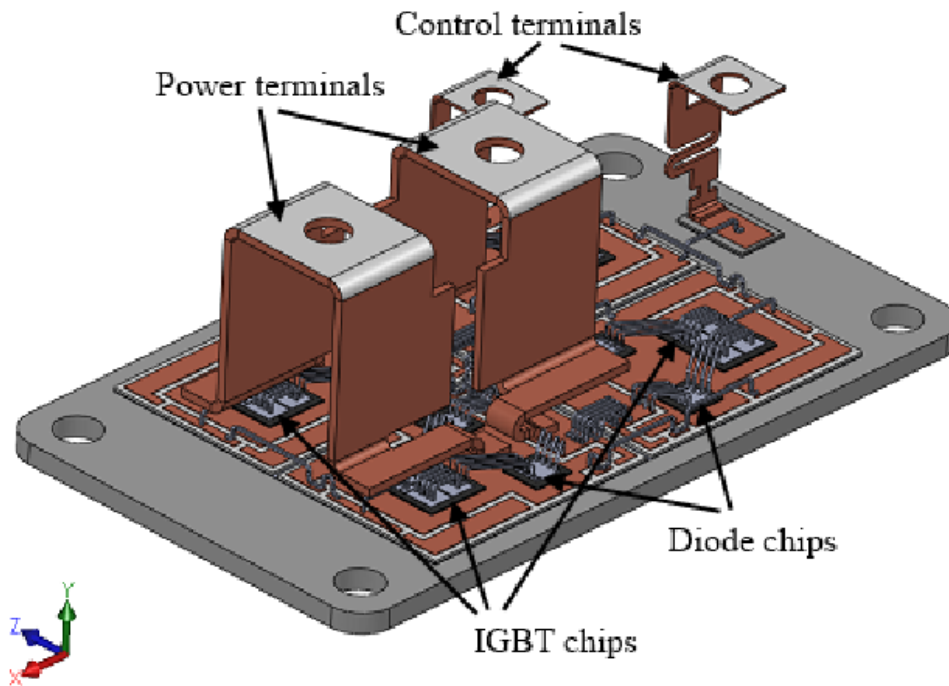
Fonte: Próprio autor, 2023.

Figura 8 – Análise harmônica das formas de onda de tensão e corrente de saída de um conversor CHB com falha em um dos módulos.



Fonte: Próprio autor, 2023.

Figura 9 – Modelo 3D com visualização interna de um IGBT.



Fonte: Retirado de Popova et al. (2013).

1.1 OBJETIVO GERAL

Este trabalho propõe uma técnica de identificação de falhas que possa ser utilizada em ambos os conversores modulares previamente citados, o CHB e o MMC, utilizando-se de uma estratégia de modulação genérica, dentre as mais utilizadas e já difundidas na literatura, para tais conversores. Propõe-se também a utilização de sensoriamentos já comumente usados nestas topologias para aplicação das estratégias de controle básicas, tensão e corrente de saída, não sendo necessários sensoriamentos adicionais.

1.2 OBJETIVOS ESPECÍFICOS

- Determinar os padrões de falhas visíveis na forma de onda de tensão de saída dos conversores modulares, a fim de verificar padrões ou discrepâncias mensuráveis que possam ser utilizados para identificação de uma falha.
- Criação de uma metodologia de medição e filtragem dos sinais de tensão e/ou corrente de saída que possibilitem a extração da informação necessária para determinação da condição de falha e sua origem.
- Implementação de uma estratégia de mitigação da falha com adequação do funcionamento do conversor para completa eliminação desta.
- Verificação da metodologia via simulação e experimentação completa da estratégia.

1.3 DELIMITAÇÕES DO TRABALHO

As delimitações do tema de pesquisa desta dissertação são apresentadas abaixo:

- Não é proposta uma nova estratégia de adequação completa da forma de onda de tensão de saída pós-falha, já que a estratégia de eliminação da falha utilizada conta apenas com o *bypass* do módulo danificado. O índice de modulação da estrutura se torna limitado a quantidade de módulos ainda ativos após o evento.
- O conversor utilizado neste trabalho opera em condição de malha aberta, já que uma estratégia de controle rodando em paralelo ao funcionamento da estrutura de identificação de falhas, adicionaria complexidade ao sistema como um todo, sendo necessárias possíveis adequações aos tempo de atuação dos controladores para que não haja interferência destes na leitura dos valores de tensão pós-falha.
- Apesar da operação em malha aberta, considera-se que o sensoramento utilizado para a estratégia de identificação proposta (tensão de saída), é comumente visto em aplicações de malha fechada, por isso propõe-se este sensoramento como essencial para o funcionamento do conversor em aplicações finais.
- Optou-se pela utilização de apenas uma estratégia de modulação para comprovação da eficácia do método proposto.
- Por indisponibilidade de módulos ponte completa com acionamento isolado dos quatro interruptores, optou-se pelo teste de falhas apenas dos interruptores superiores dos módulos, já que a falha dos interruptores da parte inferior causaria problemas de modulação gerados pela falta de carga dos capacitores dos circuitos de *bootstrap*, utilizados nos *gate-driver* dos semicondutores do conversor.

1.4 ESTRUTURA DO TRABALHO

No capítulo 1, foi apresentada a introdução do trabalho, expondo a relevância do tema proposto, com determinação do objetivo principal e específicos e as delimitações do projeto.

No capítulo 2, é apresentada uma revisão bibliográfica em torno dos métodos já explorados na literatura para identificação de falhas de circuito aberto em conversores modulares. São analisados os principais fundamentos e distinções destas técnicas e feita uma breve análise comparativa.

No capítulo 3, é explicada a metodologia de identificação de falhas proposta, feita por meio de uma análise harmônica da tensão de saída de um conversor CHB, afim de encontrar padrões ou distinções que possam apontar para o módulo danificado. Determinado o sinal de interesse, é também proposta a utilização de um filtro média móvel, capaz de fazer a leitura e condicionamento deste sinal a ser utilizado no método.

No capítulo 4, são apresentados os resultados experimentais e de simulação obtidos, com uma breve apresentação do protótipo e circuito utilizados para tal. São analisadas e comprovadas as condições teóricas propostas, com resultados adicionais para outras situações de funcionamento, como limitação dos barramentos c.c. do conversor, degraus de carga e reposição do módulo danificado.

Por fim, no capítulo 5, são apresentadas as conclusões e os resultados alcançados pelo método de identificação proposto, seguidos por algumas sugestões de trabalhos futuros dentro da linha de pesquisa abordada.

1.5 TRABALHO PUBLICADO

O trabalho efetuado durante o curso de mestrado resultou em um artigo técnico-científico, publicado no XXIV Congresso Brasileiro de Automática (CBA). O tema do mesmo é abordado no Apêndice C. A referência do artigo é:

- SOUZA, H. F.; BATSCHAUER, A. L. ; ZIMANN, F. J. . Identificação de Falhas de Semicondutores em Circuito-aberto para Conversores Modulares Utilizando a Operação de Cancelamento por Sinal Atrasado Generalizado. In: XXIV Congresso Brasileiro de Automática, 2022, Fortaleza. XXIV Congresso Brasileiro de Automática, 2022.

2 REVISÃO BIBLIOGRÁFICA

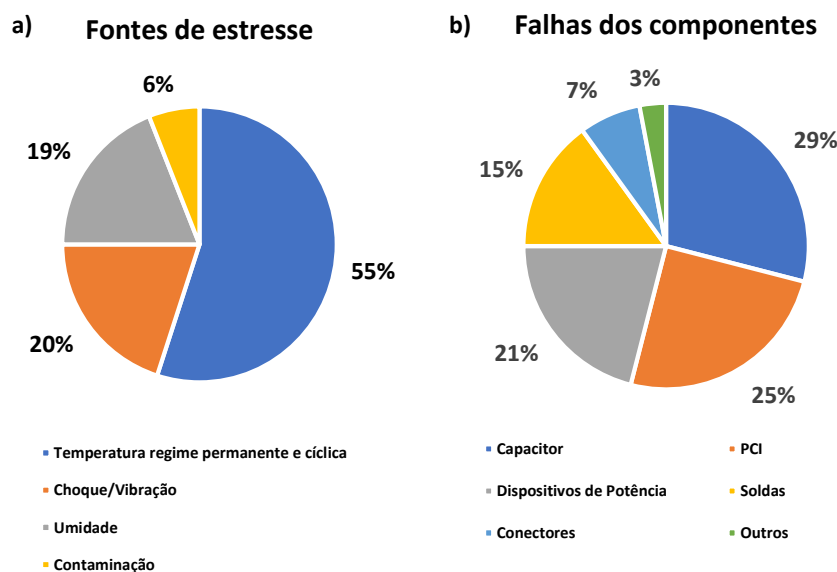
Este capítulo apresenta uma análise criteriosa da estrutura de falha de um módulo ponte completa, afim de determinar os padrões de falha de circuito aberto. Em seguida, são revisadas as principais estratégias de identificação de falhas em conversores modulares encontrados na literatura. Para tal, são abordadas as vantagens e desvantagens de cada método, topologias e modulações utilizadas e suas limitações para utilização na aplicação proposta.

A literatura apresenta diversas estratégias distintas quanto a identificação de falhas em conversores modulares e/ou multiníveis (LU; SHARMA, 2009). Um dos principais fatores em comum vistos na maioria das referências é a preferência da indústria pela utilização de duas topologias específicas: o CHB e o MMC. Ambos conversores apresentam pontos positivos e negativos, mas sua facilidade de produção seriada é extremamente atrativa para o mercado, se comparados a outras topologias multiníveis, o que explica seu favoritismo.

Diversas falhas podem ocorrer em conversores de potência, desencadeadas por um conjunto de fatores. A Figura 10 apresenta um levantamento das taxas de falha de componentes críticos de conversores de potência, com a distribuição das fontes de estresse associadas a estas falhas (RAHIMPOUR et al., 2022), (WANG; LISERRE; BLAABJERG, 2013) (YANG et al., 2011).

Os capacitores apresentam a maior taxa de falhas dentre os componentes analisados, aproximadamente 30 % dos casos. A confiabilidade destes componentes pode ser aumentada pela seleção adequada da tecnologia do capacitor e do monitoramento de parâmetros durante a operação (WANG; BLAABJERG, 2014).

Figura 10 – Levantamentos das taxas de falhas em conversores: (a) Distribuição das fontes de estresses; (b) Distribuição de falhas entre os principais componentes.



Fonte: Próprio autor, 2023.

A Placa de Circuito Impresso (PCI) é o segundo item mais sujeito a falhas, com 26 % de chance. As falhas nas PCIs podem ser divididas em dois grupos: as falhas acumuladas por fadiga; ou falhas repentinas. Estas falhas podem ser causadas por choques mecânicos ou a longo prazo devido a vibração, contaminação, degradação e outros fatores de estresse. Muitos destes defeitos podem ser evitados através do conhecimento prévio da aplicação (vibração, contaminantes etc.) e aplicadas no projeto, afim de adequar o mesmo para estas condições de estresse durante a produção, armazenamento, transporte e utilização final.

Os semicondutores de potência são mais propensos a falhas devido à sua frequente comutação e a influência que sofrem dos esforços térmicos e elétricos. A Figura 10 (a) indica a temperatura como o fator de estresse dominante, com 55 % da distribuição total contribuinte para as falhas dos semicondutores. O item (b) mostra que dispositivos de potência como IGBTs e MOSFETS, muitas vezes em módulos, respondem por cerca de 21 % das falhas dos conversores. Diversas medidas podem ser tomadas para minimizar a chance de falhas destes componentes, ainda assim, uma estratégia de identificação/correção das falhas destes conversores é necessária, já que uma falha desses componentes é capaz de levar a uma falha catastrófica de todo sistema.

As falhas dos semicondutores são divididas, simplificadaamente, em dois tipos: falhas de curto-circuito e falhas de circuito aberto. As falhas de curto-circuito possuem certa facilidade de identificação (LU; SHARMA, 2009). Como os módulos utilizados em ambos conversores previamente mencionados se tratam de células em ponte completa, sabe-se que a comutação dos interruptores do mesmo braço possui comando complementar. Esta ação é necessária para impedir o curto franco dos capacitores do barramento, fator altamente destrutivo para os interruptores, assim como para o próprio capacitor. Para impedir esta situação, a indústria de *gate-drivers* adota a medição da tensão coletor-emissor (VCE), para interruptores do tipo IGBT, ou dreno-fonte, para interruptores do tipo MOSFET (SUPPLIER, S.I.). Esta medição possibilita uma limitação da queda de tensão máxima sobre o semicondutor, causada por uma grande circulação de corrente, característica de um curto-circuito. A partir desta medição, é possível desabilitar o comando do interruptor em questão e enviar um sinal para o controlador/modulador, afim de adequar o conversor para as novas condições de trabalho.

Com metade dos problemas já resolvidos, a literatura se voltou para a segunda condição de falha de interruptores: a falha em circuito-aberto. Nesta situação de falha, o interruptor não é capaz de circular corrente no sentido coletor-emissor. Para a situação inversa de circulação de corrente, entretanto, dois cenários podem ocorrer. Naturalmente este sentido de circulação de corrente se utiliza do diodo em antiparalelo do próprio semicondutor. Nos casos em que este diodo também é danificado pela falha do IGBT, há uma completa perda da circulação da corrente pelo braço. Isto reflete em uma falha grave, que exige uma parada completo do conversor e uma análise dos danos gerados, com possível substituição de múltiplos componentes/módulos.

Quando a corrente mantém sua característica de circulação no sentido emissor-coletor, através do diodo em antiparalelo, contudo, uma situação incomum aparece: o conversor continua operando com dois níveis da tensão de saída faltantes. Esta situação possibilita que as topologias

consigam manter a carga ativa sob falha, já que não há um completo impedimento de circulação de corrente pelo módulo, apenas parcial. Este último cenário apresentado é o principal cenário de interesse para a literatura e também para este trabalho. Sendo assim, todas as abordagens futuras apresentadas relacionadas as falhas de circuito-aberto considerarão esta como a condição de falha do semicondutor.

2.1 OPERAÇÃO DO MÓDULO PONTE COMPLETA EM FALHA

Para compreender melhor as estratégias adotadas pela literatura, é preciso revisar as etapas de funcionamento de uma topologia ponte completa, utilizada em ambos conversores previamente mencionados, verificando as etapas eliminadas ou adicionadas quando um dos interruptores é danificado.

A Figura 11 apresenta as etapas de operação em que há circulação de corrente pelo barramento capacitivo do módulo. Nas duas primeiras etapas, os interruptores em diagonal são comutados e a corrente flui pelos IGBTs, fornecendo corrente para a carga e impondo tensão direta **(1)** ou inversa **(2)** sobre esta. Nas etapas seguintes, o acionamento dos interruptores se mantém o mesmo, mas a corrente flui pelos diodos dos interruptores, fazendo com que a carga forneça corrente para o barramento capacitivo, com a tensão de saída direta **(3)** ou inversa **(4)**.

As demais etapas tradicionais de funcionamento da topologia são apresentadas na Figura 12. Nestas etapas a tensão de saída do módulo é nula, não havendo circulação de corrente pelo barramento capacitivo. Nas etapas **(5)** e **(6)**, os interruptores inferiores são acionados simultaneamente, sendo a distinção destas etapas a circulação da corrente de saída em sentidos opostos, sempre forçando a atuação do IGBT de um dos interruptores e o diodo do interruptor adjacente. Para as etapas **(7)** e **(8)** os interruptores superiores são acionados simultaneamente, forçando a mesma estratégia de grampeamento da tensão de saída das etapas anteriores.

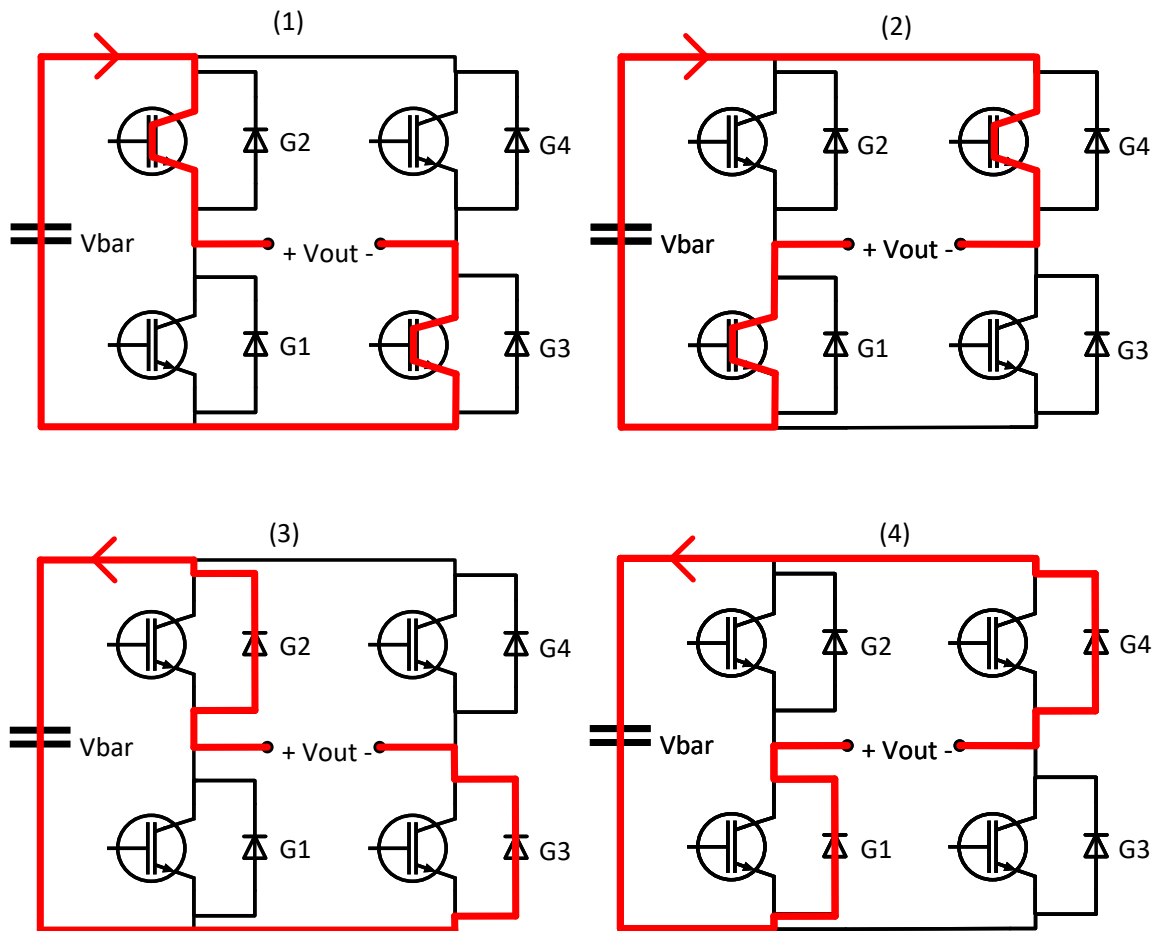
Para exemplificação de uma situação de falha, supõe-se uma falha em circuito aberto do interruptor superior do braço esquerdo (G2). Nesta circunstância, as etapas de operação **(1)** e **(7)** são as únicas afetadas, já que apenas nestas há circulação de corrente pelo IGBT do interruptor em questão. Estas etapas são substituídas pelas novas etapas **(9)** e **(10)**, mostradas na Figura 13.

Nota-se que a etapa **(9)** é idêntica a etapa **(6)** e a etapa **(10)** é idêntica a etapa **(2)**, previamente apresentadas, no que diz respeito a circulação da corrente pelo módulo. Apesar disto, estas novas etapas geradas pela situação de falha, não possuem o comando dos interruptores que representem a forma de onda de tensão de saída esperada pelo modulador.

De maneira simplificada, em condição de falha do interruptor G2, caso:

- Modulador solicite que o módulo trabalhe na etapa **(1)**: o módulo ao invés disto opera na etapa **(9)**, vide a falha do interruptor, e a tensão de saída é nula, ao invés de positiva.
- Modulador solicite que o módulo trabalhe na etapa **(7)**: o módulo ao, invés disto, opera na etapa **(10)**, com a tensão de saída sendo negativa ao invés de nula.

Figura 11 – Etapas tradicionais de funcionamento da topologia ponte completa com circulação de corrente pelo banco capacitivo.



Fonte: Próprio autor, 2023.

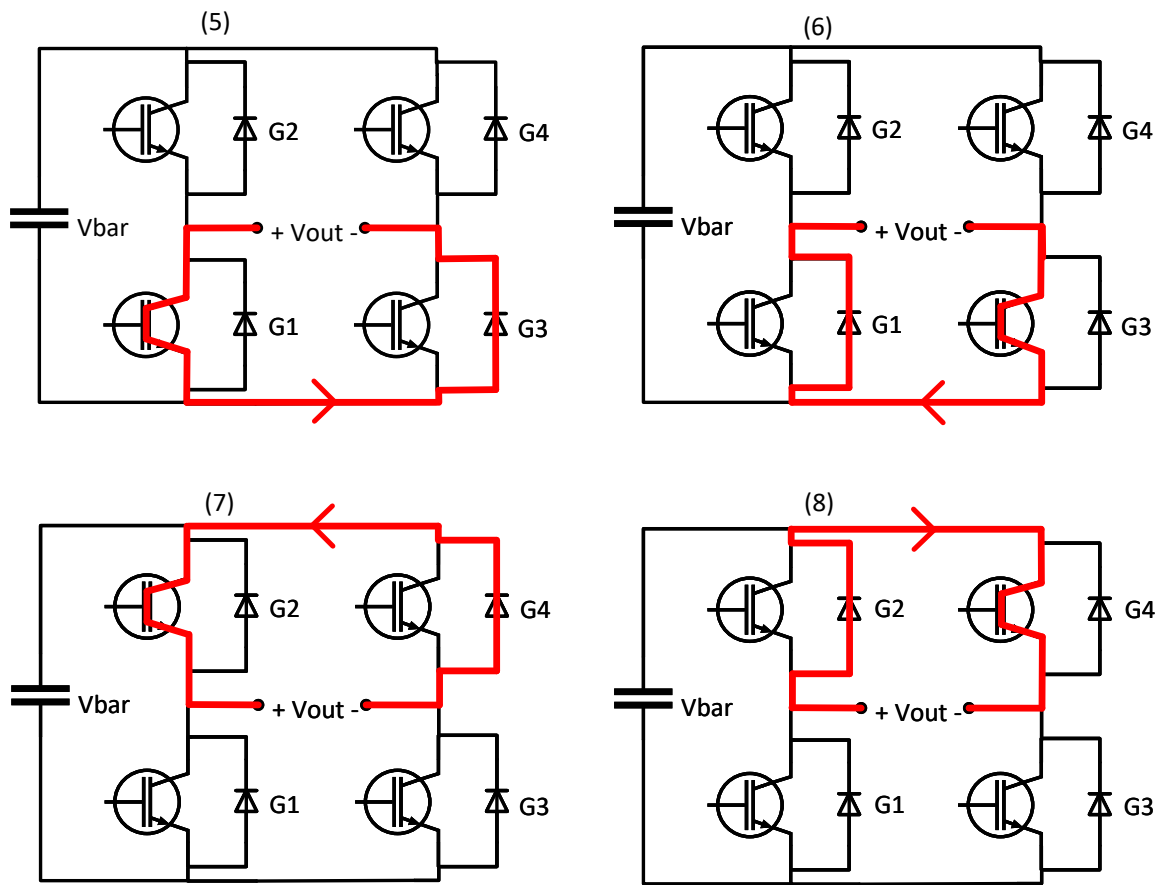
Pelas formas de onda apresentadas na Figura 14 é possível compreender melhor este processo. A forma de onda azul mostra o sinal de tensão, enquanto a forma de onda ciano mostra o sinal de corrente para um módulo ponte completa. A frequência de saída e de comutação é de 40 Hz, com modulação unipolar. Utilizou-se uma carga em característica de fonte de corrente puramente senoidal, também em 40 Hz, sem fator de deslocamento. No instante 0,05 s aplicou-se a falha do interruptor G2.

Nota-se que, previamente a aplicação da falhas, ocorre a alternância entre todas as etapas de operação regulares, com exceção das etapas (3) e (4), que apenas operam em situações de carga regenerativa. Após a aplicação da falha, as etapas (7) e (1) são substituídas pelas etapas (10) e (9), respectivamente.

Dois fatores influenciam a forma de onda de tensão de saída pós-falha:

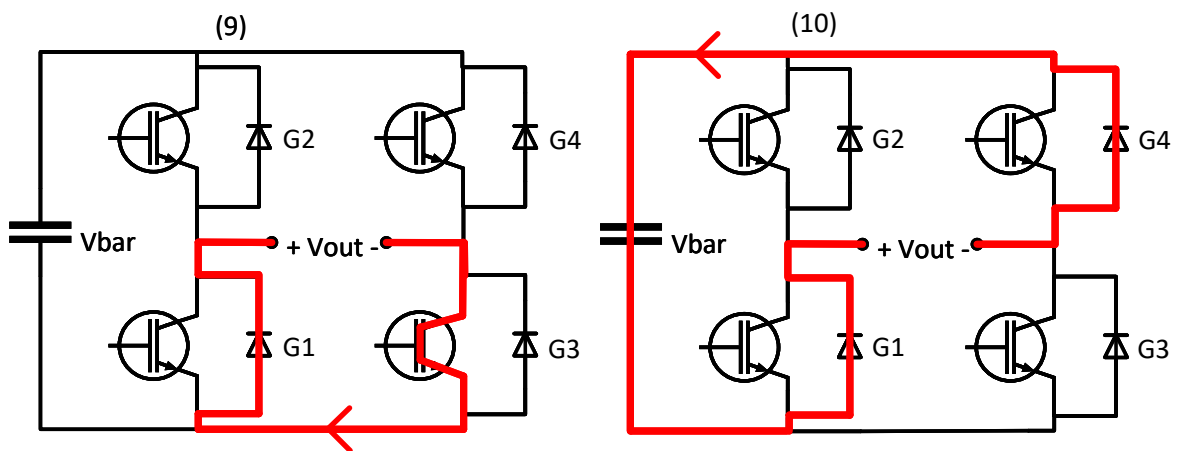
- Fator de deslocamento: pode limitar ou completamente excluir alguma etapa de operação, já que o sentido da corrente pode forçar a condução dos diodos ao invés do IGBT danificado.

Figura 12 – Etapas tradicionais de funcionamento da topologia ponte completa sem circulação de corrente pelo banco capacitivo.



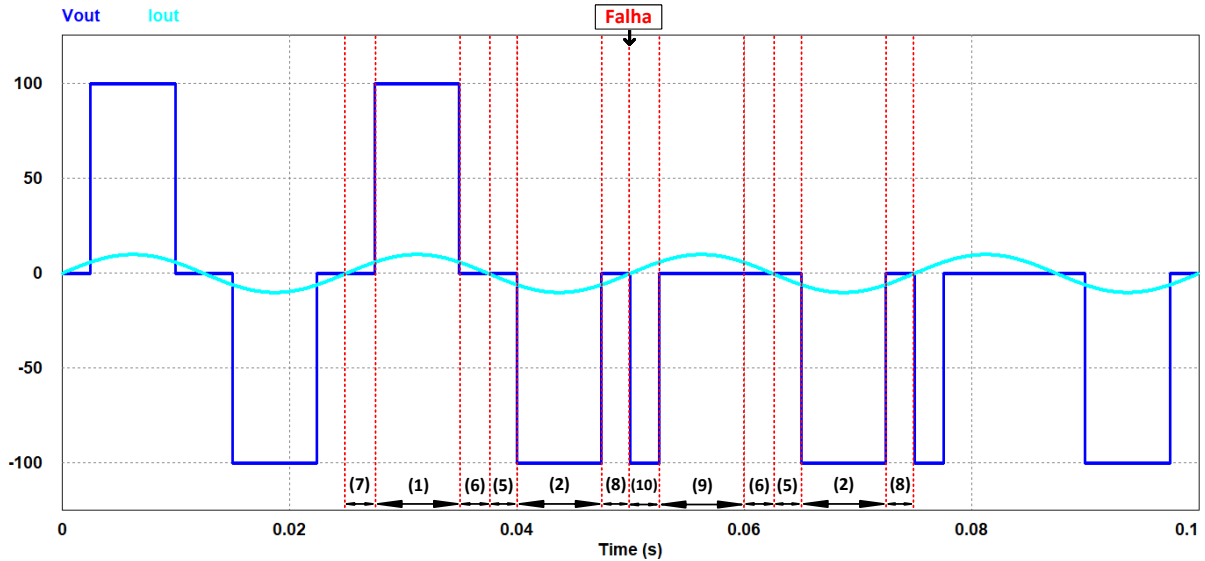
Fonte: Próprio autor, 2023.

Figura 13 – Etapas adicionais de funcionamento da topologia ponte completa com falha em circuito aberto do interruptor G2.



Fonte: Próprio autor, 2023.

Figura 14 – Formas de onda de tensão (Azul) e corrente (Ciano) pré e pós-falha do interruptor G2.



Fonte: Próprio autor, 2023.

- **Modulação:** isoladamente, um módulo ponte completa possui apenas as estratégias de modulação bipolar e unipolar, que possibilitam a presença de dois ou três níveis de tensão de saída, respectivamente. Dentre elas, a modulação unipolar é amplamente preferida (SINGH et al., 2012), vide a facilidade de implementação e considerável redução da THD da tensão de saída, se comparada a bipolar, optou-se por foco apenas nesta. Para tal estratégia de modulação, a alternância das etapas ditas "roda livre", na qual se aplica tensão nula na carga, é intrínseca. Com isso, inevitavelmente, a etapa (7) é substituída pela etapa (10), se esta já existia em condição normal de operação. Esta situação não é replicada, entretanto, quando aplicadas algumas estratégias de modulação exclusivas aos conversores multiníveis. Este tópico é melhor explorado no Capítulo 3.

2.2 ESTRATÉGIAS DE IDENTIFICAÇÃO DE FALHAS

Considerando que não é simples a implementação via *gate-driver* de uma estrutura de detecção de falhas de circuito aberto dos interruptores, diversas estratégias são estudadas na literatura para fazer esta identificação. Entre as principais estratégias apresentadas a seguir, algum fator limitante está presente, seja pela modulação necessária, pela necessidade específica de uma topologia ou pela inclusão de um sensoriamento de elevado custo.

2.2.1 Variação da tensão no barramento c.c.

Uma das principais diferenças da topologia MMC para a CHB, é a utilização de uma alimentação única, ao invés de múltiplos barramentos c.c. isolados, acoplados a cada módulo. Do ponto de vista de custo e volume, a topologia é atrativa se comparada ao seu concorrente direto.

Em contrapartida, o sensoriamento e a complexidade do controle destes conversores precisam ser avaliados, para determinar a viabilidade de sua utilização.

Para manter um valor estável e balanceado entre os níveis médios dos barramentos capacitivos de cada módulo, uma medição de tensão contínua é instalada no barramento dos módulos do MMC. A partir desta medição, uma estratégia de balanceamento de tensão entre os módulos é implementada. O balanceamento é necessário pela diferença de processamento de potência efetuada pelos módulos, imposta pela modulação adotada, assim como pelas não idealidades do sistema, como diferentes tempos de comutação, diferentes impedâncias dos módulos ou cargas desbalanceadas, em aplicações trifásicas.

Aproveitando-se deste sensoriamento extra, muitas estratégias utilizam a medição do nível c.c. dos barramentos para determinar uma situação de falha (Ghazanfari e Mohamed (2016); Qu et al. (2018); Kiranyaz et al. (2019); Yang, Tang e Wang (2018)). Algumas destas estratégias usam algoritmos, como redes neurais, para determinar o padrão de falha dos módulos e determinar quando esta situação ocorre, se baseando na medição do sinal do barramento c.c. em adição a tensão e/ou corrente de saída dos braços.

A metodologia criada por Ghazanfari e Mohamed (2016) tem, possivelmente a estrutura mais simples dentre as citadas. Para explicação deste método, o autor se utilizou de um conversor com os parâmetros apresentados na Tabela 1. Em situações regulares de funcionamento do conversor, a Figura 15 mostra as formas de onda dos sinais utilizados para identificação da falha.

Tabela 1 – Parâmetros utilizados por Ghazanfari e Mohamed (2016).

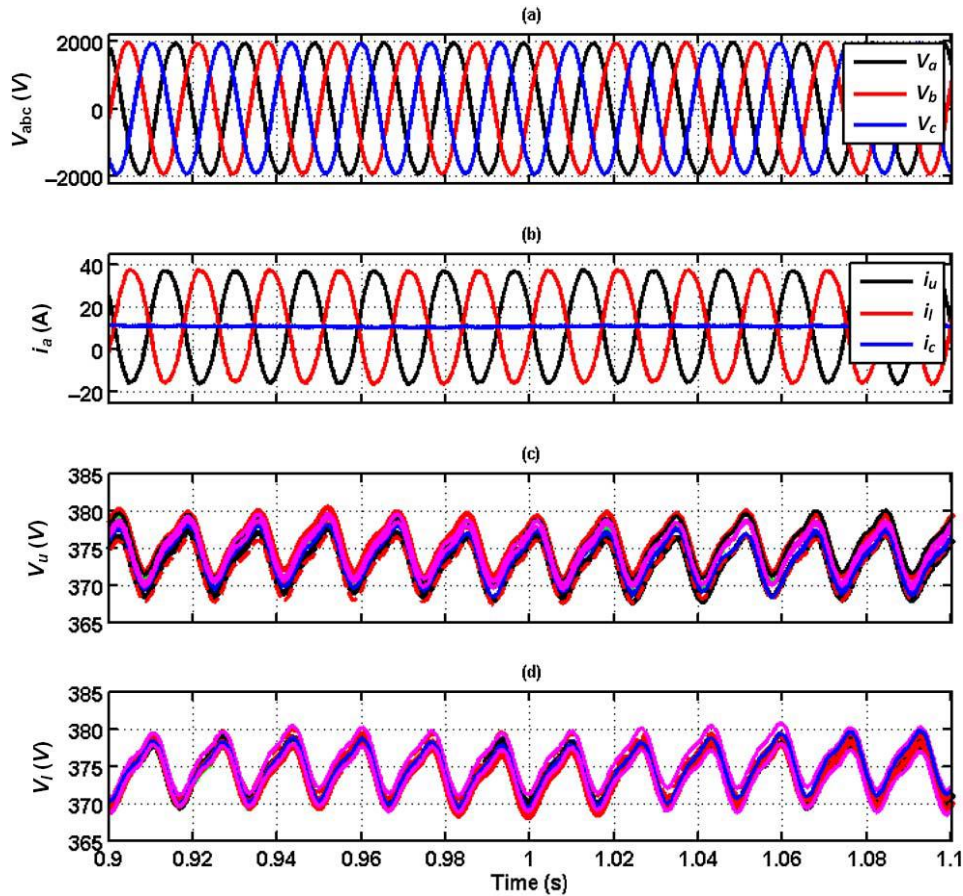
Parâmetro	Dado
Topologia	3ph MMC
Número de módulos (braço)	10
Níveis de tensão	21 (linha)
Tensão do barramento	3750 V (entrada)
Modulação	PS-PWM
Frequência de saída	60 Hz
Frequência de comutação	1980 Hz

Fonte: Próprio Autor, baseado em Ghazanfari e Mohamed (2016).

Salienta-se que na Figura 15 (a) e (b), uma técnica de controle da tensão e da corrente de saída está ativa, e que a corrente diferencial (i_c) é nula, sob estas condições. Na Figura 15 (c) e (d), nota-se também um balanceamento das tensões dos barramentos c.c. entre os módulos, mantendo uma ondulação máxima de 5 % do valor médio de 375 V.

A Figura 16 mostra as formas de onda sobre a influência da falha de um dos interruptores de um módulo da fase a . A falha ocorre no instante 1,0 s. A tensão do barramento c.c. do módulo danificado se torna maior que a tensão dos demais módulos do mesmo braço (Figura 16 (b)), já que este possui agora menos etapas de descarga. Um reflexo desta falha também é visto nos demais módulos (Figura 16 (b) e (c)), causados pela interação da lógica de balanceamento de

Figura 15 – Formas de onda simuladas sob operação normal. **(a)** Tensões de saída. **(b)** Correntes do braço e corrente diferencial. **(c)** Tensões dos capacitores da parte superior do braço da fase *a*. **(d)** Tensões dos capacitores da parte inferior do braço da fase *a*.



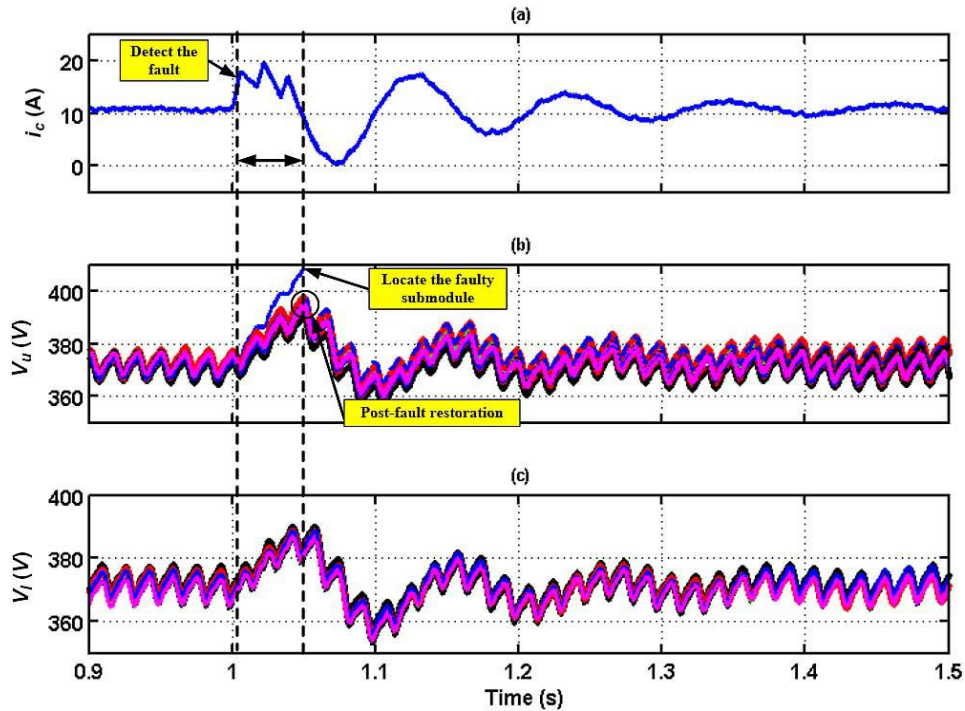
Fonte: Retirado de Ghazanfari e Mohamed (2016).

tensão dos barramentos c.c. e de controle da tensão de saída atuando.

O método de detecção utiliza o sinal de corrente diferencial (Figura 16 **(a)**) como ponto de partida para determinação da condição de falha. A partir desta informação, o controle de balanceamento de tensão do barramento c.c. dos módulos é mitigado, e é possível determinar o módulo que tem maior derivada de tensão, reflexo de um dos interruptores danificados. Após identificado o módulo danificado, o módulo redundante em paralelo a este é acionado, paralelamente a desabilitação do módulo danificado.

O método apresenta diversas vantagens, principalmente pela utilização exclusiva de sensoriamentos nativos da topologia. É possível, através do mesmo método, também, distinguir entre as falhas de interruptores para falhas externas, causados pela carga ou até mesmo pelo sensoriamento não operando devidamente. O tempo médio, segundo o autor, para detecção, identificação e correção da falha é de 100 ms. Como mostram Kiranyaz et al. (2019) e Yang, Tang e Wang (2018), através de Redes Neurais Convolucionais (*Convolutional Neural Network - CNN*), teorias com base na mesma metodologia de identificação, propostas por Ghazanfari e Mohamed (2016), são capazes de diminuir o tempo de detecção para tempos médios inferiores a

Figura 16 – Formas de onda simuladas sob falha de circuito aberto na fase *a*. (a) Corrente diferencial. (b) Tensões dos capacitores da parte superior do braço da fase *a*. (c) Tensões dos capacitores da parte inferior do braço da fase *a*.



Fonte: Retirado de Ghazanfari e Mohamed (2016).

3 ms, apesar de possuir taxas de acerto menores, dependentes das dinâmicas de carga e ruídos de medição, o que pode tornar o método mais atrativo.

2.2.2 Leitura individual da tensão de saída dos módulos

A Figura 14, apresentada no capítulo 2.1, mostrou o reflexo da tensão de saída de um módulo ponte completa, operando de forma isolada, mediante a uma falha em circuito aberto de um de seus interruptores. Nas topologias multiníveis, esta característica é replicada, já que os módulos continuam operando com o processamento da mesma parcela de potência em ambos semiciclos da tensão de saída de fase/linha. A partir desta característica, conclui-se que a tensão média de saída de cada módulo é, idealmente, nula, sobre regime regular de trabalho.

Mukherjee, Zagrodnik e Wang (2016), Anand et al. (2016) e Anand et al. (2018), se utilizam desta característica para fazer a identificação de falhas nos módulos. Com a medição e cálculo em tempo real da tensão média de saída de cada módulo, é possível determinar com precisão se o mesmo não está em situação de falha.

A metodologia de Mukherjee, Zagrodnik e Wang (2016) é a mais eficaz dentre as citadas, se considerado o tempo total de identificação e correção. Neste método, o autor utiliza a topologia CHB, com os parâmetros apresentados na Tabela 2

Na Figura 17, o autor apresenta as condições regulares de funcionamento do conversor.

Tabela 2 – Parâmetros utilizados por Mukherjee, Zagrodnik e Wang (2016).

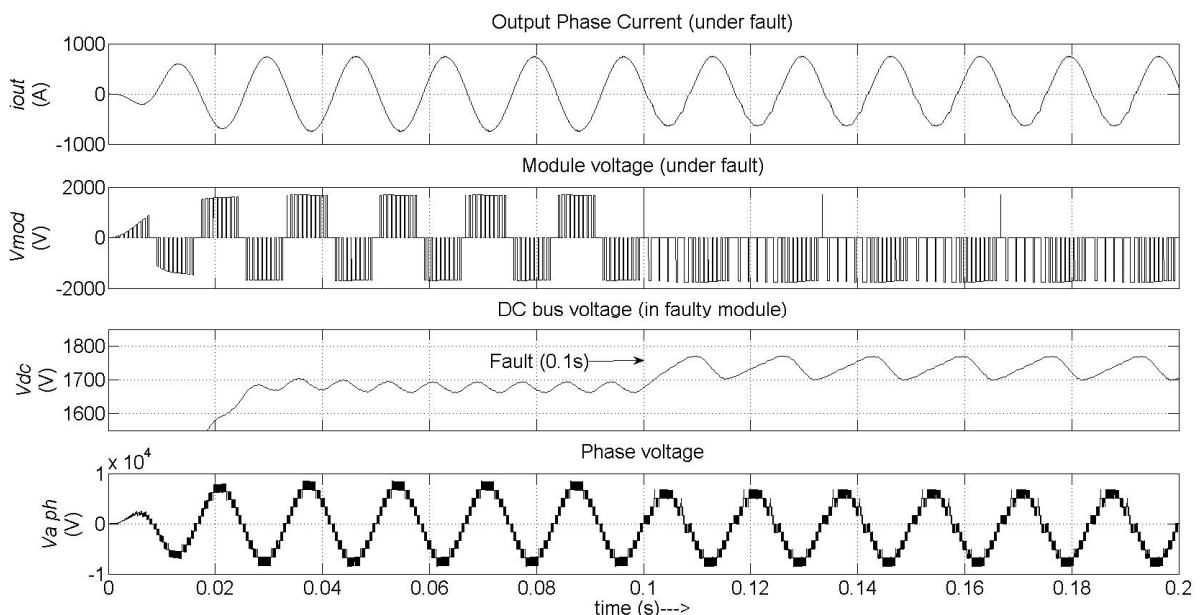
Parâmetro	Dado
Topologia	1ph CHB
Número de módulos (braço)	5
Níveis de tensão	11 (linha)
Tensão do barramento	1675 V
Modulação	PS-PWM
Frequência de saída	60 Hz
Frequência de comutação	600 Hz

Fonte: Próprio Autor, baseado em Mukherjee, Zagrodnik e Wang (2016).

No instante 0,1 s é aplicada a falha no interruptor G2 do módulo 1 (segundo a nomenclatura apresentada na Figura 5. Percebe-se que a forma de onda de tensão de saída do módulo segue o padrão esperado, apresentado na Figura 14, já que, em ambas condições, aplicou-se a falha no mesmo interruptor, sob condições de carga similares, mas frequências de comutação distintas. Vale salientar que a tensão no barramento c.c. do módulo em falha também apresenta reflexos desta condição. A ondulação em 120 Hz, imposta pela frequência de saída, passa a ser 60 Hz, com o nível médio aumentando. Isto se dá pelo menor processamento de potência do módulo, pós falha, e ausência de controle deste sinal.

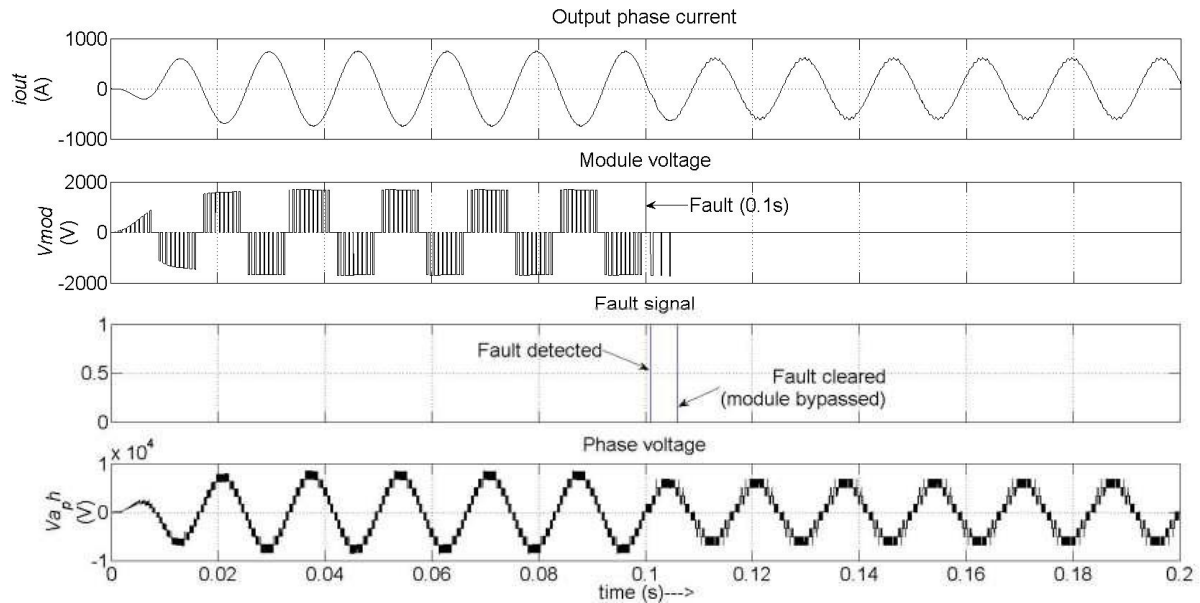
A Figura 18 apresenta as mesmas condições de operação da Figura 17, com implementação da estratégia de identificação e correção. Todo processo ocorre aproximadamente 4 ms após a ocorrência da falha. A estratégia de correção adotada, neste caso, foi o simples *bypass* do módulo

Figura 17 – Formas de onda de tensão e corrente simuladas para falha no interruptor G2 do módulo 1, sem correção.



Fonte: Retirado de Mukherjee, Zagrodnik e Wang (2016).

Figura 18 – Formas de onda de tensão e corrente simuladas para falha no interruptor G2 do módulo 1, com correção.



Fonte: Retirado de Mukherjee, Zagrodnik e Wang (2016).

danificado, com adequação do limite do índice de modulação para suportar a quantidade de módulos restantes sem distorção da tensão de saída, limitada pela utilização de $N - 1$ módulos.

Apesar de, possivelmente, muito rápida, esta estratégia exige um custo de implementação muito elevado para conversores com diversos níveis, já que a tensão de saída dos módulos apresenta espectro frequencial amplo (frequência de modulação + frequência de saída) e exigiria um sensoriamento de tensão alternada isolado e de grande banda passante. Vale salientar também que, apesar do barramento c.c. do módulo danificado também sentir reflexos da falha, raramente há sensoriamento deste sinal para a topologia CHB. Como a indústria preferencialmente opta pela utilização de retificação passiva para carga deste barramento, não há sentido sensoriar um sinal que não se possa controlar.

Geng et al. (2022) propõe uma estratégia similar a apresentada nesta seção. Ainda utilizando-se da medição da tensão de saída individual dos módulos, o autor apresenta uma técnica também capaz de identificar situações de falhas de circuito aberto para a topologia MMC trifásica.

Para o MMC já é necessária a inclusão de um sensoriamento adicional ao barramento capacitivo, para aplicação da técnica de balanço do nível c.c. dos módulos. Para minimizar os custos de utilização da técnica de identificação de falhas, Geng et al. (2022) sugere a remoção do sensor c.c. do barramento, substituindo-o pelo sensoriamento da tensão de saída de cada módulo. Este sensor se torna então responsável por, simultaneamente, fazer o monitoramento e alimentar a estratégia de balanço da tensão dos capacitores, quanto possibilitar a identificação de falhas dos módulos.

2.2.3 Estratégia de modulação dedicada

A utilização de modulações específicas também contribui no desempenho da estratégia de identificação. Brando et al. (2007) apresenta uma estratégia que se utiliza de modulação com vetores espaciais (*Space-Vector Modulation* - SVM) para diminuir o tempo de identificação.

A modulação SVM se baseia no conhecimento de todos os estados dos interruptores (ativo ou inativo) e a tensão gerada por estes estados. Através desta informação, a modulação compara a posição de um vetor espacial com uma referência, afim de determinar o melhor estado em que o conversor pode atuar para atingir a condição requisitada. Com a informação do estado atual (via sensoramento) e do estado proposto pela modulação, uma comparação direta da medição da tensão de saída com o valor esperado a mesma pode ser aplicada.

Brando et al. (2007) não apresenta resultados de simulação ou experimentais para a técnica adotada, mas aponta o tempo de identificação e correção da falha entre 2-3 intervalos de comutação. Tomando uma frequência de comutação média para aplicações deste tipo como 1 kHz, o tempo requerido pela técnica para correção da falha é de 2-3 ms, se tornando a mais rápida entre as estratégias apresentadas até então.

Para conversores multiníveis de alto processamento energético, as modulações mais utilizadas são as modulações por largura de pulso (*Pulse-Width Modulation* – PWM) com múltiplas portadoras ou a modulação com eliminação seletiva de harmônicos (*Selective Harmonic Elimination* – SHE) e suas variantes (SINHA; NAMPALLY, 2016). A dificuldade de utilização da SVM para esta aplicação está muito relacionada a precisão da medição da tensão de saída. Os conversores, operando nesta modulação, possuem, intrinsecamente, diversos problemas de *spikes* durante mudanças de setor e a aparição de níveis indesejados impostos pelo tempo-morto do *gate-driver* (ATTAIANESE; CAPRARO; TOMASSO, 2001). Juntamente a alta relevância da oscilação de tensão no barramento c.c., todos estes apontamentos diminuem consideravelmente a confiabilidade desta estratégia.

Em paralelo, a utilização de uma tensão de saída muito elevada, aumenta de maneira considerável o esforço computacional requerido para a utilização da SVM (DENG et al., 2016). Isto se dá pelo aumento significativo dos estados de comutação, vide o aumento de módulos e interruptores necessários do conversor a ser aplicado. Desta maneira, a SVM pode se tornar, possivelmente, inviável e/ou muito susceptível a falhas nas aplicações de interesse.

2.2.4 Outras Estratégias

A literatura também aponta outras estratégias como possíveis táticas para detecção de falhas. Estas estratégias possuem complexidade maior e/ou não possuem relevância suficiente para justificar uma abordagem maior de seu funcionamento.

- Padrão de corrente utilizando Vetores de Park: Mendes e Cardoso (1999a) e Mendes e Cardoso (1999b) apresentam uma estratégia que se utiliza da técnica desenvolvida por Park, para determinar o padrão de corrente em motores em corrente alternada alimentados

por inversores em característica de fonte de tensão (*Voltage Source Inverter - VSI*). Este método é extremamente dependente da condição da carga, já que toma como referência as condições da corrente de saída.

- Medição da corrente média de fase: Rothenhagen e Fuchs (2004) e Rothenhagen e Fuchs (2005) se utilizam do valor médio de corrente de fase como método de detecção. A maior corrente média de fase é comparada com um valor limiar, afim de identificar o braço defeituoso. O interruptor defeituoso é identificado se utilizando da polaridade do valor médio. Esta estratégia também é extremamente dependente das condições de carga e possui problemas para trabalhar em condições de desbalanceamento de cargas ou com cargas não-lineares.
- Identificação através da medição da tensão sobre interruptores do módulo: Yu, Park e Hyun (2006) mostram uma estratégia de medição da tensão dos interruptores inferiores de cada módulo, para detectar falha. Normalmente estes interruptores possuem tensão de falha nula (condução) ou a tensão total do barramento. Quando uma falha acontece, este valor se altera e pode ser utilizado como parâmetro para identificação. O método, apesar de promissor, exige utilização de medições isoladas adicionais em cada módulo, elevando o custo do projeto.
- Detecção de desvio do padrão de corrente no domínio do tempo: o método proposto por Zhang e Hulley (1995) cria um padrão no tempo da forma de onda de corrente de saída do conversor. O padrão é definido através de parâmetros como tensão do barramento c.c. e polaridade do valor médio da corrente no primeiro quadrante de dois períodos completos. Esta padronização introduz *flags* de falhas, que são acionadas quando determinadas situações fogem do padrão. Um conjunto de *flags* acionadas pode então apontar para um interruptor e/ou módulo defeituoso. Esta estratégia também possui alta dependência da situação de carga.
- Caracterização de falhas no domínio do tempo: Kumar (2022) apresenta uma metodologia similar a proposta por Zhang e Hulley (1995). Neste método, entretanto, é feita a caracterização no domínio do tempo da tensão de saída operando sobre todas as possibilidades de falha de circuito aberto. O método se assemelha também a técnica proposta por Brando et al. (2007), que se utilizava do conhecimento da forma de onda de tensão de saída possibilitada pela modulação SVM, já que na metodologia apresentada por Kumar (2022) é necessária uma análise relacionada tanto a topologia quanto a modulação a ser utilizada para determinação da forma de onda de tensão pós-falha esperada.

Uma abordagem maior das diversas estratégias de identificação, apresentadas até 2009, é mostrada por Lu e Sharma (2009). O trabalho apresenta vantagens e desvantagens de cada método de forma sucinta, considerando as situações em que todas estratégias foram testadas,

sejam via simulação ou experimentalmente, e sua aplicabilidade para aplicações em maior escala. São gerados alguns ranqueamentos também do ponto de vista de efetividade de detecção, tempo de detecção, esforço de implementação e taxa de acerto do módulo ou interruptor defeituoso.

2.3 CONSIDERAÇÕES E DISCUSSÕES

Apresentou-se neste capítulo uma revisão do funcionamento de um módulo ponte completa. Foram adicionadas as etapas de funcionamento do módulo sobre falha, com apresentação da forma de onda de tensão de saída distorcida que esta gera.

Compreendendo a fundo o funcionamento da condição de falha de um módulo, apresentou-se também as metodologias que a literatura aponta para solução deste problema. Três principais estruturas foram analisadas, sendo uma delas com duas abordagens diferentes. A Tabela 3 apresenta um compilado destas estratégias, com foco nos principais fatores analisados.

Tabela 3 – Comparação das estruturas de identificação de falha

Estratégia	Tempo de atuação	Topologia Utilizada	Modulação utilizada	Fator limitante
Bar. c.c.	100 ms	3ph MMC	PS-PWM	Topologia exclusiva
Bar. c.c. + CNN	3 ms	3ph MMC	PD-PWM	Topologia exclusiva
Tensão AC Mod.	4 ms	1ph CHB	PS-PWM	Sensoriamento
Modulação Ded.	2-3 ms	CHB e MMC	SVM	Modulação exclusiva

Fonte: Próprio Autor, 2023

Percebe-se que todas as estratégias apresentadas possuem algum fator limitante atrelado. Na maioria dos casos, inclusive, os autores não conseguem intercambiar suas metodologias e aplica-las nas condições em que testaram as suas próprias. Metodologias testadas na topologia CHB, não conseguem utilizar o método de medição do barramento c.c., enquanto metodologias com modulação baseadas em PWM, não são capazes de utilizar a proposta que exige modulação SVM.

Este trabalho propõe, então, uma técnica de identificação de falhas que possa ser utilizada em ambos conversores modulares previamente citados, o CHB e o MMC, e é capaz de utilizar as estratégias de modulação mais comuns, sem nenhum sensoriamento adicional.

3 METODOLOGIA PROPOSTA PARA IDENTIFICAÇÃO DE FALHAS

Neste capítulo é abordada toda estratégia de identificação de falhas. Determina-se o conversor e parâmetros a serem utilizados para simulação e experimentação. Posteriormente, começa o processo de determinação do padrão harmônico, o qual é a primeira etapa para escolha do dado a ser utilizado para identificação. São abordadas as características e similaridades dos sinais, mediante falhas em módulos e interruptores diferentes. Após determinado o padrão harmônico, propõe-se uma metodologia de medição e filtragem do sinal base, afim de obter-se o nível médio deste sinal. Com o sinal já filtrado, é possível determinar a condição de falha e iniciar a estratégia de identificação e correção desta, apresentada na última seção. Para reprodução dos resultados de simulação deste trabalho, optou-se pela utilização do *software* PSIM.

3.1 DETERMINAÇÃO DO PADRÃO HARMÔNICO

Brando et al. (2007) notou a vantagem do conhecimento do estado atual proporcionado pela modulação SVM, para determinar a condição de falha de um conversor modular. Não sendo esta uma modulação amplamente utilizada para os conversores desta natureza (SINHA; NAMPALLY, 2016), optou-se por analisar o padrão harmônico pós-falha para as modulações mais comuns para esta topologia: PS-PWM, PD-PWM e SHE.

3.1.1 Conversor e parâmetros utilizados

É preciso, inicialmente, estabelecer a topologia e as condições base para simulação e experimentação a ser utilizada para criação da proposta em questão. Por disponibilidade laboratorial e praticidade de implementação, optou-se pela topologia CHB monofásica, com 4 módulos por fase. Utilizou-se um retificador passivo a diodos com filtro capacitivo na saída para a geração da fonte de alimentação de cada módulo. Como carga, opta-se pela utilização de uma carga linear resistivo-indutiva (RL). As especificações elétricas escolhidas são apresentadas na Tabela 4.

Os parâmetros elétricos propostos na Tabela 4 são arbitrários, respeitando as limitações do protótipo já existente em laboratório. Na Figura 19 é apresentado o conversor completo simulado. Para o módulo 1, apresenta-se a estrutura completa de um módulo, com a retificação passiva isolada e o modelo de *bypass* adotado, com dois IGBTs em anti-série. As estruturas delimitadas pelos retângulos pontilhados são omitidas para o módulo 2, já que representam o mesmo padrão do módulo adjacente. Para o módulo 2 é possível ver a padronização adotada para a nomenclatura dos interruptores. Os demais módulos são completamente simplificados, com o módulo 4 tendo em seu terminal superior, a tensão de fase, referenciada ao terminal inferior do módulo 1.

Tabela 4 – Parâmetros utilizados do conversor base utilizado para simulação e experimentação da técnica de identificação.

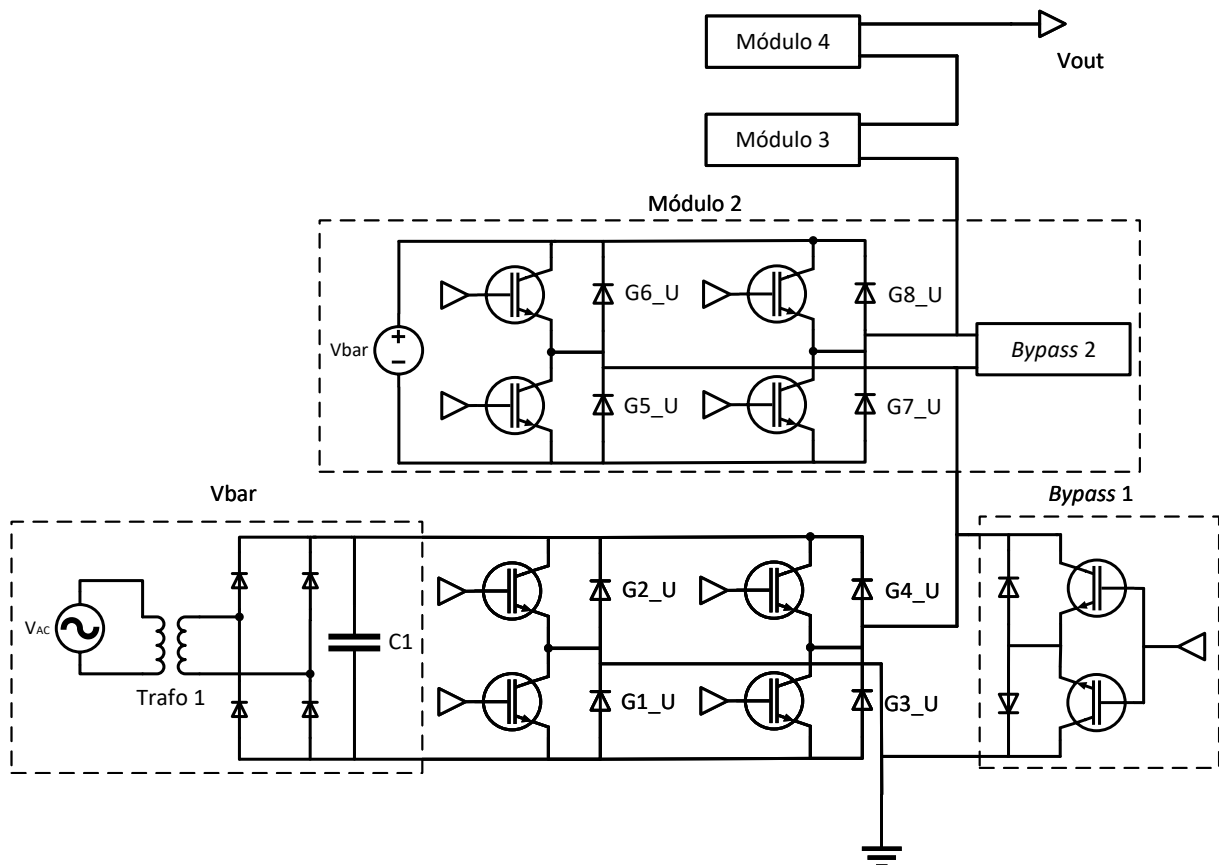
Parâmetro	Dado
Topologia	1ph CHB
Número de módulos	4
Níveis de tensão	9 (fase)
Tensão do barramento (V_{bar})	85 V
Tensão eficaz de saída (V_{out})	220 V
Frequência de saída (f)	60 Hz
Índice de modulação	0,9
Potência (S)	100 VA (aproxim.)
Fator de potência (FP)	0,95 (aproxim.)

Fonte: Próprio Autor, 2023.

3.1.2 Análise harmônica das modulações

Sinha e Nampally (2016) aponta as modulações PS-PWM, PD-PWM e SHE como sendo as modulações mais comuns para a aplicação em questão. As modulações PWM com portadoras

Figura 19 – Conversor CHB utilizado para simulação e experimentação.



Fonte: Próprio Autor, 2023.

Dispostas em Oposição de Fase (*Phase Opposition Disposition* - POD) e Portadoras Dispostas em Oposição Alternada de Fase (*Alternate Phase Opposition Disposition* - APOD) seguem o mesmo padrão da PD-PWM, com pequenas vantagens/desvantagens na THD de saída gerada e são omitidas nesta análise. O mesmo é válido para a modulação por Atenuação Seletiva de Harmônicas (*Selective Harmonic Mitigation* - SHM), para a modulação SHE.

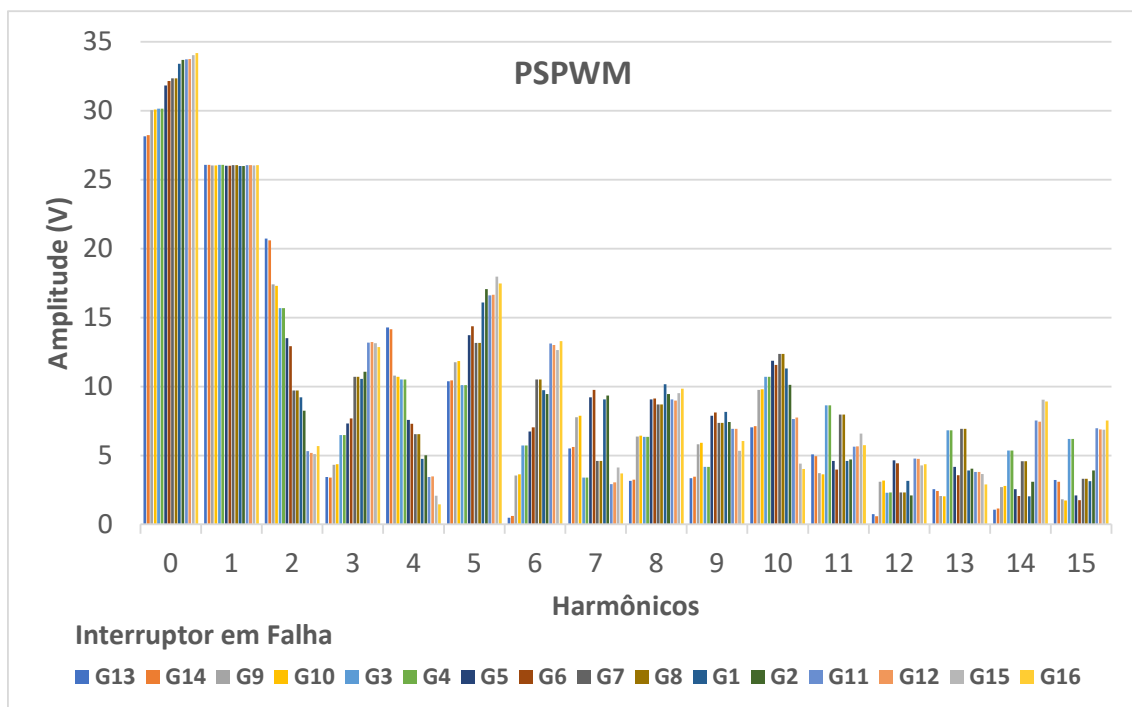
As três modulações são simuladas em condições similares. A modulação PS-PWM é simulada com frequência de comutação de 300 Hz.. Para a modulação PD-PWM, a frequência de comutação é ajustada para 1500 Hz, valor escolhido empiricamente para normalização do número de comutações por período e a THD da tensão de saída. Para a modulação SHE, adotou-se o cancelamento da 5^a, 7^a e 11^a harmônica, seguindo o padrão de cancelamento amplamente utilizado para conversores trifásicos.

3.1.2.1 PS-PWM

Na Figura 20 é apresentado o resultado de simulação para a modulação PS-PWM. São analisadas todas as formas de onda de tensão de saída mediante a falha individual de cada um dos dezesseis interruptores. Optou-se por não fazer a análise da forma de onda de corrente de saída, afim de não tornar a estratégia de identificação, dependente das condições de carga.

Os resultados compilam todas as harmônicas presentes na forma de onda de tensão pós-falha, do nível médio até a 15^a harmônica apenas, vide a baixa frequência de comutação

Figura 20 – Análise harmônica pós-falha para falha individual de semiconductor utilizando modulação PS-PWM.



Fonte: Próprio Autor, 2023.

adotada. A disposição de identificação dos interruptores é feita por ordem crescente do nível médio gerado em cada falha. A fundamental tem sua amplitude reduzida em 10 vezes, para melhor visualização das grandezas.

Na modulação PS-PWM, uma distribuição mais linear das amplitudes é notada. As amplitudes do nível médio, da 2^a e da 3^a harmônica possuem amplitudes distintas entre todos os pares de falhas (interruptores em diagonal de cada módulo), o que é bastante atrativo para apontamento da falha. Entretanto, a diferença de amplitude entre os módulos é muito pequena. Analisando o nível médio das formas de onda sob falha, observa-se que a diferença de tensão entre os pares de interruptores de um mesmo braço é aproximadamente nula. A Tabela 5 apresenta as amplitudes apenas para os níveis médios, com indicação por cor da correspondência do interruptor e seu módulo. Os interruptores em azul correspondem ao módulo 1; em vermelho ao módulo 2; em verde ao módulo 3 e em amarelo ao módulo 4.

Tabela 5 – Nível médio da tensão de saída pós-falha para falha individual de semicondutor utilizando modulação PS-PWM e identificação por cor do módulo correspondente ao interruptor.

Interruptor	Nível Médio (V)
G13	28,15
G14	28,22
G9	30,04
G10	30,09
G3	30,14
G4	30,14
G5	31,82
G6	32,15
G7	32,34
G8	32,34
G1	33,40
G2	33,69
G11	33,74
G12	33,75
G15	34,04
G16	34,18

Fonte: Próprio Autor, 2023.

A diferença entre o maior e o menor valor médio encontrado é de aproximadamente 6 V. Estes valores variam levemente de acordo com a frequência de chaveamento/saída utilizada (1500 Hz, para os resultados apresentados), porém o mesmo padrão de distribuição harmônica permanece.

Esta diferença entre as amplitudes encontradas é ainda menor para as demais harmônicas. Para aplicação de uma técnica de identificação que tome este parâmetro como base, é necessária a utilização de um sensoramento de alta precisão, além de um filtro analógico e/ou digital para

mitigar os ruídos de medição. Vale salientar que o conversor simulado possui apenas quatro módulos. Para um conversor com dezenas de módulos por braço, os valores se tornam cada vez mais próximos, inviabilizando ainda mais a utilização desta estratégia.

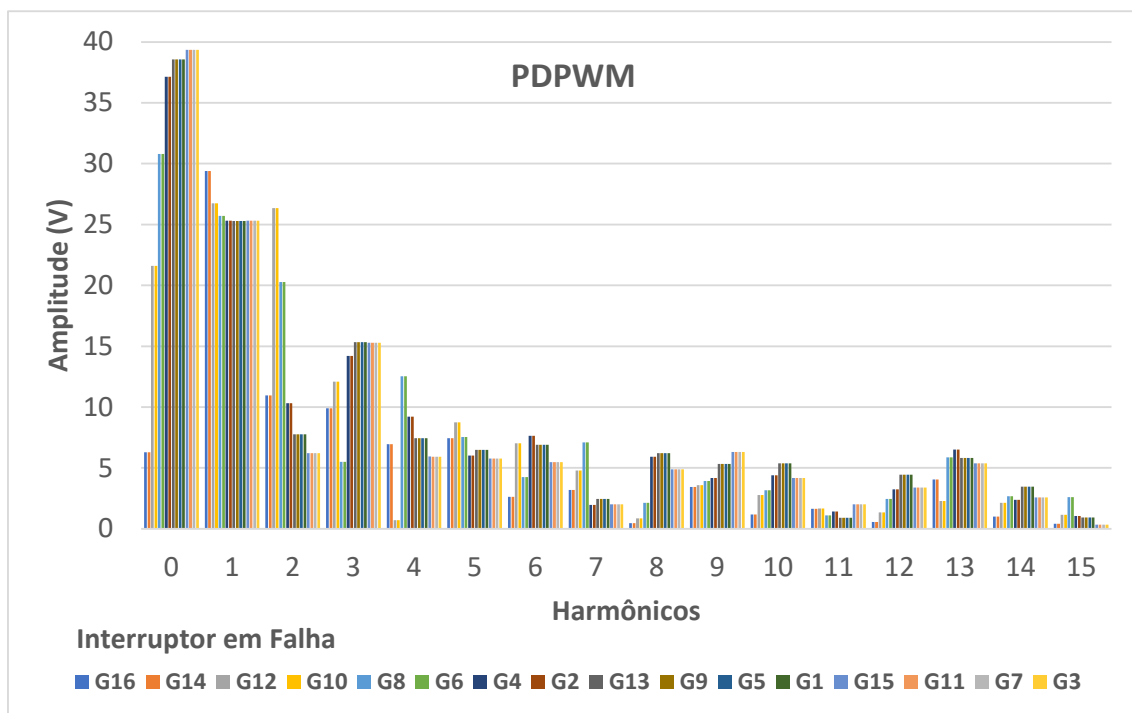
3.1.2.2 PD-PWM e SHE

Para as modulações PD-PWM e SHE, o padrão de falhas é similar. A Figura 21 e a Figura 22 apresentam os resultados de simulação, seguindo o mesmo padrão utilizado para a modulação PS-PWM.

Diferente da modulação PS-PWM, em que todos os módulos comutam constantemente durante o período, estas modulações apresentam comutação constante apenas em uma parcela de tempo da tensão de saída. Quando os módulos não estão nesta etapa de comutação constante, estes ficam totalmente ativos ou inativos, a depender do estado desejado.

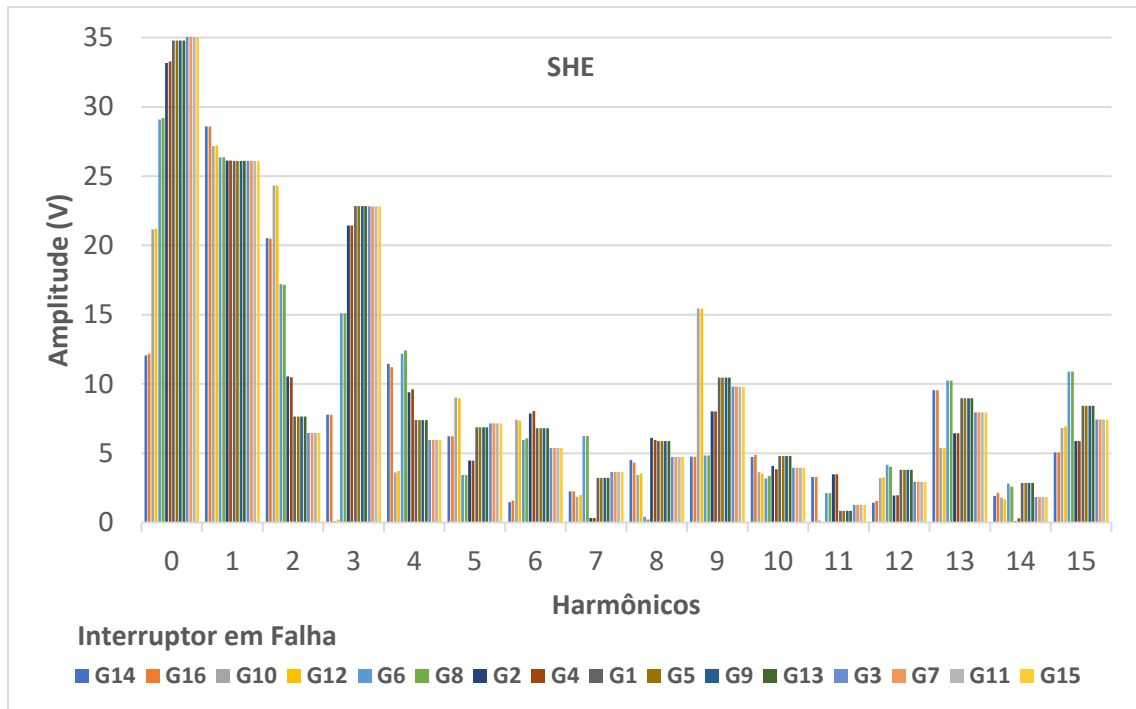
Para exemplificar esta situação a Figura 23 e a Figura 24 apresentam o semiciclo positivo da tensão de saída do conversor simulado e suas portadoras/ângulos respectivos. Para a modulação PD-PWM são apresentadas a forma de onda da modulante e das quatro portadoras. Nesta estratégia de modulação cada uma das portadoras é responsável por uma parcela de $1/N$ da tensão de saída, sendo N o número de módulos do conversor, neste caso, 4. Desta maneira, os módulos associados à portadoras mais próximas de zero têm maior processamento de potência, pois passam a maior parte do período ativos, enquanto os módulos relacionados às portadoras

Figura 21 – Análise harmônica pós-falha para falha individual de semiconductor utilizando modulação PD-PWM.



Fonte: Próprio Autor, 2023.

Figura 22 – Análise harmônica pós-falha para falha individual de semicondutor utilizando modulação SHE.

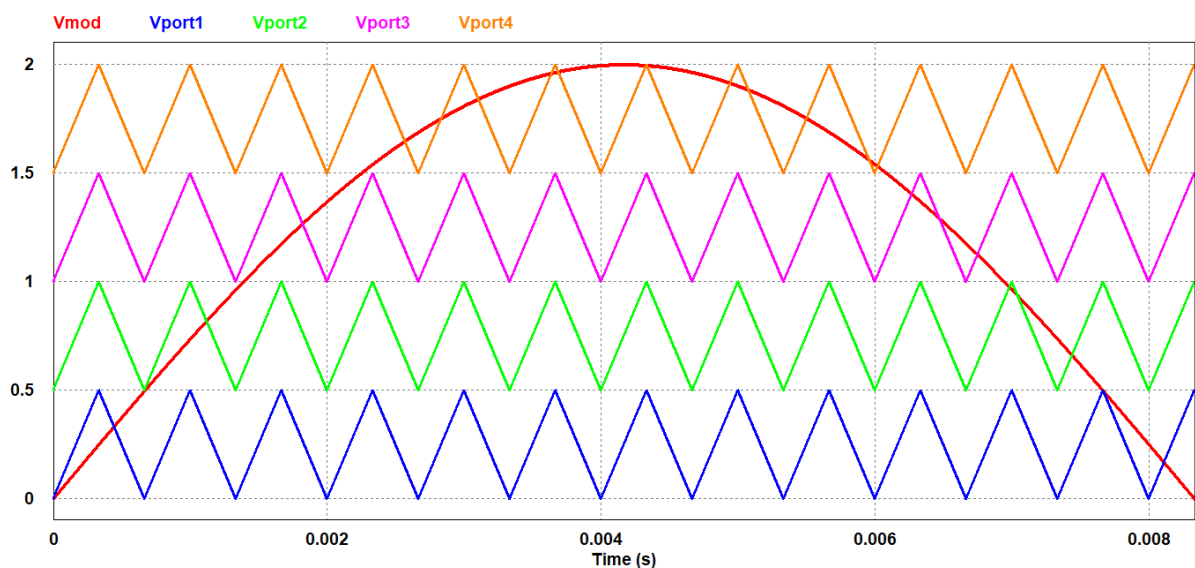


Fonte: Próprio Autor, 2023.

superiores possuem maior perda por comutação, sendo comutados mais vezes por período, todavia possuem menor processamento de potência.

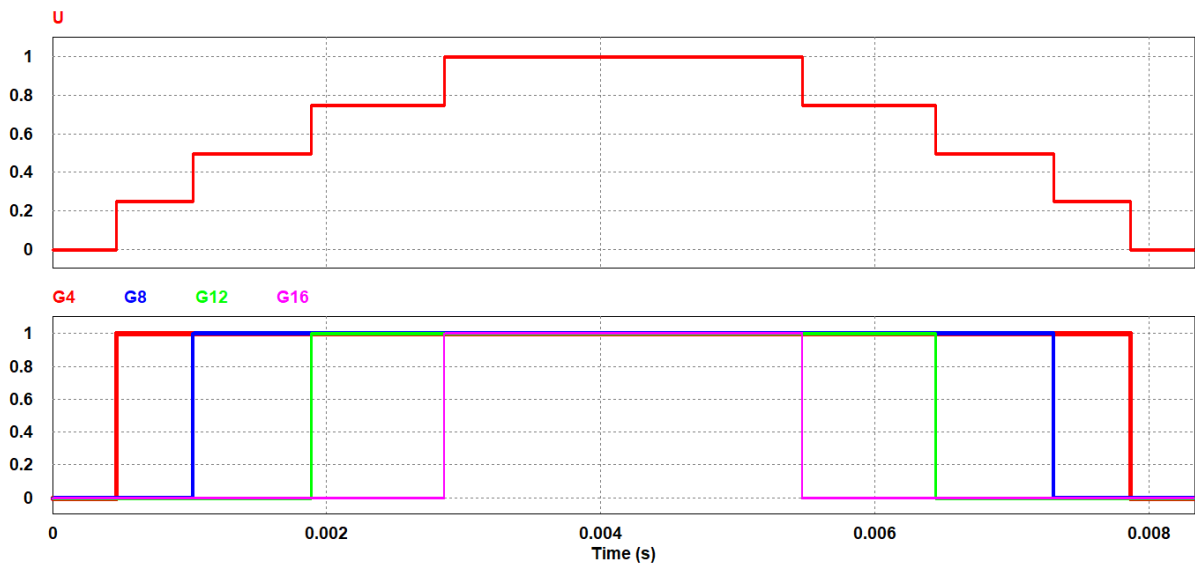
Como não há presença de portadoras para a estratégia SHE, apresentou-se a tensão em configuração *staircase* gerada e os pulsos de gatilho dos interruptores relacionados ao semiciclo

Figura 23 – Formas de onda do semiciclo positivo da modulação PD-PWM.



Fonte: Próprio Autor, 2023.

Figura 24 – Formas de onda do semiciclo positivo da modulação SHE.



Fonte: Próprio Autor, 2023.

positivo de cada módulo. A mesma associação de tempo ativo dos módulos também é válida neste caso, já que quanto maior o valor do ângulo associado ao módulo, menor é a potência que este processa. O número de comutações por período nesta estratégia, entretanto, é igual para todos os módulos.

A Tabela 6 apresenta os valores médios destas modulações, seguindo o mesmo padrão de cores previamente adotado. Percebe-se que o mesmo padrão de níveis médios é visto em ambas modulações: os oito primeiros interruptores possuem boa distinção do nível médio, enquanto os oito últimos apresentam praticamente o mesmo valor. A variação de nível médio nos quatro primeiros pares de interruptores varia de 4 V à 15 V, indicando este dado como um ótimo parâmetro base para identificação do módulo defeituoso. Os últimos pares, entretanto, possuem variação inferior a 1 V, o que impossibilita a indicação do módulo defeituoso. Esta situação é, intrinsecamente, gerada pela própria estratégia de modulação.

As modulações PD-PWM e SHE não são capazes de processar todas as etapas de operação do módulo ponte completa. Conforme apresentado no Capítulo 2, existem 4 etapas de operação para geração do nível nulo da tensão de saída do módulo. Estas etapas exigem que ambos interruptores superiores ou inferiores sejam comutados simultaneamente. Para a modulação PS-PWM, esta situação ocorre naturalmente, já que a estratégia se baseia na modulação unipolar, que também possui tal característica. Para as modulações PD-PWM e SHE, isto não é replicado.

Para as situações que demandam nível nulo de tensão de saída, sempre os mesmos interruptores, sejam os superiores ou inferiores do módulo, fazem a estratégia de roda-livre. É possível escolher qual par de interruptores adotam esta postura através da inversão das entradas do comparador do modulador ou da configuração do *gate-driver* responsável pela geração dos pulsos de gatilhos complementares dos interruptores do mesmo braço.

Tabela 6 – Nível médio da tensão de saída pós-falha para falha individual de semicondutor utilizando modulações PD-PWM e SHE e identificação por cor do módulo correspondente ao interruptor.

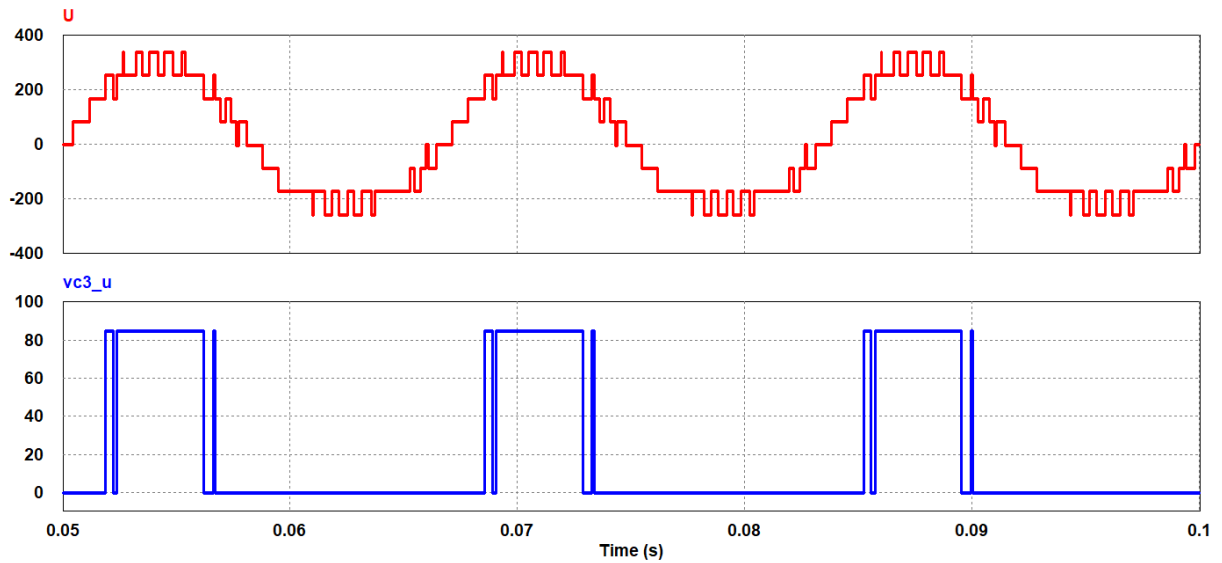
PD-PWM		SHE	
Interruptor	Nível Médio (V)	Interruptor	Nível Médio (V)
G16	6,29	G14	12,06
G14	6,29	G16	12,18
G12	21,61	G10	21,15
G10	21,61	G12	21,21
G8	30,80	G6	29,08
G6	30,80	G8	29,20
G4	37,14	G2	33,16
G2	37,14	G4	33,28
G13	38,57	G1	34,80
G9	38,57	G5	34,80
G5	38,57	G9	34,80
G1	38,57	G13	34,80
G15	39,35	G3	35,32
G11	39,35	G7	35,32
G7	39,35	G1	35,32
G3	39,35	G15	35,32

Fonte: Próprio Autor, 2023.

O reflexo desta situação pode ser visto na Figura 25 e na Figura 26. Em vermelho é apresentada a forma de onda de tensão de saída do conversor e em azul, a tensão de saída do módulo, para ambas as figuras. Para a configuração do modulador do conversor simulado, os interruptores que fazem o roda livre são sempre os inferiores do módulo. Quando ocorre a falha do interruptor 10, sendo este um interruptor superior, não há ocorrência das etapas (7) e (8), somente a alteração da etapa (1) para a etapa (9). Isso se reflete na ausência de tensão positiva no semiciclo negativo da tensão de saída do módulo. Para a falha no interruptor 11, entretanto, a etapa (7) é substituída pela etapa (10) e uma parcela positiva aparece no semiciclo negativo da tensão de saída do módulo.

A presença desta parcela positiva de tensão no semiciclo negativo, é equivalente para a falha de qualquer interruptor em qualquer módulo para ambos os semiciclos. Por este motivo há uma normalização do padrão harmônico gerado para as falhas dos interruptores que fazem roda livre utilizando estas modulações, inviabilizando a determinação do módulo defeituoso através do valor de alguma harmônica específica, pós-falha.

Figura 25 – Formas de onda da tensão de saída pós-falha do interruptor 10, utilizando modulação PD-PWM.



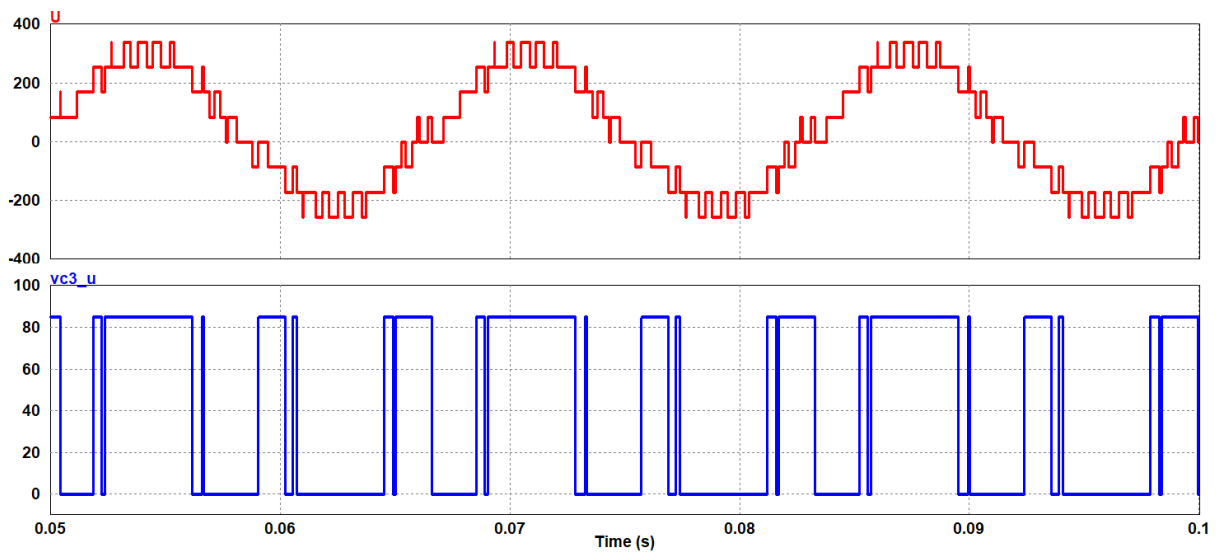
Fonte: Próprio Autor, 2023.

3.1.2.3 Considerações e discussões

Após a análise das modulações, fica clara a escolha de Brando et al. (2007) da SVM como modulação escolhida para facilitar a identificação de falhas. Nenhuma das modulações analisadas neste capítulo possui capacidade direta de identificação do módulo danificado, através dos parâmetros simulados.

A modulação PS-PWM, por impor comutação constante em todos os módulos, gera um

Figura 26 – Formas de onda da tensão de saída pós-falha do interruptor 11, utilizando modulação PD-PWM.



Fonte: Próprio Autor, 2023.

espectro harmônico similar para a forma de onda de tensão pós-falha de todos os interruptores. As modulações PD-PWM e SHE não são capazes de processar todas as etapas de operação do módulo ponte completa, o que implica em espectros harmônicos desbalanceados para falhas de interruptores superiores e inferiores do mesmo módulo.

Apesar disso, a conclusão desta análise é que todas estratégias de modulação simuladas apresentam harmônicos indesejados em uma amplitude consideravelmente alta, em especial o nível médio. Este valor médio de tensão de saída pós-falha pode ser adotado como dado base para determinação de uma "condição de falha". Isto é: sabe-se que o conversor está operando com um interruptor danificado, mas não é possível apontar diretamente em qual dos módulos este interruptor está localizado. Para determinar o módulo danificado, então, uma estratégia indireta de identificação pode ser adotada, utilizando a "condição de falha" como parâmetro inicial do processo.

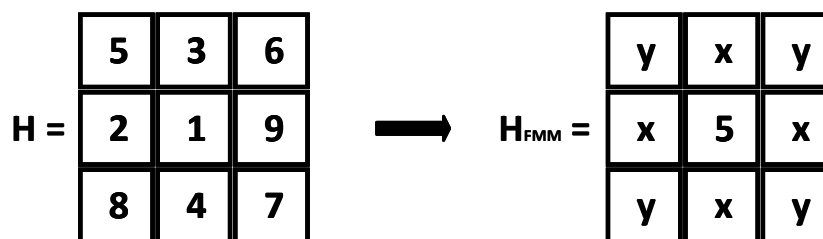
3.2 FILTRO DIGITAL PARA O NÍVEL MÉDIO

Para obter-se o valor do nível médio, pós-falha, da tensão de saída, é necessária a implementação de algum filtro deste sinal. Anand et al. (2016) se utiliza de um filtro média móvel (FMM) como método de filtragem, sendo seu objetivo, também obter o nível médio da tensão de saída de cada módulo, sendo este método, mais simples e eficaz para aplicações digitais de processamento de sinal.

O filtro média móvel é uma ferramenta criada, originalmente, para diminuir o efeito de ruídos genéricos em imagens (VALLEPALLI; RAJENDRAN, 2012). Esta se baseia na substituição do valor de um pixel em uma imagem, pelo valor espacial médio de seus adjacentes, dividido pelo número de pixels adjacentes. O exemplo mais clássico desta aplicação é apresentado na Figura 27.

É proposta uma caixa 3x3 com valores aleatórios em cada posição, representando uma zona de uma figura genérica com o valor de cada pixel de sua posição. O valor central da caixa é tomado como referência e neste é aplicado o FMM. A média dos valores substitui o valor da posição central, neste caso, 5. Para cada outra posição da caixa, é proposto um coeficiente, inferior a 1, proporcional à distância da posição em questão até a posição central. Este coeficiente,

Figura 27 – Exemplo de filtro média móvel com caixa 3x3.



Fonte: Próprio Autor, baseado em Vallepalli e Rajendran (2012).

multiplicado pelo valor central gera os novos valores para as posições adjacentes que, para o exemplo em questão, são definidos como x e y .

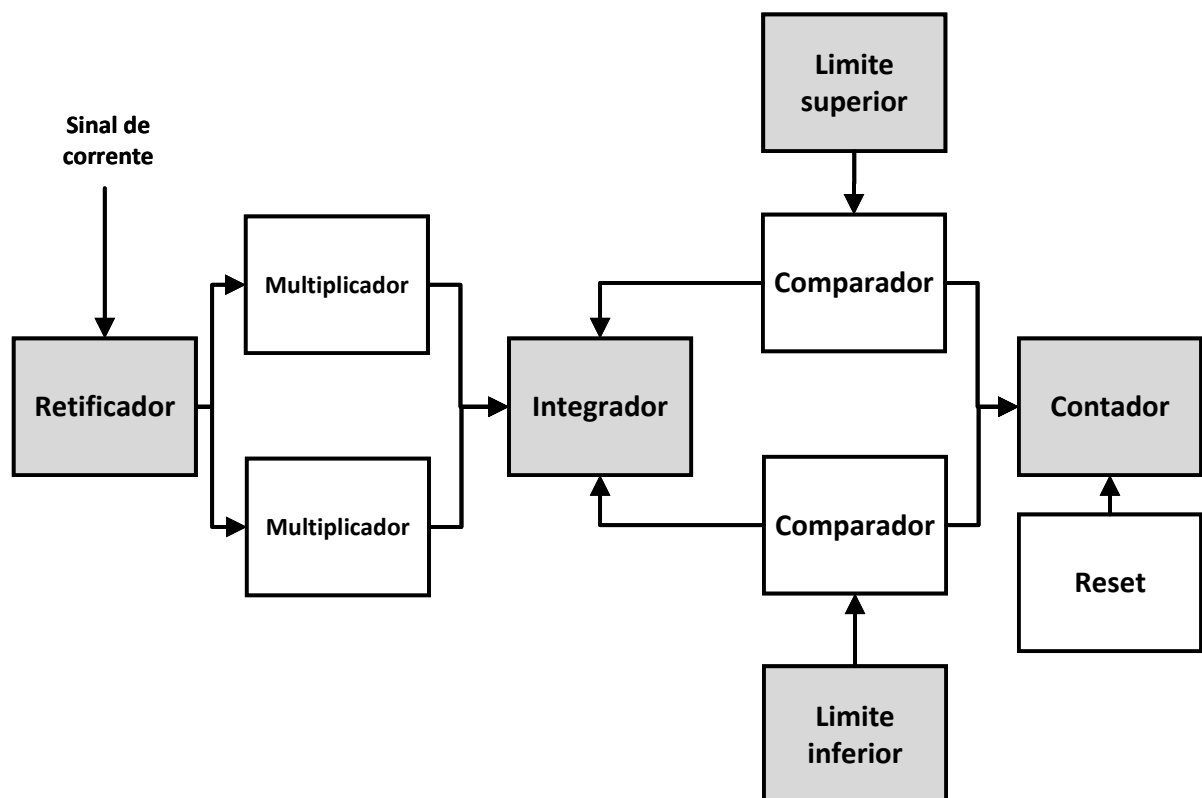
Para a aplicação em questão, o FMM se trata da discretização do método proposto por Thomas e Stanbury (1991). A estratégia propõe detectar a presença de nível médio do sinal de corrente de um sistema alternado. O diagrama de blocos apresentado na Figura 28 representa a estrutura original proposta.

O método divide a forma de onda senoidal entre os semiciclos positivo e negativo. Estes sinais são então filtrados para se tornar uma onda quadrada. A diferença destes sinais é aplicada a um comparador com um valor limítrofe, que envia a um contador o número de vezes em que esta diferença é atingida, seja pelo nível superior ou inferior do semiciclo. A raiz quadrada do valor instantâneo do contador é o valor médio do sinal base.

Aplicando a estratégia proposta de Thomas e Stanbury (1991) digitalmente, com a aplicação de um FMM, é possível simplificar consideravelmente o cálculo do valor médio de um sinal senoidal alternado. Idealmente, a soma da área de ambos semiciclos de um sinal senoidal é nulo. Se aplicado um FMM com banda igual a frequência fundamental do sinal, o valor encontrado já é o valor médio.

Para esta metodologia, utiliza-se de um vetor com característica de *buffer* circular, no qual: toda nova aquisição é salvo na posição k ; a posição $k-1$ é a amostra passada e a posição $k+1$

Figura 28 – Estrutura de detecção do nível médio em sinais senoidais.



Fonte: Próprio Autor, baseado em Thomas e Stanbury (1991).

simboliza a amostra mais antiga. A Figura 29 mostra um exemplo de *buffer* circular para um vetor de 8 posições.

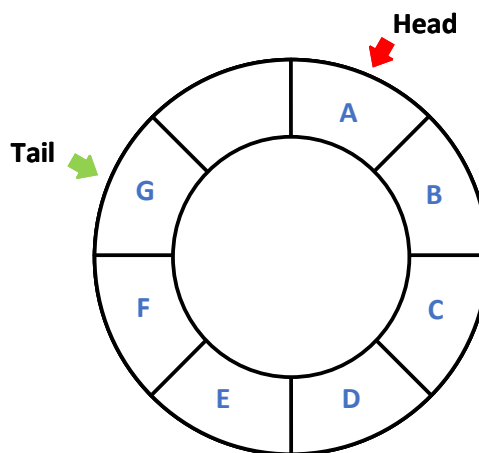
Um *buffer* circular inicia o armazenamento na posição denominada *head*. Para o próximo armazenamento, o valor é armazenado na posição seguinte e assim sucessivamente. A posição atual do vetor é denominada *tail*. Quando o tamanho total do vetor é ocupado, *head* e *tail* se sobrepõem e o valor antigo da posição é substituído pelo novo, reiniciando o processo na próxima amostragem ((PANTUZA, 2021)).

Para comprovação desta metodologia utiliza-se um sinal base com frequência (f) de 60 Hz e frequência de amostragem (f_s) de 30 kHz, escolhidos de forma arbitrária. Para o vetor ocupar um período completo do sinal, adota-se o seu tamanho como $L = f_s/f = 500$. Para o cálculo do nível médio é feita então a média do valor de todas as posições do vetor.

A Figura 30 apresenta os resultados de simulação desta estratégia. O sinal base possui amplitude de 311 V e, inicialmente, nenhum nível médio. No instante 0,05 s é aplicado um nível médio de 50 V positivo. O FMM identifica este nível médio instantaneamente, mas estabiliza completamente apenas após um período completo da frequência do sinal base (aproximadamente 16,66 ms). No instante 0,1 s é aplicado um novo degrau de 50 V negativos. Novamente, instantaneamente, a saída do FMM identifica esta alteração e estabiliza completamente o valor após um período.

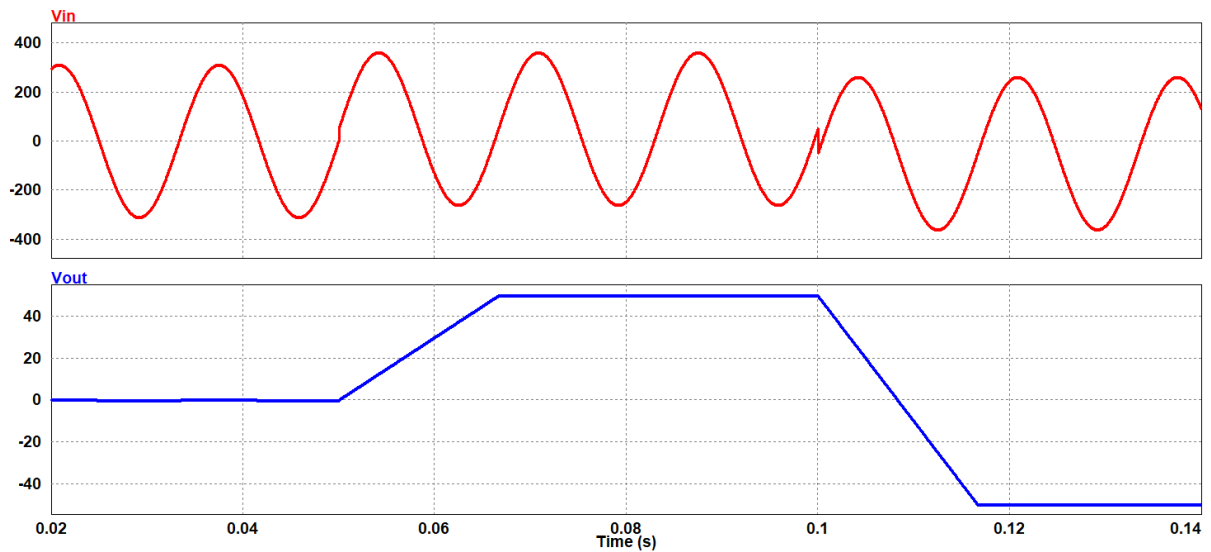
Apesar do FMM requerer o histórico de um ciclo completo da frequência do sinal base para estabilização, não é necessário o conhecimento do valor do nível c.c. para determinação da condição de falha. Idealmente o conversor deve operar sem presença de qualquer nível médio. É possível utilizar a resposta instantânea do FMM como entrada de um comparador à um valor limiar. Quando o valor limiar é então ultrapassado, a condição de falha é acusada.

Figura 29 – Exemplo conceitual de um *buffer* circular com 8 posições.



Fonte: Próprio Autor, baseado em Pantuza (2021).

Figura 30 – Forma de onda de tensão de entrada e nível médio obtido com a utilização de um FMM.



Fonte: Próprio Autor, 2023.

3.3 ESTRATÉGIA DE CORREÇÃO

Determinada a condição de falha do conversor, é possível iniciar uma rotina de testes dos módulos, afim de determinar qual módulo efetivamente está danificado. Como não é possível identificar de maneira direta através de algum sinal elétrico, já presente no conversor, qual módulo possui um interruptor em falha, é preciso fazer esta identificação de maneira indireta. Para tal é proposta uma rotina de testes em conjunto com a estratégia de correção.

Algumas estratégias são apontadas na literatura para correção da falha. Entre estas é possível citar:

- Utilização de módulos redundantes (GHAZANFARI; MOHAMED, 2016): utilizar dois módulos com a saída em paralelo possibilita o conversor de continuar funcionando nas exatas condições originais após a identificação do módulo em falha. Esta solução, contudo, praticamente duplica o custo do conversor, o que não é muito atrativo para indústria.
- *Bypass* do módulo e limitação do índice de modulação (MUKHERJEE; ZAGRODNIK; WANG, 2016): praticamente todos os módulos utilizados nas aplicações em questão já possuem nos terminais de saída algum circuito de *bypass* que possibilite a retirada do mesmo do sistema. Uma simples estratégia de correção do problema é apenas desacoplar o módulo do conversor e limitar o índice de modulação para se adequar as novas condições de funcionamento.
- Aumento da tensão do barramento c.c.: para a topologia MMC, ou de topologias CHB com retificação ativa, é possível adequar o nível de tensão do barramento c.c. para este

compensar a falta de um dos módulos do braço. Com esta adequação, não há penalidade de limitação da amplitude da tensão de saída, apenas maior estresse sobre os interruptores dos módulos e um aumento da THD de tensão, vide as maiores derivadas impostas, que consequentemente podem afetar os elementos de filtragem e a carga.

- Compensação na tensão de linha (LEZANA et al., 2010): em operações trifásicas, outra solução possível é a compensação na tensão de linha de uma tensão de fase desbalanceada. É possível mudar a defasagem das tensões de fase para que a tensão diferencial de linha gerada compense a falta de um dos módulos na tensão de fase.

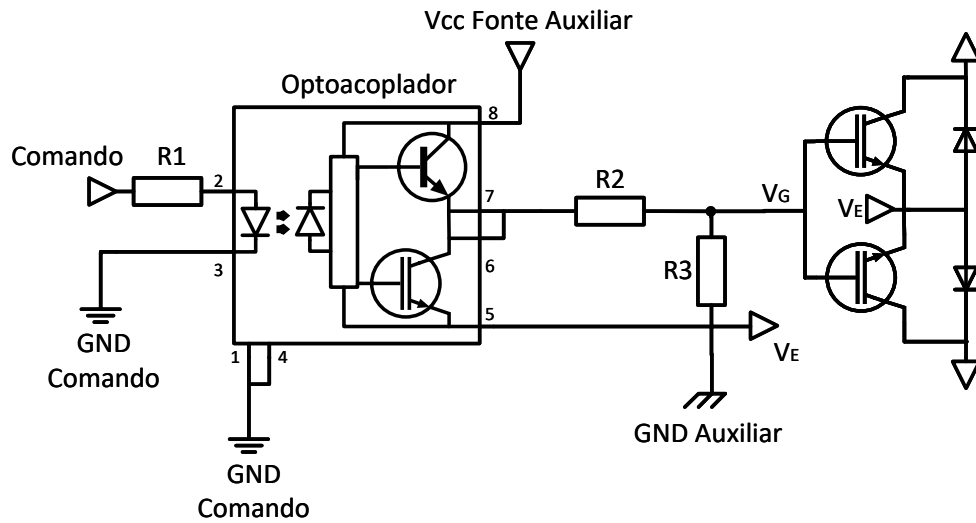
Dentre as estratégias possíveis, o aumento da tensão do do barramento c.c. não é possível nesta aplicação. A utilização de retificadores passivos na topologia CHB fixa a tensão c.c. em um nível único, com este valor determinado durante a carga dos capacitores do retificador com filtro capacitivo. Após inicialização do sistema, o reajuste do nível c.c. pode ser feito apenas de forma mecânica, o que não é adequado para a aplicação. Para aplicações que já se utilizam de fontes controladas para alimentação dos barramentos c.c., esta estratégia acaba se tornando uma das mais viáveis.

Não é possível utilizar módulos redundantes também por limitação de protótipo. A utilização de módulos redundantes demandaria maior esforço do microcontrolador a ser utilizado na aplicação, além de múltiplos módulos ponte completa, ambos não disponíveis em laboratório.

Como a aplicação em questão se utiliza de um conversor monofásico, também não é possível utilizar a compensação do módulo danificado mudando o índice de modulação e defasagem dos outros braços, afim de corrigir a tensão de linha.

Desta maneira, a estratégia de correção escolhida é a de utilização de chaves de *bypass* com limitação do índice de modulação da tensão de saída. Esta estratégia requer apenas a inserção de chaves bidirecionais na saída de cada módulo, conforme já apresentado na Figura 19. Estas chaves devem possuir comando isolado, já que os módulos estão em potencial flutuante, e devem suportar tensão de bloqueio equivalente à tensão de bloqueio do próprio interruptor do módulo.

O circuito de *bypass* proposto é apresentado na Figura 31. Optou-se pela utilização do comando isolado com optoacopladores. De maneira a simplificar o circuito, propõe-se a utilização de transformadores abaixadores isoladores com retificação passiva para alimentação isolada destes circuitos. Reguladores de tensão garantem a tensão de comando necessária para comutação. Como modelo de chave bidirecional, opta-se pela utilização de dois IGBTs em configuração série com os emissores conectados, possibilitando o comando único para ambos. Maiores detalhes dos componentes utilizados são apresentados no Capítulo 4.

Figura 31 – Circuito de *bypass* proposto.

Fonte: Próprio Autor, 2023.

3.4 IDENTIFICAÇÃO DO MÓDULO DANIFICADO

Com a condição de falha determinada e o método de correção definido é possível iniciar a rotina de testes. A rotina de testes proposta se baseia no *bypass* temporário de cada um dos módulos, em paralelo a redução do índice de modulação. Esta estratégia se inicia após a condição de falha ser estabelecida, iniciando do módulo 1 do conversor, e é finalizada quando a condição de falha é eliminada.

A Figura 32 apresenta um fluxograma simplificado do funcionamento desta estratégia. A leitura do nível c.c. inicia todo o processo. A partir desta é possível determinar a condição de falha. Caso esta não seja apontada, o processo é reiniciado.

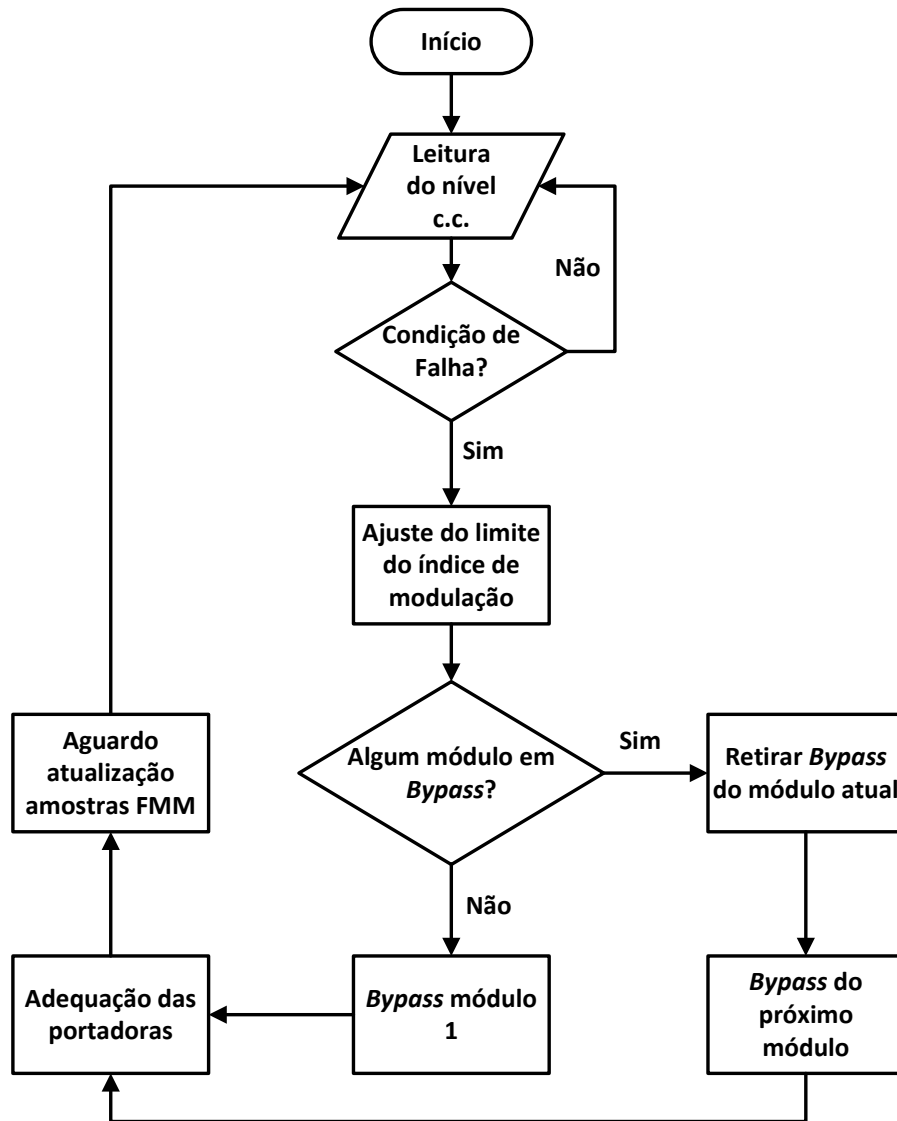
Quando a condição de falha é determinada, a rotina de testes inicia com a limitação do índice de modulação. Para um conversor com N módulos, o índice de modulação é responsável por uma parcela de $1/N$ da máxima amplitude da tensão de saída. É possível visualizar esta situação através da Figura 23. Para um índice de modulação unitário, há comutação de todos os módulos durante o período.

Quando um dos módulos é danificado, entretanto, o maior índice de modulação possível é definido como $(N - 1)/N$, que, para a aplicação em questão, é 0,75. Sendo o índice de modulação maior que este valor, previamente a falha, a tendência natural é o novo índice de modulação ser reajustado para este valor, após a condição de falha ser acusada.

A próxima etapa do processo é iniciar o processo de *bypass*. Optou-se por, arbitrariamente, começar pelo módulo 1, mais inferior, passando nas próximas interações, se necessário, para o módulo 2 e assim sucessivamente, sempre removendo o *bypass* do módulo anterior.

Em seguida é feito o ajuste das portadoras. Esta etapa depende da estratégia de modulação a ser utilizada. Abaixo são apresentadas as adequações necessárias para cada modulação:

Figura 32 – Fluxograma de funcionamento da rotina de testes do módulo danificado.



Fonte: Próprio Autor, 2023.

- SHE: é necessário que sejam previamente calculados os ângulos de comutação para o novo índice de modulação utilizando apenas $N - 1$ módulos. Estes novos ângulos são então enviados aos módulos ainda atuantes após a falha. Vale salientar que é necessário fazer os cálculos considerando uma harmônica a menos para ser cancelada/mitigada, já que o sistema passa a operar com um módulo a menos.
- PS-PWM: nesta estratégia é preciso reajustar a defasagem das portadoras para trabalhar com um módulo a menos. Em condições normais a defasagem entre as portadoras é definida como $(360/N)^\circ$. Pós-falha, a nova defasagem deve ser de $(360/(N - 1))^\circ$. Estas portadoras também devem ser referenciadas aos módulos que continuam ativos.
- PD-PWM: neste caso não é necessário nenhum cálculo adicional ou reajuste de amplitude ou ângulo das portadoras. A diminuição do índice de modulação em paralelo ao reajuste

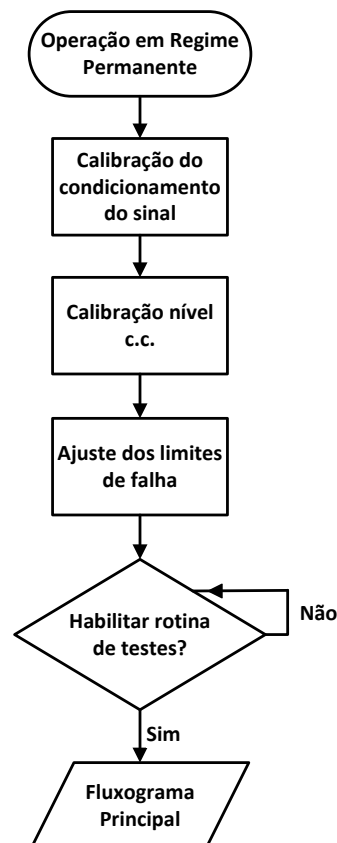
da referência das portadoras, para estas estarem atreladas aos módulos ainda ativos, já soluciona o problema.

Quando todas as etapas do processo de correção de falha são efetuadas é necessário aguardar a tensão de saída estabilizar. É esperado então um período completo da tensão de saída, afim de possibilitar o FMM de estabilizar o sinal com a atualização do histórico de amostras, caso a falha seja sanada.

Para um sistema de N módulos, a topologia possibilita a presença de $2N - 1$ níveis de saída na tensão de fase. Quando uma falha ocorre, esse valor se torna $2N$, gerando assimetria da forma de onda. Ao aplicar o *bypass* de um dos módulos, visa-se tornar o número de níveis $2N - 1$ novamente, mas com um módulo a menos. Caso o módulo danificado não seja o módulo que sofreu o *bypass*, o número de níveis continuará N , ainda possuindo assimetria. Desta maneira o processo se torna cíclico, sendo na próxima interação, retirado o *bypass* do módulo anterior, aplicado o *bypass* no módulo seguinte e reajustadas as portadoras. Este processo se repete até que o módulo danificado seja encontrado e o valor de tensão média visto pelo FMM seja nulo.

O processo de inicialização do conversor, habilitando-o para a utilização da rotina de testes de falhas, é apresentada na Figura 33. Esta rotina antecede o bloco "Início" do fluxograma principal (Figura 32).

Figura 33 – Fluxograma de inicialização do conversor.



Fonte: Próprio Autor, 2023.

Considera-se que o mesmo já esteja operando em condição de regime permanente, com os capacitores carregados, sem transitórios de carga e operando no índice de modulação esperado.

Determinado o regime permanente, são feitas as calibrações da medição e condicionamento do sinal de tensão de saída, necessário para operação da estratégia, e também do nível c.c. deste sinal. Estas calibrações prezam pela precisão da conversão dos sinais, mantendo uma escala correta. O nível c.c. precisa ser calibrado, já que este é o principal dado de interesse da tensão de saída. Esta calibração do nível médio é necessária pela presença de não idealidades do sistema que podem acabar impondo um nível médio intrínseco, mesmo sobre funcionamento sem falhas, especialmente com operação em malha aberta.

São estabelecidos também nesta rotina os valores limítrofes para determinação da condição de falha e também da condição para liberação da falha pós-atuação da rotina de testes. Estes valores podem ser determinados através da relação sinal/ruído imposta pelo condicionamento ou de forma empírica, como optou-se por fazer neste trabalho.

Por fim, é necessário que haja uma liberação do sistema, para dar-se início a rotina de testes principal. Esta informação pode ser feita de forma manual ou automática, através de algum parâmetro de tempo, por exemplo. Opta-se neste caso pela liberação manual, através de um sinal digital do microcontrolador.

4 RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

Este capítulo apresenta os resultados de simulação e experimentais obtidos. Os parâmetros e condições de simulação utilizados foram previamente apresentados na Tabela 4. A nomenclatura dos componentes segue o padrão apresentado na Figura 19.

Inicia-se o capítulo com a apresentação do protótipo com detalhes das placas e circuitos utilizados. Na sequência são apresentados os resultados experimentais de funcionamento normal em regime permanente do conversor. Para facilitar a compreensão das imagens apresentadas neste capítulo, manteve-se um padrão de cores para as formas de onda, conforme apresentado na Tabela 7.

Tabela 7 – Padrão de cores utilizado para as formas de onda apresentadas.

Forma de onda	Cor
Tensão de saída (V)	Azul
Corrente de saída (A)	Ciano
Nível c.c. do FMM (V)	Rosa
Módulo em <i>bypass</i> (digital)	Verde

Fonte: Próprio Autor, 2023.

As formas de onda de tensão e corrente de saída durante a falha são apresentadas em seguida, mesclando resultados experimentais e de simulação. Na sequência são mostrados os resultados experimentais e de simulação para a identificação e correção da falha, com um breve comparativo entre ambos. São apresentadas também as condições de regime permanente após a correção e os sinais digitais que exibem as condições de operação do circuito de *bypass* durante o processo.

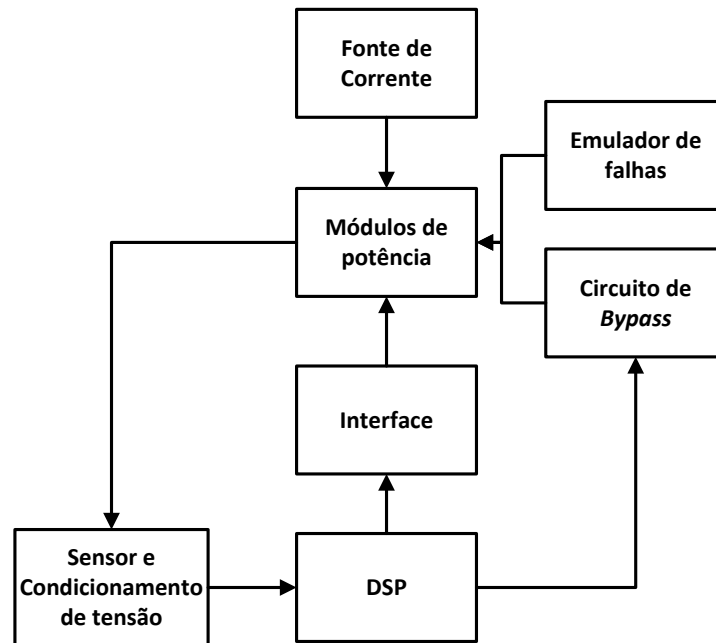
É feita uma análise qualitativa comparativa das formas de onda prévia e pós-falha em seguida, além da apresentação dos resultados para um degrau de carga. Mostra-se também os resultados para operação com barramentos c.c. reduzidos, emulando as condições de oscilação de carga, da tensão de barramento e da tensão de alimentação. Finaliza-se o capítulo com uma estratégia de reposição do módulo danificado.

4.1 APRESENTAÇÃO DO PROTÓTIPO

O protótipo utilizado para experimentação da técnica proposta se baseia no modelo proposto por Hock (2020). Hock (2020) utiliza um protótipo com módulos ponte completa para apresentação de uma nova topologia multinível trifásica baseada no conversor CHB.

A distribuição dos circuitos é adaptada para se ajustar a aplicação em questão. A Figura 34 apresenta a separação dos circuitos adotada. A estrutura de potência é adaptada para utilizar quatro módulos por fase, mas com apenas um braço. A simplificação para um circuito monofásico, possibilitou a exclusão do FPGA (*Field-Programmable Gate Array*) utilizado por Hock (2020),

Figura 34 – Diagrama de blocos representativo da estrutura implementada para validação experimental.



Fonte: Próprio Autor, 2023.

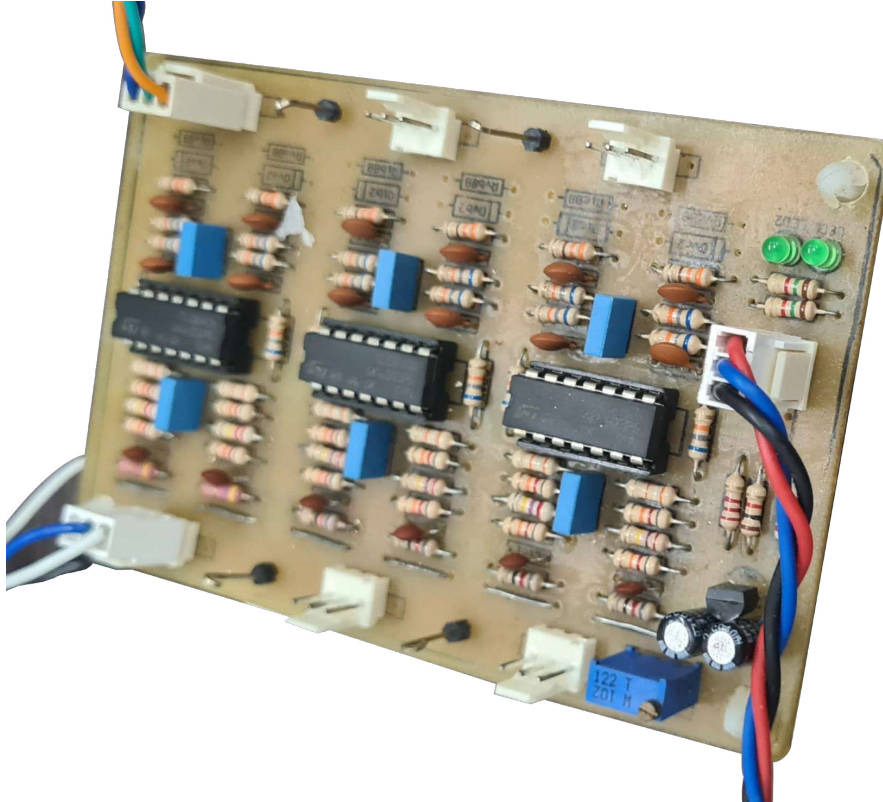
necessário para geração dos diversos pulsos de comando dos interruptores. O condicionamento de corrente também é removido, vide a opção de leitura exclusiva da tensão de saída para a análise de identificação de falhas.

A placa de condicionamento teve os ganhos ajustados para os níveis de tensão de trabalho. Uma das grandes mudanças deste circuito é a eliminação do transformador isolador abaixador utilizado. Como Hock (2020) necessitava de medições isoladas de tensão, o transformador era útil tanto para a isolamento da leitura quanto adequação das amplitudes para o condicionamento eletrônico. Para a aplicação em questão, entretanto, não é possível fazer a utilização do transformador. Como o objetivo do condicionamento é possibilitar a leitura do nível médio da tensão de saída, a inclusão do transformador impede que o nível médio seja informado ao microcontrolador, invalidando todo o processo. Nota-se na Figura 35 que a placa utilizada possui capacidade para três leituras de tensão e três leituras de corrente, vide a aplicação trifásica controlada que esta foi criada. Para a aplicação em questão, apenas um dos circuitos é utilizado.

O Processador Digital de Sinais (*Digital Signal Processor - DSP*) é o responsável pela leitura do sinal gerado pelo condicionador, além de efetuar os cálculos necessários para obtenção do nível médio e gerar os pulsos de comando para os interruptores dos módulos. O DSP utilizado nesta estrutura é o TMS320F2837xD da Texas Instruments, juntamente ao kit de desenvolvimento LAUNCHXL-F28379D (Figura 36).

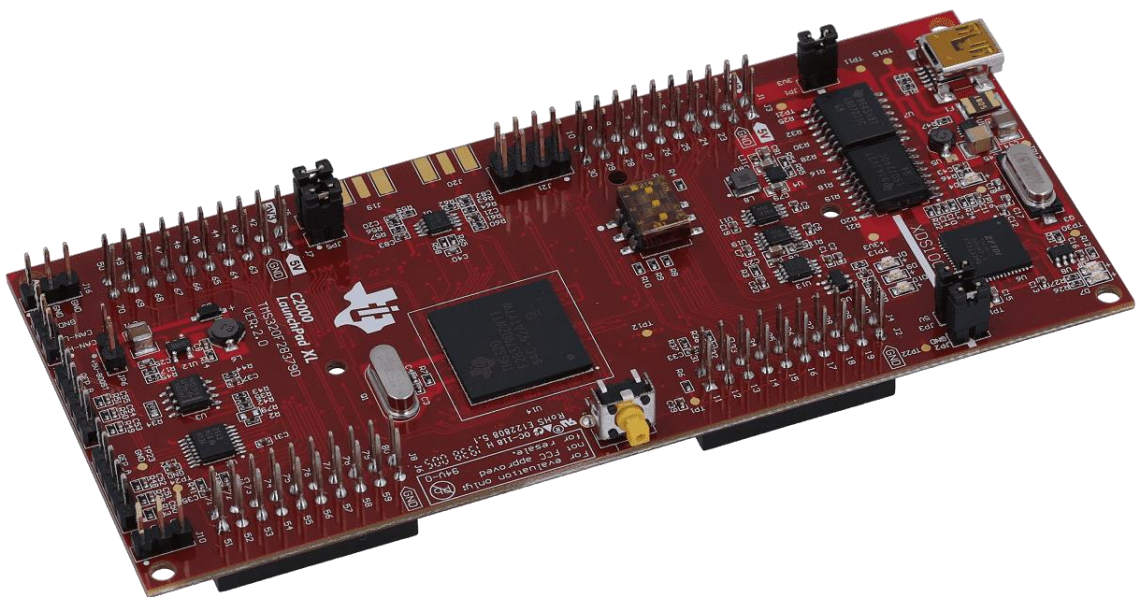
A placa de interface faz a adaptação do sinal gerado pelo DSP e os módulos. O DSP é capaz de enviar sinais de tensão de 3,3 V com baixa capacidade de corrente. Como a isolamento dos comandos dos módulos é feita de forma ótica, há necessidade de um ganho de corrente deste

Figura 35 – Placa de condicionamento do sinal de leitura de tensão de saída.



Fonte: Próprio Autor, 2023.

Figura 36 – Imagem do kit LAUNCHXL-F28379D com o DSP utilizado.



Fonte: Próprio Autor, 2023.

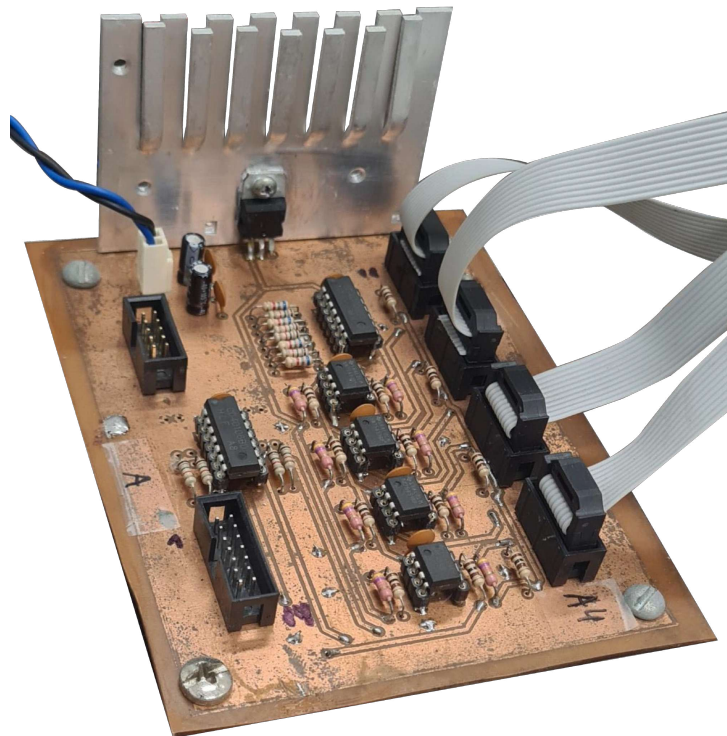
sinal, afim de acionar os LEDs dos optoacopladores. Esta placa é apresentada na Figura 37.

Os módulos de potência representam a topologia CHB. O módulo ponte completa utilizado é apresentado na Figura 38. O projeto e design da placa foram desenvolvidos em conjunto por Hock (2020) e Lambert et al. (2019). A estrutura possui isolamento via optoacoplador dos sinais de comando e geração interna do pulso complementar dos interruptores. O acionamento dos interruptores de cada braço é feito via *bootstrap*, pelo circuito integrado (CI) FAN7380, da Onsemi.

Os circuitos auxiliares de cada módulo são alimentados por uma fonte de corrente constituída de um conversor meia ponte monofásico, (Figura 39) em corrente alternada de média frequência. A isolamento e regulação da tensão de alimentação é feita individualmente em cada módulo através de transformadores e reguladores de tensão.

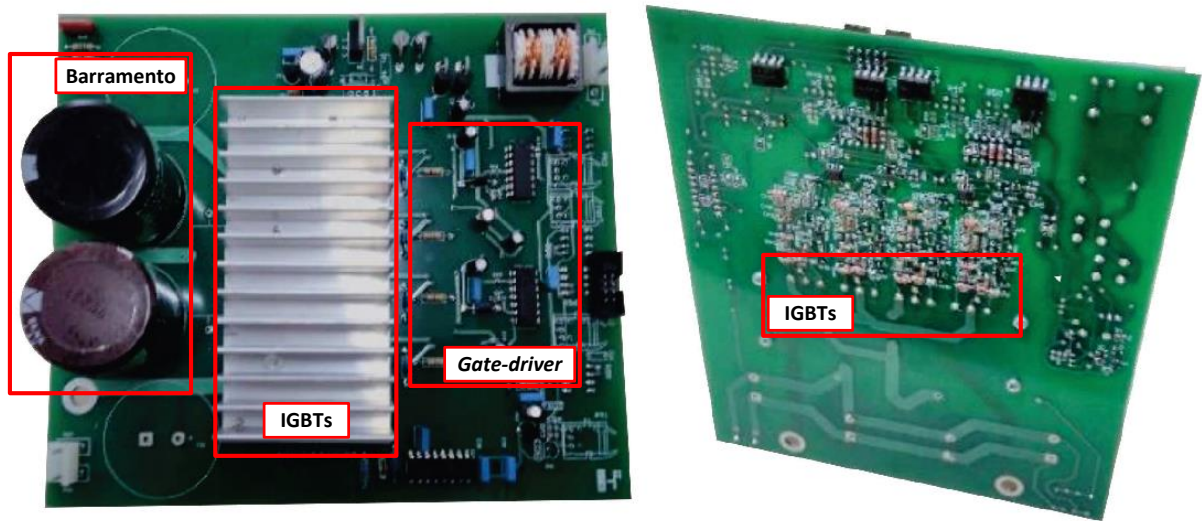
A emulação de falhas é feita de forma indireta. Para replicar uma falha em circuito aberto, na parte de potência do circuito, seria necessária a introdução de um interruptor em série a cada um dos interruptores dos módulos. Este interruptor ficaria comutado durante o funcionamento normal do equipamento. Em determinado instante o mesmo poderia ser então acionado para fazer a abertura do semi-braço, emulando a falha. Para utilização desta estratégia, seria necessária a introdução de $4N$ interruptores ao conversor, todos com acionamento isolado, permitindo total controle do instante e localização da falha. Esta estratégia se mostrou inviável, vide os custos

Figura 37 – Placa de interface entre DSP e os *gate-drivers* dos módulos de potência.



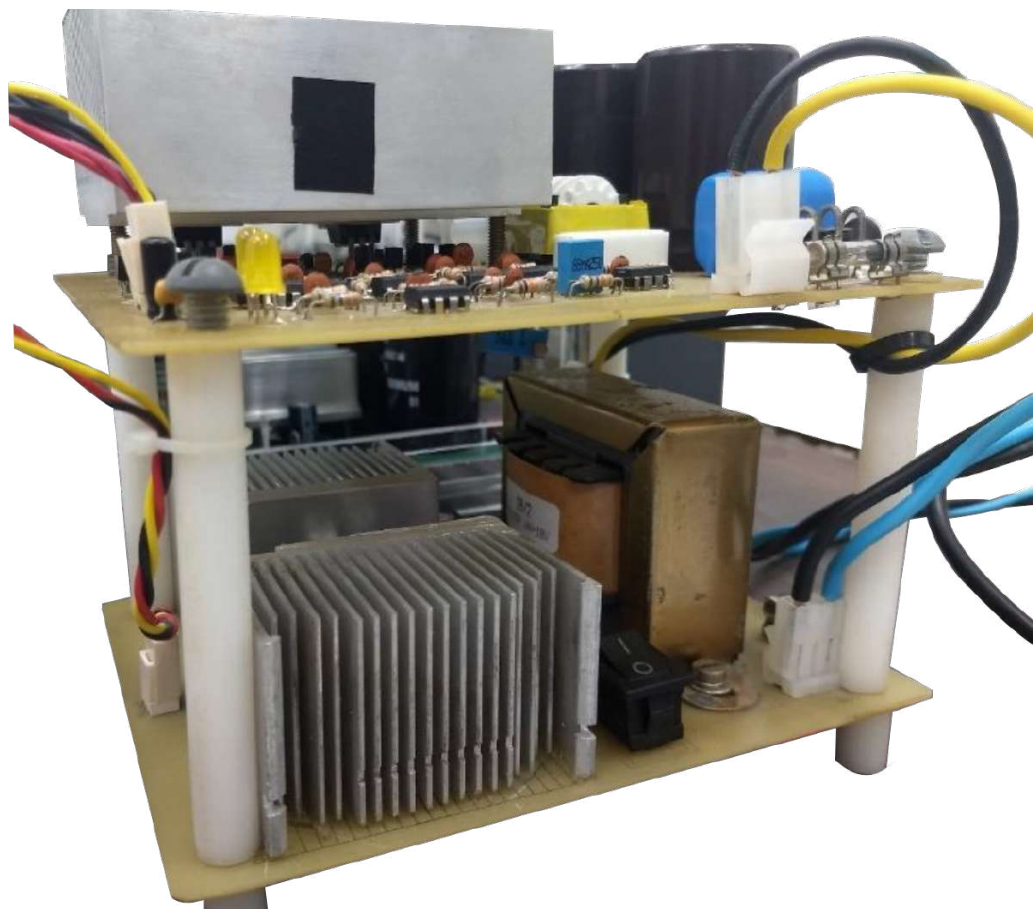
Fonte: Próprio Autor, 2023.

Figura 38 – Módulo ponte completa utilizado.



Fonte: Adaptado de Hock (2020).

Figura 39 – Fonte de corrente em média frequência para alimentação isolada dos módulos.



Fonte: Adaptado de Hock (2020).

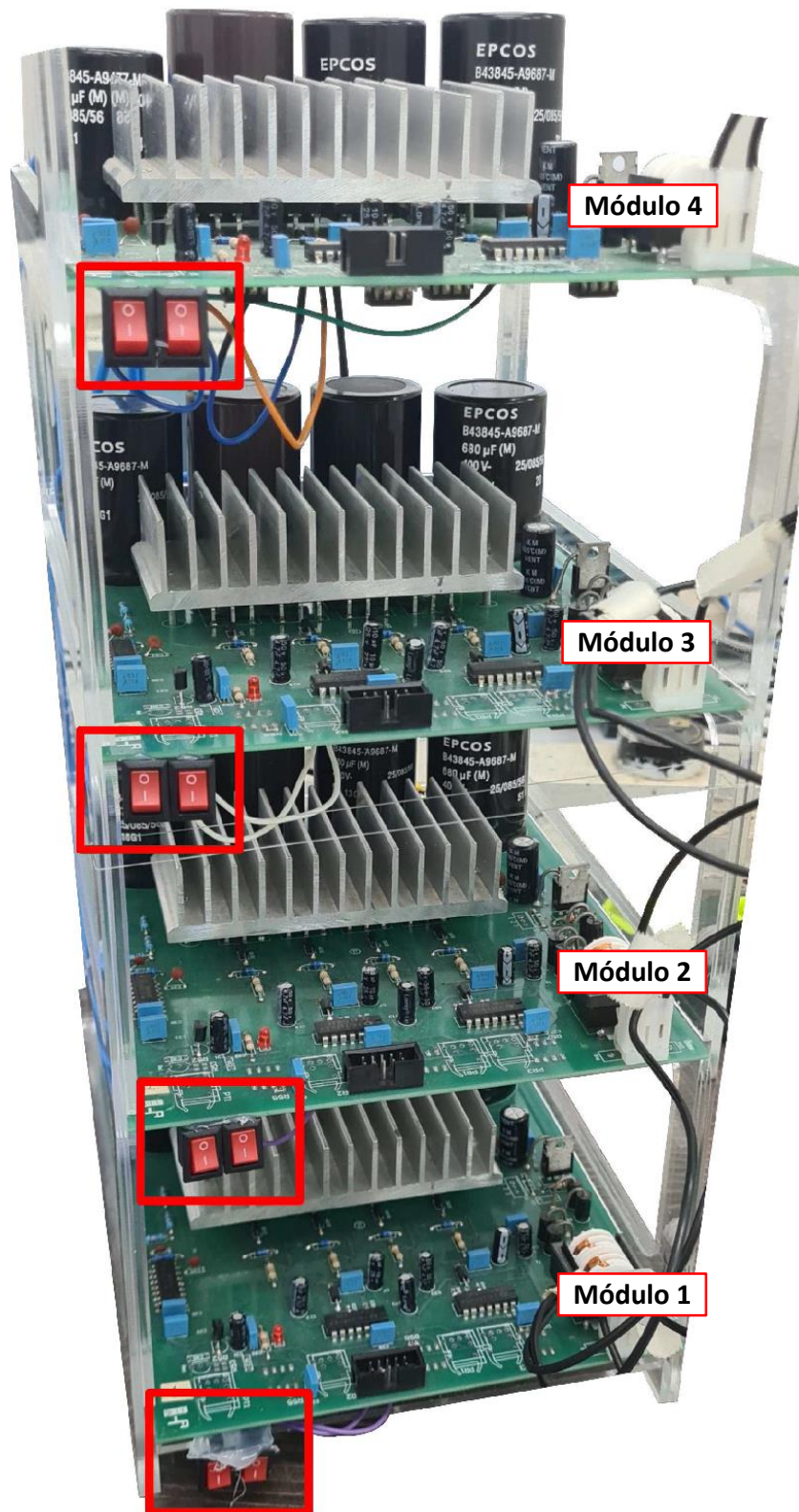
para aplicação, além da necessidade de ajuste dos módulos para conexão destes interruptores ao circuito.

Como solução alternativa e simplificada, optou-se por fazer a emulação da falha através dos *gate-drivers*. Como a geração dos pulsos complementares dos interruptores é gerada internamente no módulo, não é possível fazer a emulação da falha pelo modulador. Para simular uma falha de apenas um interruptor, é necessária a retirada do pulso de comando do circuito CI do interruptor em questão (FAN7380). Como este pulso se encontra em potencial flutuante, para fazer o acionamento de forma controlada, via DSP, é necessária também a introdução de um circuito que realize a isolamento deste sinal. Novamente para evitar custos excessivos de implementação e ajustes ao leiaute do módulo, optou-se por fazer este acionamento de forma semi-controlada.

Chaves mecânicas são introduzidas em cada um dos módulos (Figura 40) para possibilitar este acionamento. As chaves interconectam a entrada do sinal de cada um dos interruptores do CI de *bootstrap* ao terra do módulo. Quando estas são acionadas, então, um *pull-down* é feito e o interruptor funciona em emulação de falha em circuito aberto, com o diodo em anti-paralelo ainda ativo. A desvantagem desta estrutura é, pela frequência da tensão de saída ser muito alta, a impossibilidade de determinar o instante em que a falha será imposta.

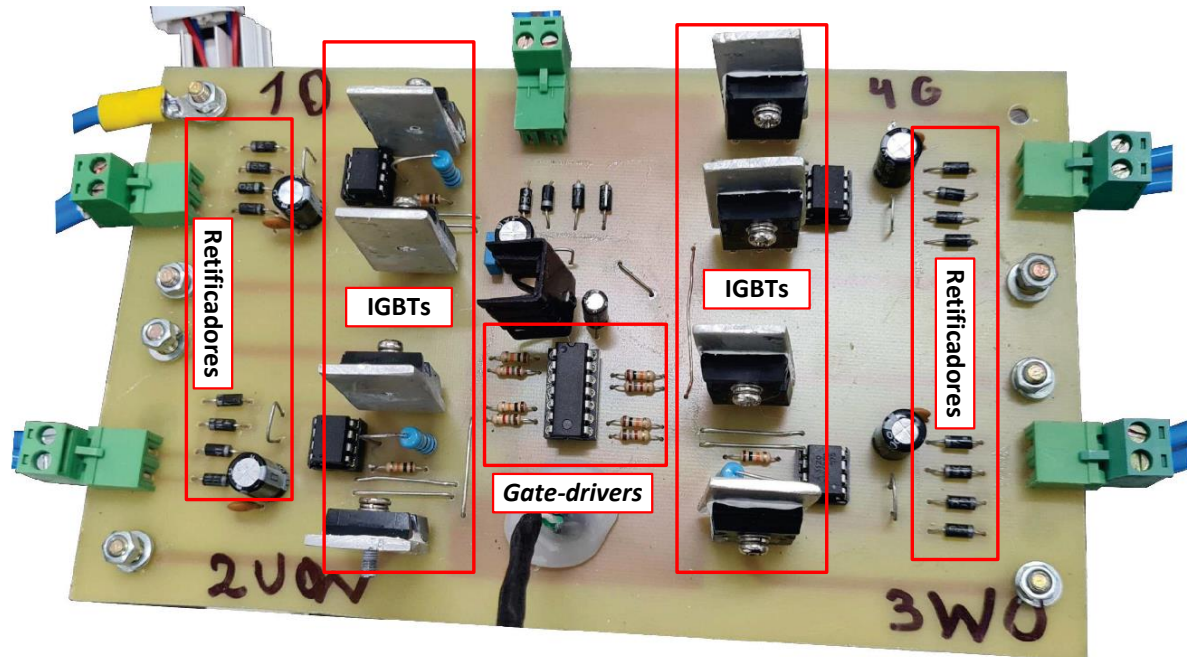
O último circuito da estrutura é o circuito de *bypass* (Figura 41). O projeto e leiaute desta placa é desenvolvido utilizando componentes similares aos já utilizados por Hock (2020). O interruptor escolhido é o mesmo do módulo de potência, o IRGP50B60PD1, da Infineon Technologies. Como optoacoplador, optou-se pela utilização do HCPL3120 da Agilent Technologies, seguindo o modelo de projeto previamente proposto por Souza (2017). O ganho de corrente dos sinais do DSP que fazem o acionamento dos interruptores é feito através do CI SN7407 da Texas Instruments. A alimentação isolada dos circuitos é feita através de múltiplos transformadores abaixadores, com retificação e regulação na própria placa.

Figura 40 – Conversor CHB utilizado, com chaves de emulação de falhas em evidência.



Fonte: Próprio Autor, 2023.

Figura 41 – Circuito de *bypass* confeccionado.



Fonte: Próprio Autor, 2023.

4.2 FUNCIONAMENTO NORMAL

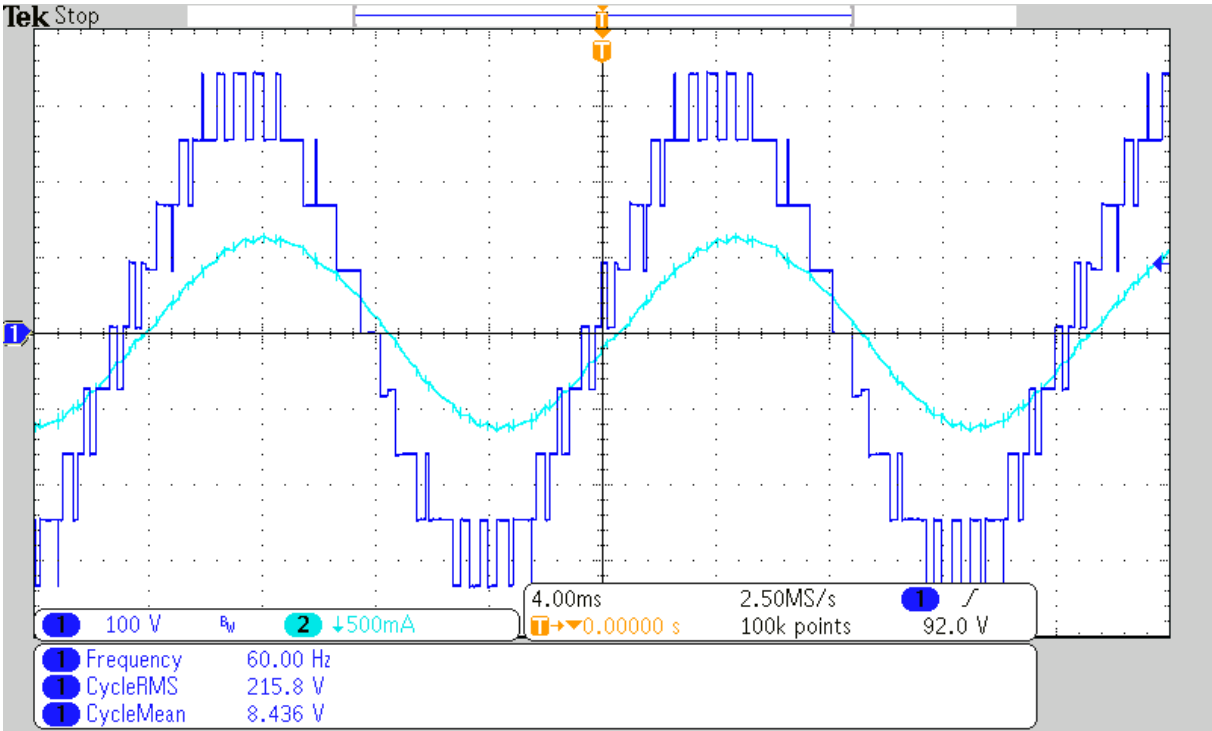
Por facilidade de implementação, optou-se pela modulação PD-PWM para experimentação em bancada. Esta modulação se mostra como a mais prática para aplicação da rotina de testes para identificação do módulo defeituoso, conforme explicado no Capítulo 3. Todos os resultados apresentados abaixo, tanto experimentais quanto de simulação, estão, portanto, utilizando esta modulação.

Os primeiros resultados apresentados são o de funcionamento normal do equipamento. A Figura 42 e a Figura 43 apresentam os resultados experimentais e de simulação, sobre a mesmo ponto de operação, respectivamente.

É possível ver que a forma de onda de corrente possui o fator de deslocamento de 0,95 esperado, vide a carga resistiva-indutiva (RL) utilizada. Vale salientar que a forma de onda de corrente simulada possui amplitude multiplicada por um fator de 200 vezes para melhorar a visualização e possibilitar um padrão de comparação com as formas de onda experimentais. Como a topologia utilizada possui apenas um braço, a tensão visualizada é a tensão de fase, composta por $2N + 1$ níveis, isto é, 9.

A tensão eficaz obtida, experimentalmente, possui um erro de 2 % do valor proposto de 220 V. Isto acontece pela presença no módulo de uma lógica de tempo-morto para evitar o curto de braço gerado pelos atrasos de comutação dos interruptores. Este tempo-morto acaba por, indiretamente, reduzir o índice de modulação imposto de 0,9, calculado para atingir os 220 V. Como o sistema está operando em malha-aberta, ou seja, sem controle de tensão e/ou corrente de saída, não há adequação deste valor eficaz em regime permanente para se atingir o valor

Figura 42 – Formas de onda de tensão (Azul) [100 V/div] e corrente (Ciano) [500mA/div] de saída experimentais para funcionamento normal do conversor.

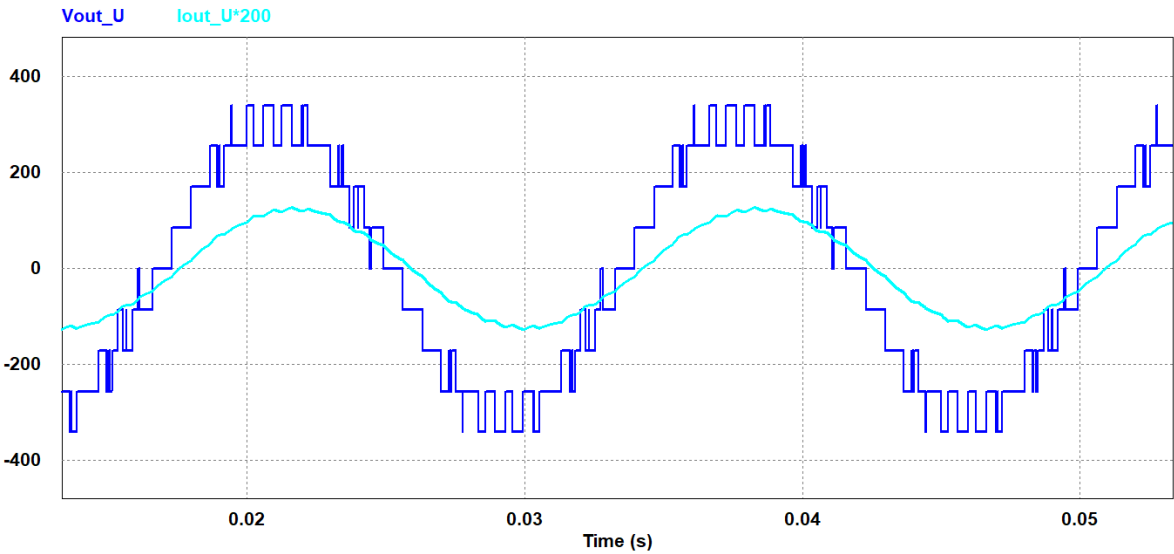


Fonte: Próprio Autor, 2023.

proposto. Como estes valores não influenciam na estratégia proposta por este trabalho, optou-se por trabalhar nestas condições.

Nota-se que o valor médio da forma de onda de tensão de saída experimental já possui

Figura 43 – Formas de onda de tensão (Azul) e corrente (Ciano) de saída via simulação para funcionamento normal do conversor.



Fonte: Próprio Autor, 2023.

nível c.c. de aproximadamente 8,5 V para as condições de experimentação. Este valor é gerado pelas não idealidades do sistema, como: tempo-morto feito de modo analógico; atraso de comutação diferente entre os interruptores dos múltiplos módulos e imprecisões da medição utilizada. Como o nível médio é extremamente influente para a aplicação, repetiu-se as medições em regime permanente deste sinal em múltiplas ocasiões para comprovação do valor gerado. Em todas as situações o nível médio apresentou valor semelhante. Desta maneira, o valor médio de regime permanente foi adequado na programação para ser a nova referência do sistema para a ausência de falha.

A outra constatação das formas de onda de tensão apresentadas é a assimetria de quarto de onda. Isto acontece pela frequência de comutação escolhida, apesar de par e múltipla da frequência de saída, não é múltiplo de 3 (CALAIS; BORLE; AGELIDIS, 2001). Outras defasagens das portadoras e frequências foram testadas e comprovou-se que esta situação não afeta no valor de nível médio em regime permanente do conversor. Desta maneira, optou-se por manter os parâmetros originais.

4.3 FALHA DOS INTERRUPTORES

Antes de testar a estratégia de identificação é preciso verificar a eficácia do emulador de falhas proposto. Durante a experimentação do protótipo, entretanto, notou-se um problema para completa implementação deste circuito.

Como os módulos do protótipo utilizado possuem comando dos interruptores superiores feitos via *bootstrap*, a aplicação da falha nos interruptores inferiores prejudica este processo. Quando aplicada a falha no interruptor inferior, o capacitor de *bootstrap* não possui etapa de carga. Por esta situação, o comando do interruptor superior do braço deste mesmo interruptor em falha acaba não possuindo energia suficiente para ser acionado. Quando isto acontece o módulo acaba por não comutar corretamente e, ao invés de um dos interruptores trabalhar em falha, um braço completo entra em falha.

Algumas soluções poderiam ser adotadas para resolver esta situação. A inclusão de um capacitor de *bootstrap* de valor maior é capaz de suprir a ausência da etapa de carga deste durante o tempo que a estratégia de identificação está atuante. Após a correção ser efetuada, então, o módulo danificado é retirado do sistema, não sendo um problema a ausência da etapa de carga do capacitor. Outra solução possível é a inclusão de uma fonte de tensão c.c. isolada efetuando a carga deste capacitor, apenas para obtenção dos resultados experimentais propostos.

Esta situação é gerada pela limitações do protótipo utilizado e sabe-se que, através de mais de 5 anos de experiência profissional na área de conversores de alto processamento de energia, esta situação não é comum na indústria, pela larga preferência por *gate-drivers* com comando e alimentação isolada de todos os interruptores. Opta-se, desta maneira, pela experimentação somente dos interruptores superiores de todos os módulos. Para os interruptores inferiores, a estratégia de identificação é comprovada apenas via simulação.

A Figura 44 e a Figura 45 apresentam as condições de falha experimentais. Optou-se por apresentar os resultados com visualização em paisagem com quatro interruptores em falha por imagem para facilitar a visualização. Com a visualização em paisagem, da esquerda para a direita, são apresentadas as falhas de todos os interruptores dos módulos mais superiores para os inferiores.

Nota-se por estas formas de onda que estes interruptores correspondem as situações em que há roda-livre pela parte inferior do módulo. Esta situação é gerada pela modulação em conjunto com a geração do sinal complementar embutida no próprio módulo, que garante que os interruptores inferiores atuem desta maneira.

Vê-se também uma clara distorção da corrente da carga, gerada pelo nível médio da tensão e também dos componentes harmônicos gerados. Analisando de maneira decrescente, nota-se também o aumento do nível médio gerado pelo interruptor correspondente a falha. Quanto maior o valor do índice do interruptor, menor o nível médio, confirmando os resultados de simulação apresentados na Tabela 6. Fica nítida também o polaridade do nível médio quando analisadas, lado a lado, as formas de onda para interruptores adjacentes do mesmo módulo, como mostradas na Figura 44 (a) e (b), por exemplo.

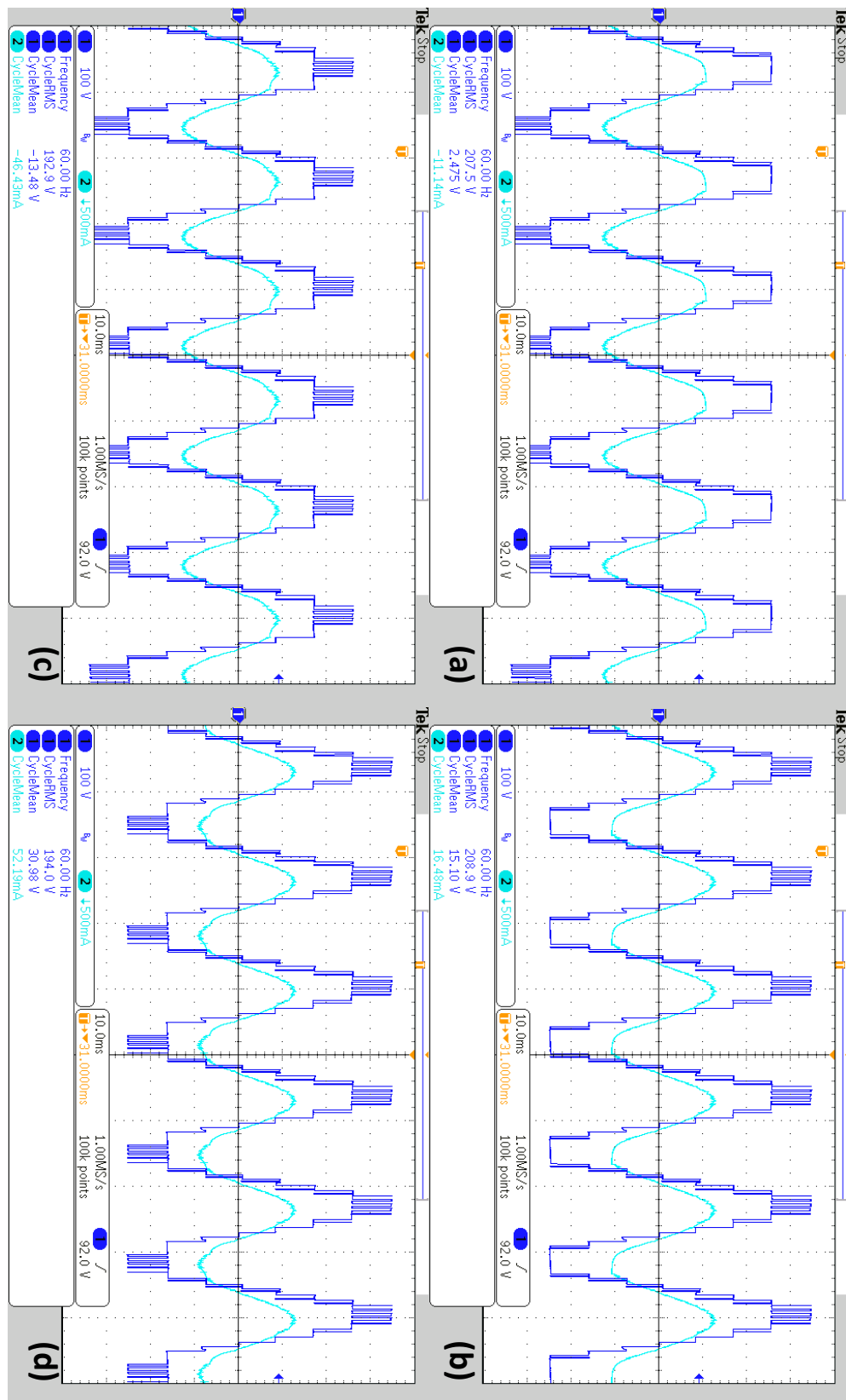
Para os demais interruptores os resultados de simulação são apresentados na Figura 46 e na Figura 47. Pelo padrão das formas de onda é possível compreender também o resultado da análise harmônica apresentado na Figura 21.

Como, para estes interruptores, há a presença de todas as etapas de operação, sob condição de falha, previamente explanados no Capítulo 2, há uma nítida semelhança nas formas de onda, independente do interruptor em falha. Estes resultados, obviamente, não levam em consideração a polaridade do nível médio ou a fase dos harmônicos gerados, o que é possível visualizar pelos resultados de simulação, que são opostos para interruptores em falha no mesmo módulo.

Outro resultado importante de se analisar é a condição dos espectros harmônicos da tensão de saída pós-falha dos interruptores. A Figura 48 apresenta os resultados obtidos experimentalmente. Como os interruptores superiores do mesmo módulo apresentam espectro harmônico equivalente, optou-se pela apresentação apenas do interruptor da mesma posição dos quatro módulos.

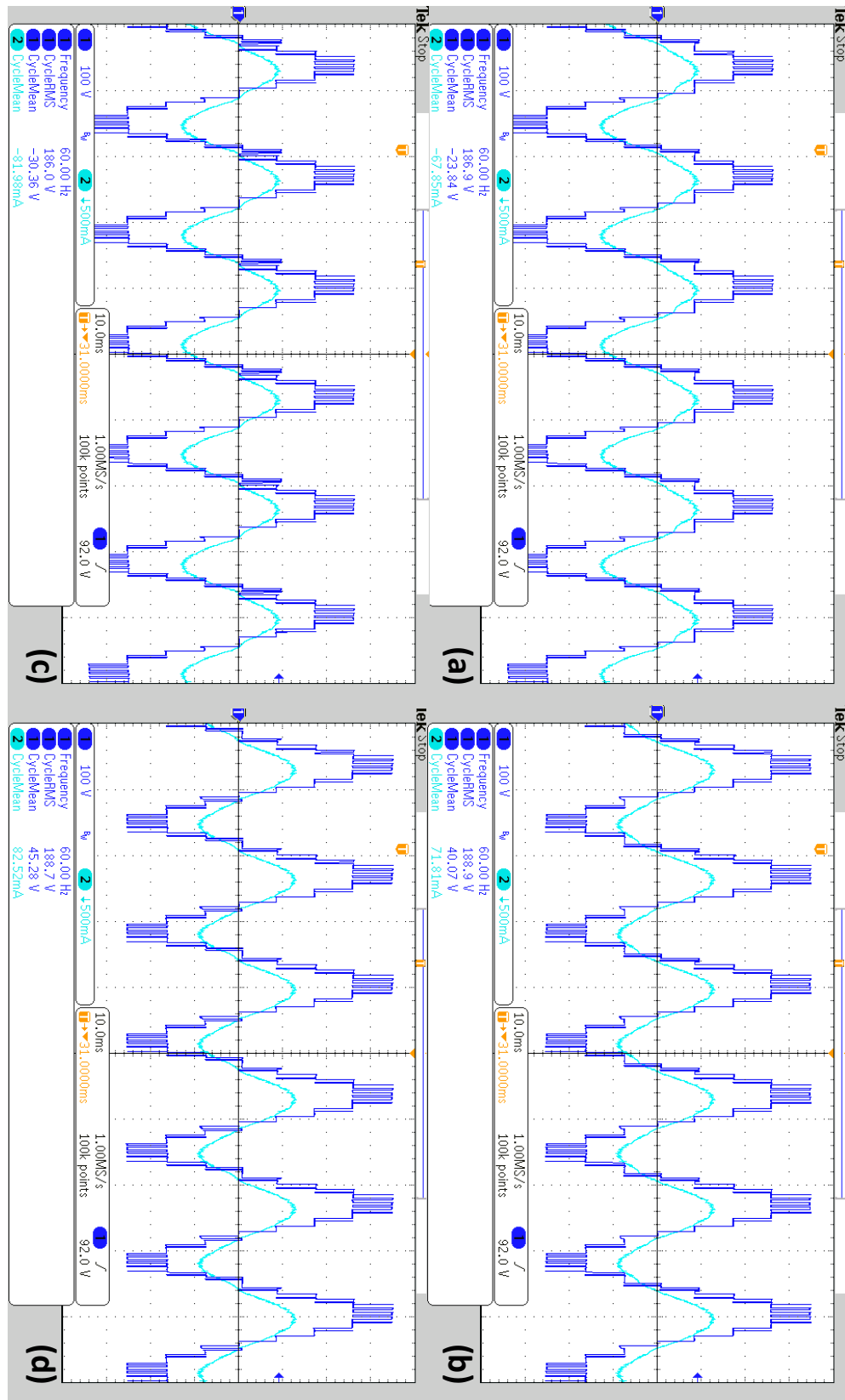
Para obtenção destes resultados utilizou-se da função própria do osciloscópio. Infelizmente o nível médio (harmônica 0) não aparece nestes resultados. Também não é possível dividir a fundamental por um fator, afim de facilitar a visualização das demais harmônicas, conforme feito na Figura 21. Nota-se, contudo, que o padrão da 2ª e da 3ª harmônica, que possuem maior amplitude, seguem os resultados de simulação obtidos previamente.

Figura 44 – Formas de onda de tensão (Azul) [100 V/div] e corrente (Ciano) [500mA/div] de saída experimentais para condição de falha dos interruptores: (a) G14, (b) G16, (c) G10 e (d) G12.



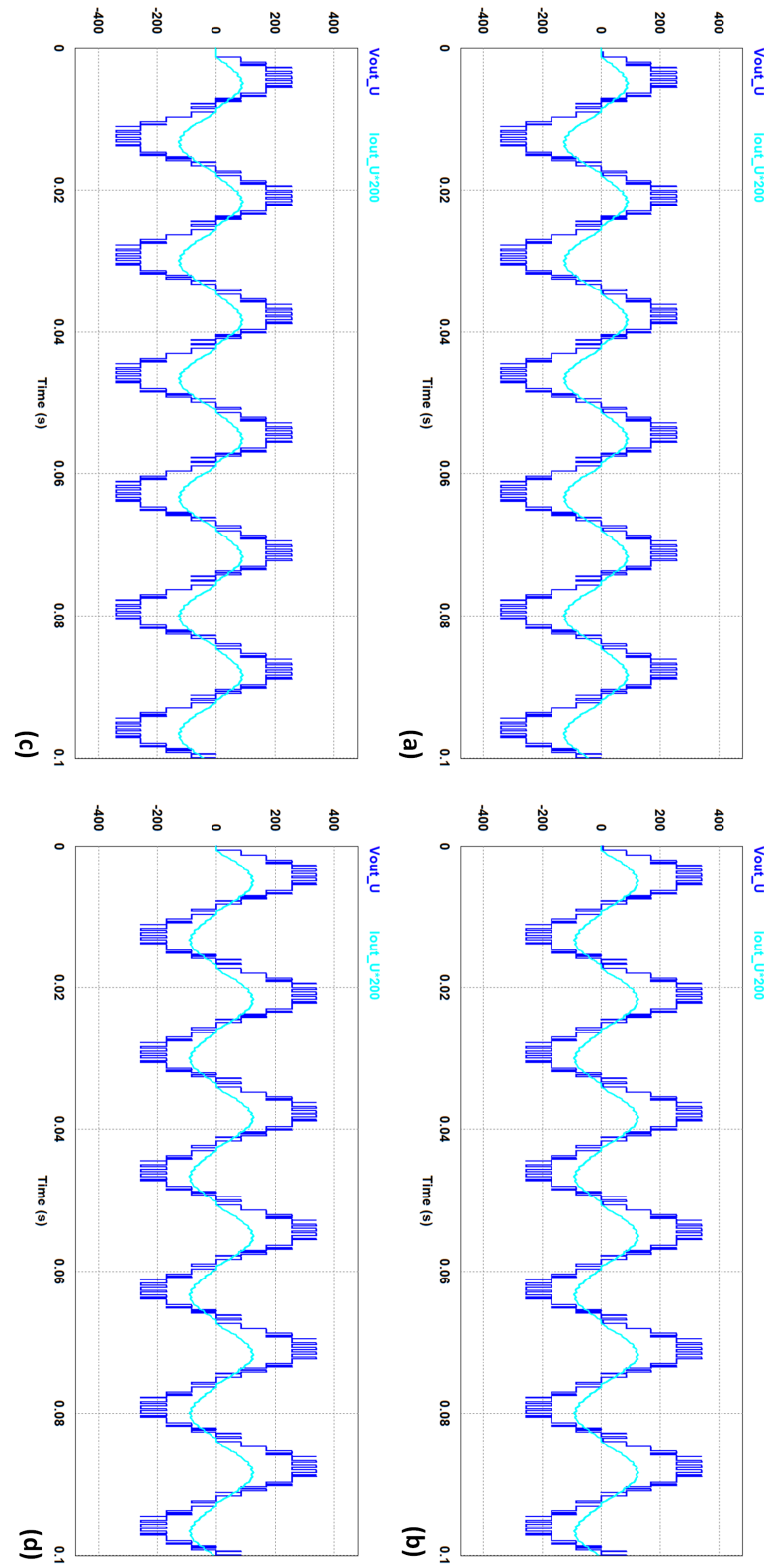
Fonte: Próprio Autor, 2023.

Figura 45 – Formas de onda de tensão (Azul) [100 V/div] e corrente (Ciano) [500mA/div] de saída experimentais para condição de falha dos interruptores: (a) G6, (b) G8, (c) G2 e (d) G4.



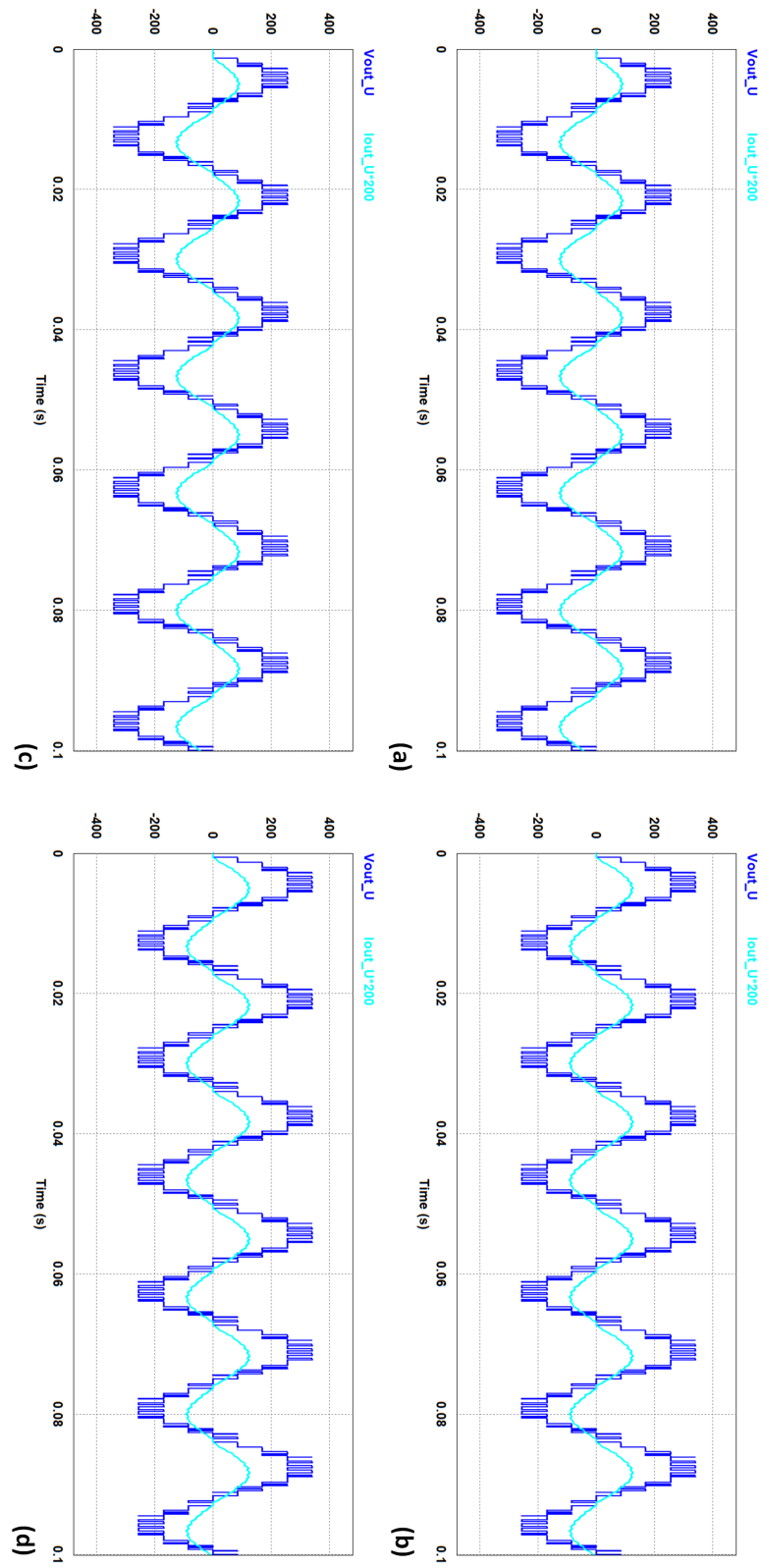
Fonte: Próprio Autor, 2023.

Figura 46 – Formas de onda de tensão (Azul) e corrente (Ciano) de saída via simulação para condição de falha dos interruptores: **(a)** G13, **(b)** G15, **(c)** G9 e **(d)** G11.



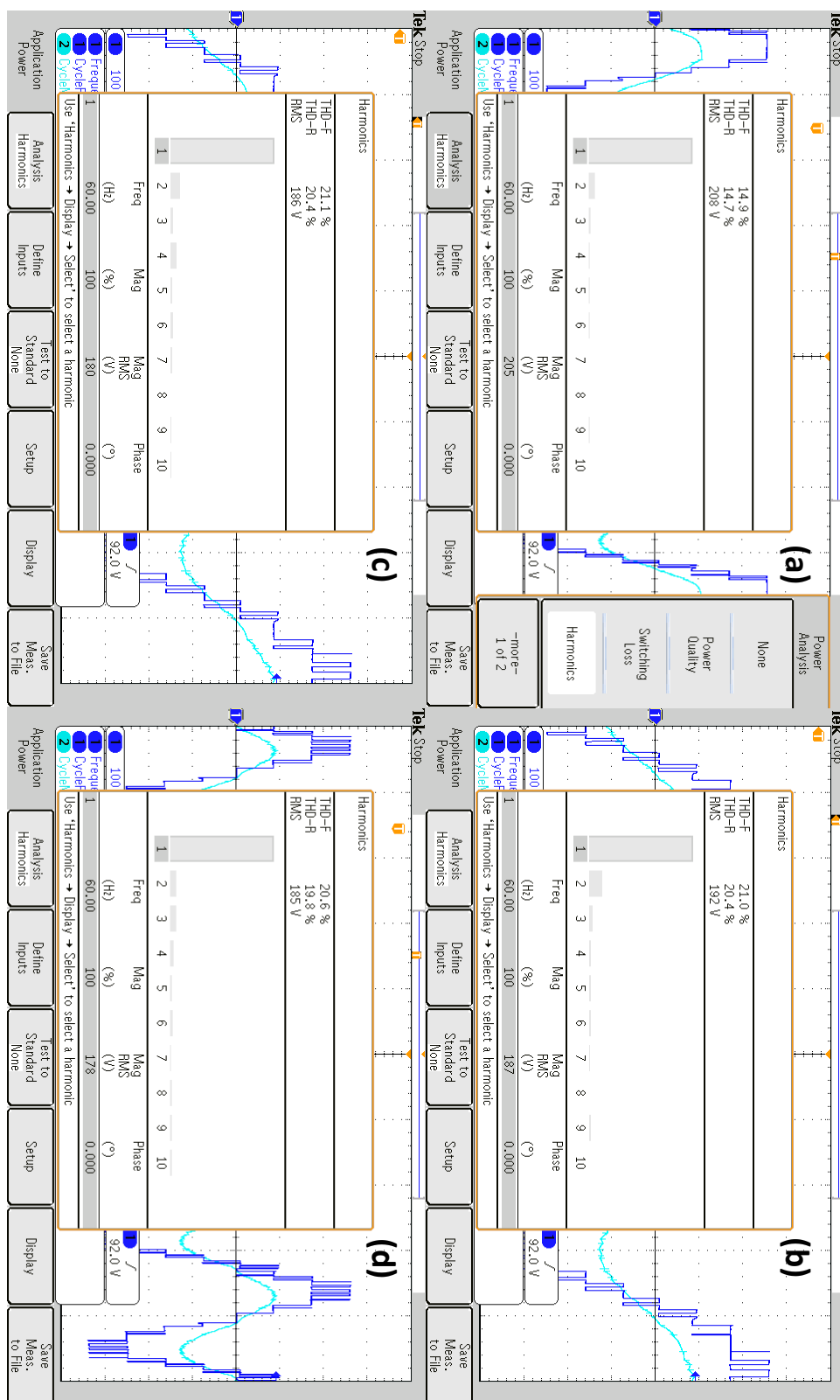
Fonte: Próprio Autor, 2023.

Figura 47 – Formas de onda de tensão (Azul) e corrente (Ciano) de saída via simulação para condição de falha dos interruptores: **(a)** G5, **(b)** G7, **(c)** G1 e **(d)** G3.



Fonte: Próprio Autor, 2023.

Figura 48 – Espectros harmônicos experimentais da tensão de saída para condição de falha dos interruptores: (a) G14, (b) G10, (c) G6 e (d) G2.



Fonte: Próprio Autor, 2023.

4.4 IDENTIFICAÇÃO E CORREÇÃO DAS FALHAS

Os resultados experimentais da técnica de identificação proposta são apresentados na Figura 49 e na Figura 50. Os resultados para os interruptores não testados experimentalmente, pelas limitações de protótipo, são apresentados, via simulação, na Figura 51 e na Figura 52.

Para todas as situações o método se prova eficaz. É possível notar pelos resultados, tanto experimentais quanto de simulação, o tempo total de identificação e correção das falhas diferente para os interruptores de módulos distintos. Para interruptores de módulos inferiores, o tempo de identificação é menor do que para os módulos superiores. Isto acontece pela rotina de teste iniciar o processo por estes módulos.

Para melhor visualização do tempo de identificação, optou-se pela utilização da ferramenta de cursor do osciloscópio. Como base de tempo, utilizou-se o sinal enviado para o circuito de *bypass*, acoplado a uma malha de resistores em configuração R2R. Estes resultados são apresentados na Figura 53.

Como não há um controle preciso do emulador de falhas, não é possível determinar o instante exato em que o módulo entra em falha. Desta maneira, experimentalmente, não é possível identificar o instante em que a falha efetivamente ocorre. Vale salientar também que o momento que o interruptor é danificado não é extremamente de interesse, mas sim o momento em que o mesmo possui comando para comutação, mas não comuta, causando distorção da tensão de saída, efetivamente. Esta situação de falha também pode ocorrer durante o estado ativo do interruptor, o que é, inclusive, mais provável em situações de superaquecimento do componente por sobrecorrente.

A forma de onda do circuito de *bypass*, vista na Figura 53, é interpretada de forma digital. O mesmo possui até 4 degraus, sendo cada um destes degraus diretamente relacionado ao módulo em *bypass*. Quando este valor é nulo, o conversor opera em funcionamento normal.

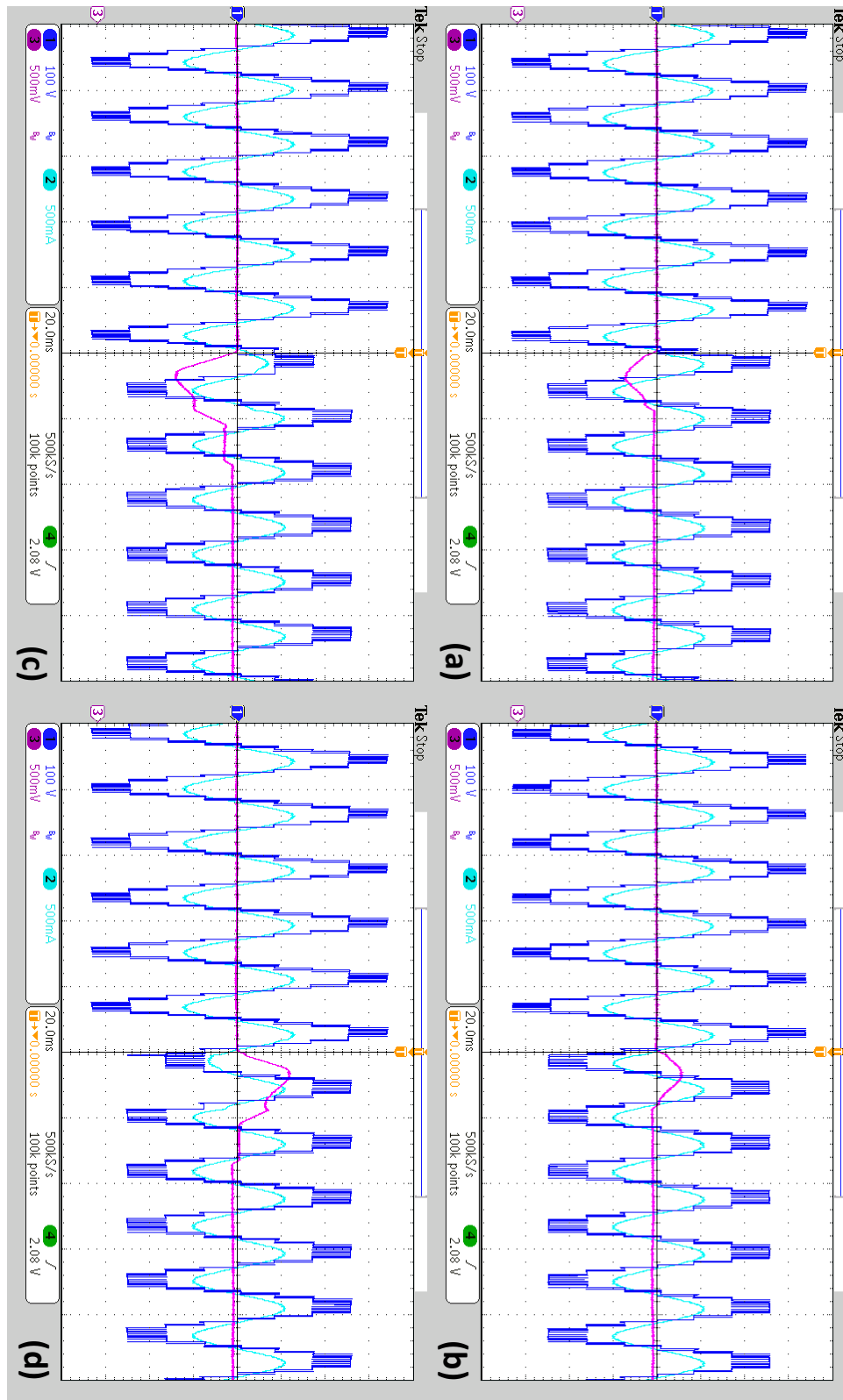
Tomando como referência esta forma de onda do circuito de *bypass* e analisando a forma de onda de tensão de saída antes do *bypass* do módulo 1, é possível considerar que a identificação da falha é praticamente instantânea. Este tempo de identificação pode ser ajustado através dos limites, superior e inferior, do nível c.c. aceito na tensão de saída sem que ocorra a sinalização da condição de falha. Para o protótipo em questão, nestas condições de teste, o valor escolhido é de $\pm 2,5$ V. Este valor é escolhido de maneira empírica para evitar falsas identificações geradas pelos ruídos de medição. Com uma medição e/ou condicionamento mais preciso é possível utilizar valores limítrofes menores e, portanto, diminuir ainda mais o tempo de identificação da falha. Caso opte-se por utilizar um valor limiar maior, para manter a robustez do processo, é preciso apenas respeitar o nível c.c. mínimo gerado pela falha do interruptor de menor impacto.

Desconsiderando então o tempo de identificação da condição de falha, é possível analisar somente os tempos de correção da mesma. Pelos cursores posicionados na Figura 53, é possível notar que estes tempos coincidem com múltiplos do período da tensão de saída. Isto acontece pela estratégia de atraso imposta para estabilização do nível médio calculado pelo FMM. Desta

maneira, o módulo 1 possui tempo de identificação e correção instantânea, já que é o primeiro a ser testado após a inicialização da rotina de testes. Como o nível médio da tensão de saída é nulo após um período completo em que este é acionado, a rotina de testes é finalizada. Para o módulo 2, o tempo de correção é de aproximadamente 16,66 ms, isto é, um período completo. Para os módulos 3 e 4 o tempo de estabilização é de aproximadamente 33,33 ms e 50 ms, respectivamente. Para um sistema de N módulos, portanto, o tempo máximo de correção de uma falha é de $N - 1$ períodos da tensão de saída. Já o tempo médio de identificação das falhas pode ser equacionado como $(N - 1)/2$ períodos da tensão de saída, o que para a aplicação em questão, é de 25 ms.

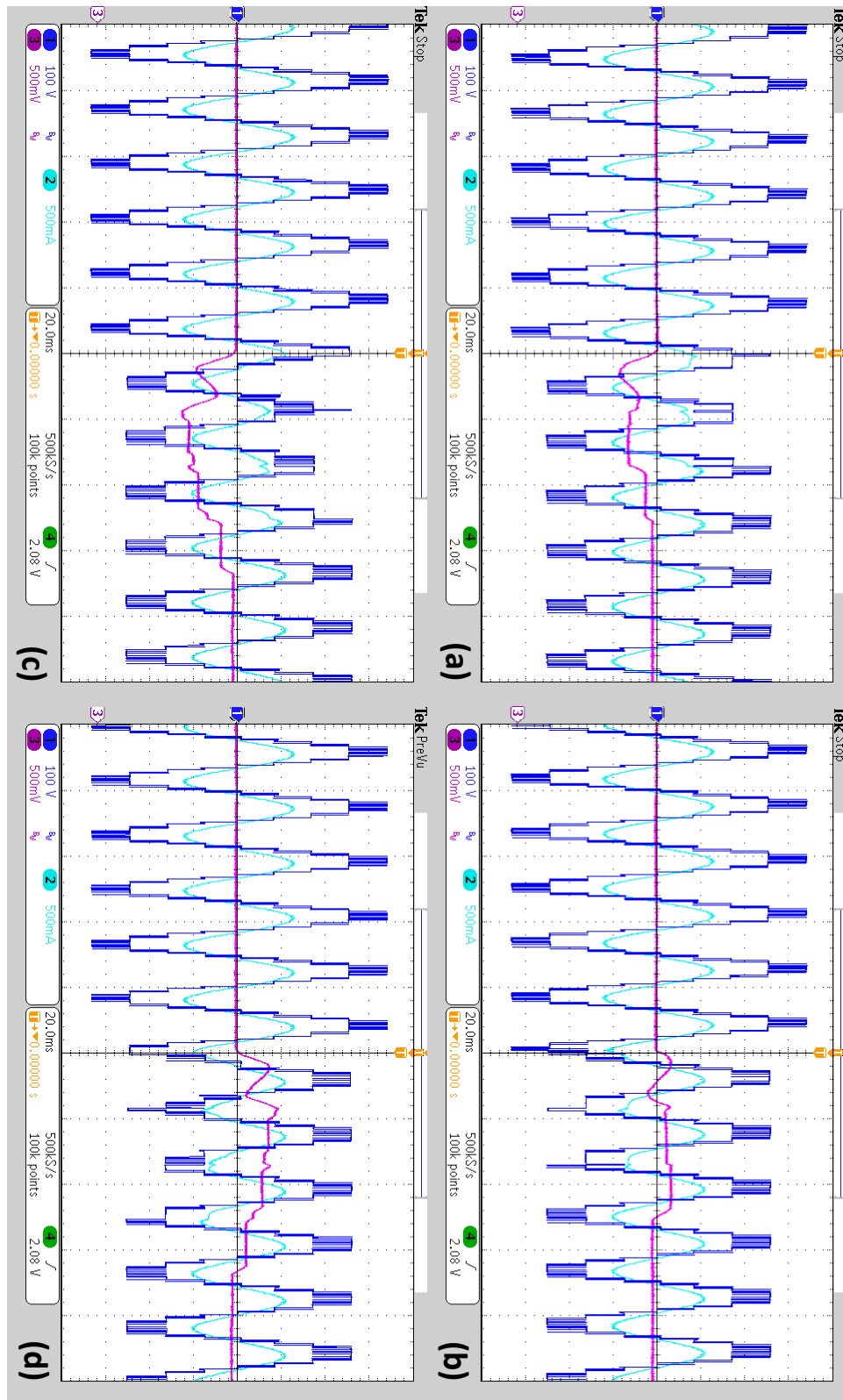
Esta análise é replicada, via simulação, utilizando um conversor MMC nas mesmas configurações, isto é, com quatro módulos por braço e modulação PD-PWM. Os resultados destas simulações são idênticos aos já apresentados para o conversor CHB. Para otimização da leitura do trabalho, optou-se pela apresentação destes resultados no Apêndice D.

Figura 49 – Formas de onda de tensão (Azul) [100 V/div], corrente (Ciano) [500mA/div] e nível c.c. (Rosa) [500 mV/div] de saída experimentais para identificação e correção de falha dos interruptores: (a) G14, (b) G16, (c) G10 e (d) G12.



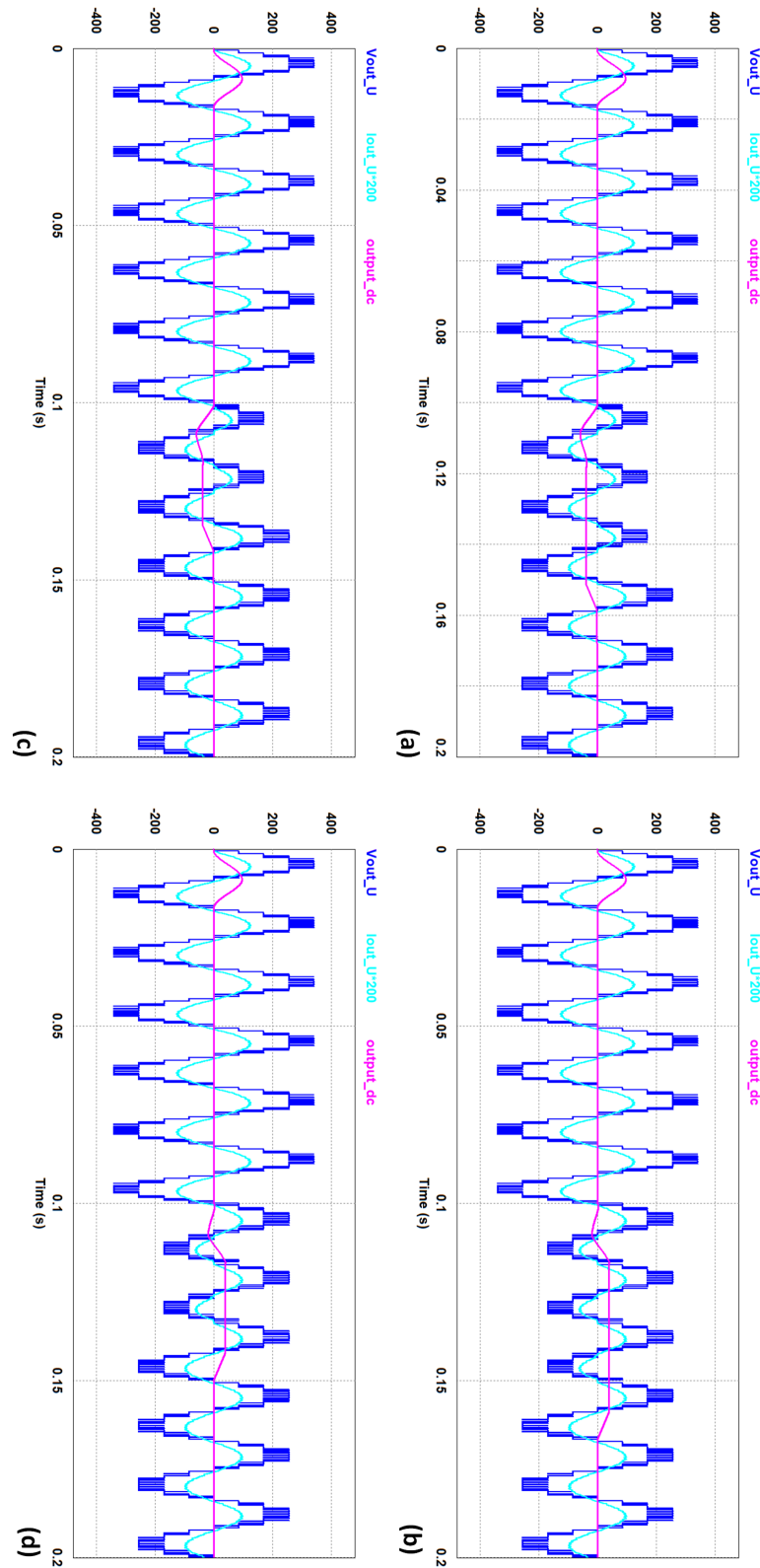
Fonte: Próprio Autor, 2023.

Figura 50 – Formas de onda de tensão (Azul) [100 V/div], corrente (Ciano) [500mA/div] e nível c.c. (Rosa) [500 mV/div] de saída experimentais para identificação e correção de falha dos interruptores: (a) G6, (b) G8, (c) G2 e (d) G4.



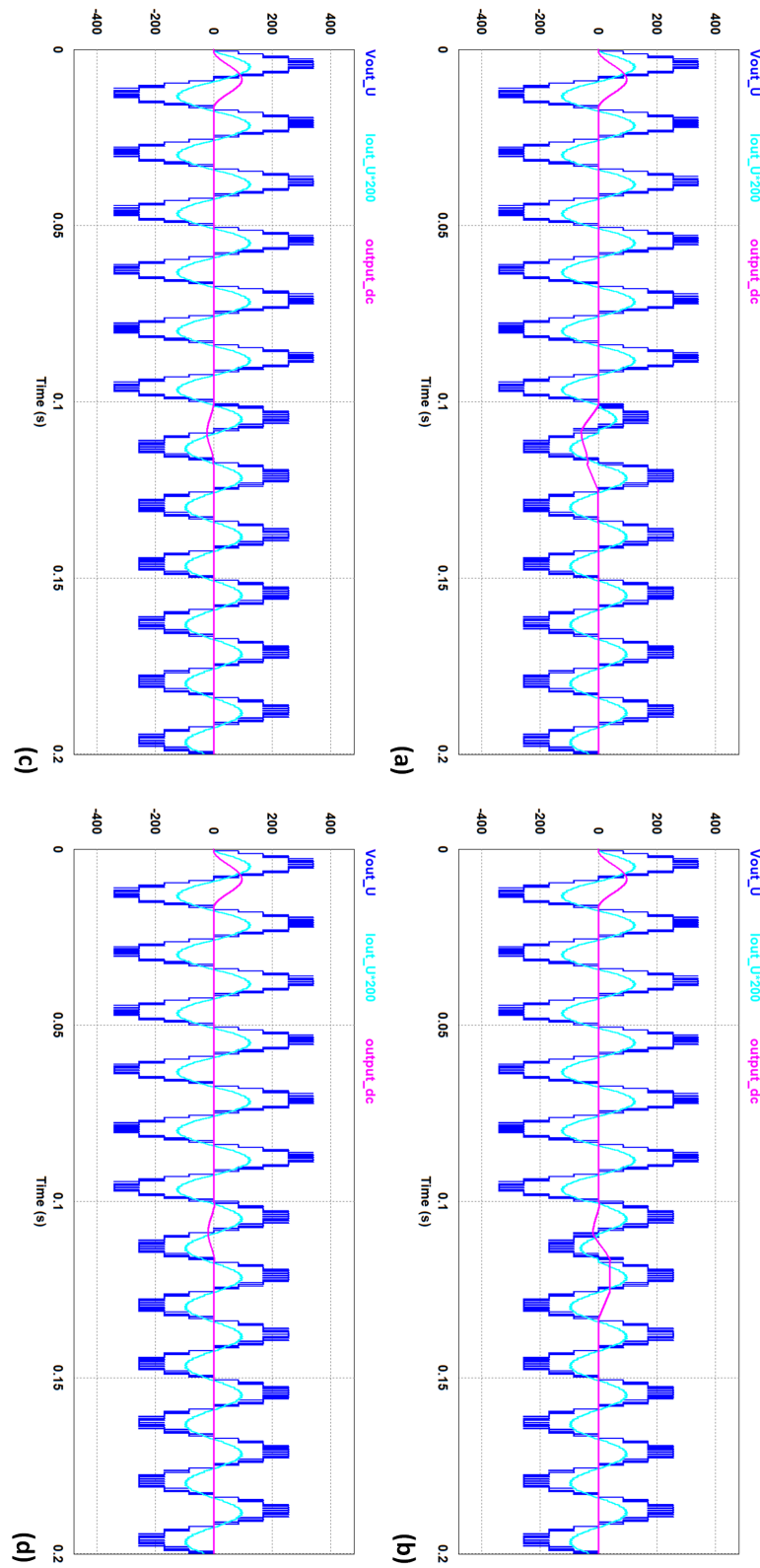
Fonte: Próprio Autor, 2023.

Figura 51 – Formas de onda de tensão (Azul), corrente (Ciano) e nível c.c. (Rosa) de saída via simulação para identificação e correção de falha dos interruptores: **(a)** G13, **(b)** G15, **(c)** G9 e **(d)** G11.



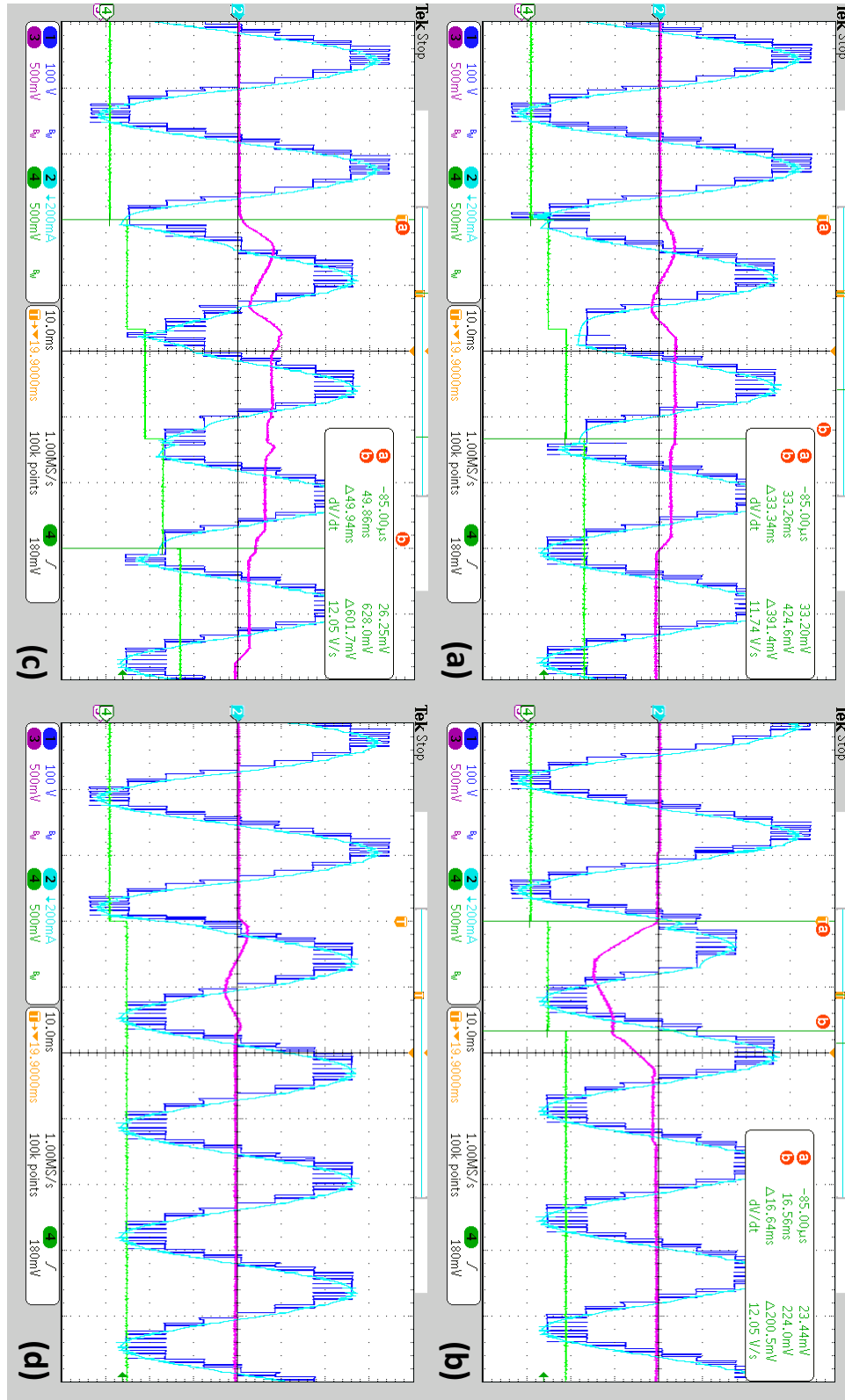
Fonte: Próprio Autor, 2023.

Figura 52 – Formas de onda de tensão (Azul), corrente (Ciano) e nível c.c. (Rosa) de saída via simulação para identificação e correção de falha dos interruptores: **(a)** G5, **(b)** G7, **(c)** G1 e **(d)** G3.



Fonte: Próprio Autor, 2023.

Figura 53 – Formas de onda de tensão (Azul) [100 V/div], corrente (Ciano) [500mA/div] e nível c.c. (Rosa) [500 mV/div] de saída experimentais com identificação do módulo em *bypass* (Verde) [500 mV/div] para identificação e correção de falha dos interruptores: (a) G14, (b) G10, (c) G6 e (d) G2.



Fonte: Próprio Autor, 2023.

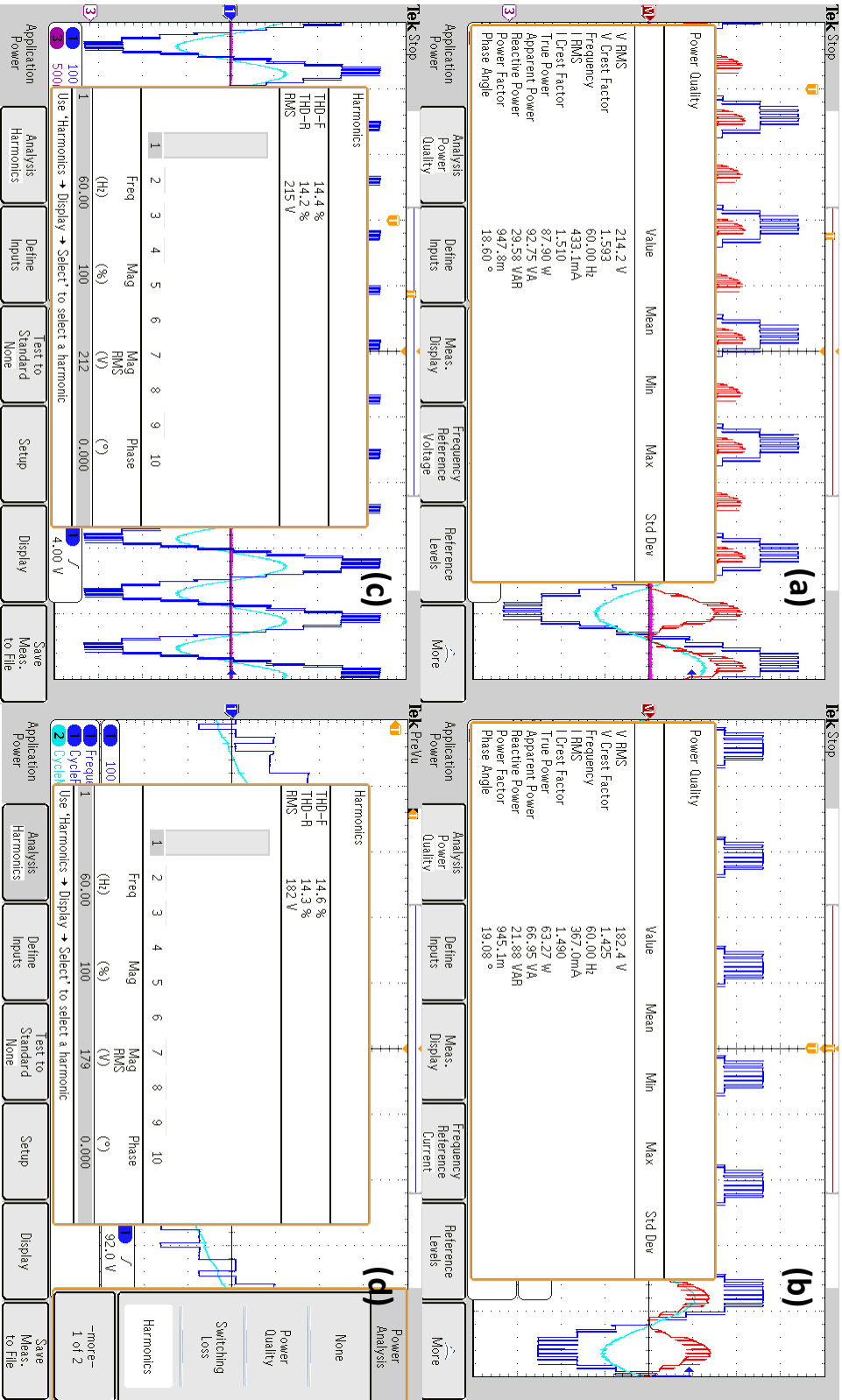
4.5 RESULTADOS QUALITATIVOS - PRÉ E PÓS-FALHA

Para averiguar a eficácia do processo, do ponto de vista de qualidade de energia, são apresentados os resultados qualitativos das formas de onda de tensão e corrente prévios e posteriores a falha. Estas formas de onda são apresentadas na Figura 54.

Na Figura 54 **(a)** e **(c)** são mostrados os resultados em condições normais de funcionamento. Nos itens **(b)** e **(d)** da Figura 54 são apresentados os resultados após a incidência, identificação e correção da falha.

Como a solução proposta limita o índice de modulação, e não há controle de corrente e/ou potência implementado, esta limitação reflete diretamente no processamento de potência do conversor. A tensão eficaz de saída é reduzida em aproximadamente 15 % após a correção. Este valor é referente a limitação do índice de modulação pós-falha. O mesmo é válido para a corrente de saída e a potência processada. Os resultados mais expressivos, entretanto, são a consistência do FP e da THD de saída em ambos os casos. Comprova-se desta maneira, que o processo não afeta os parâmetros de qualidade de energia, conforme esperado.

Figura 54 – Parâmetros qualitativos para formas de onda de tensão e corrente pré ((a) e (c)) e pós ((b) e (d)) falha.



Fonte: Próprio Autor, 2023.

4.6 DEGRAU DE CARGA

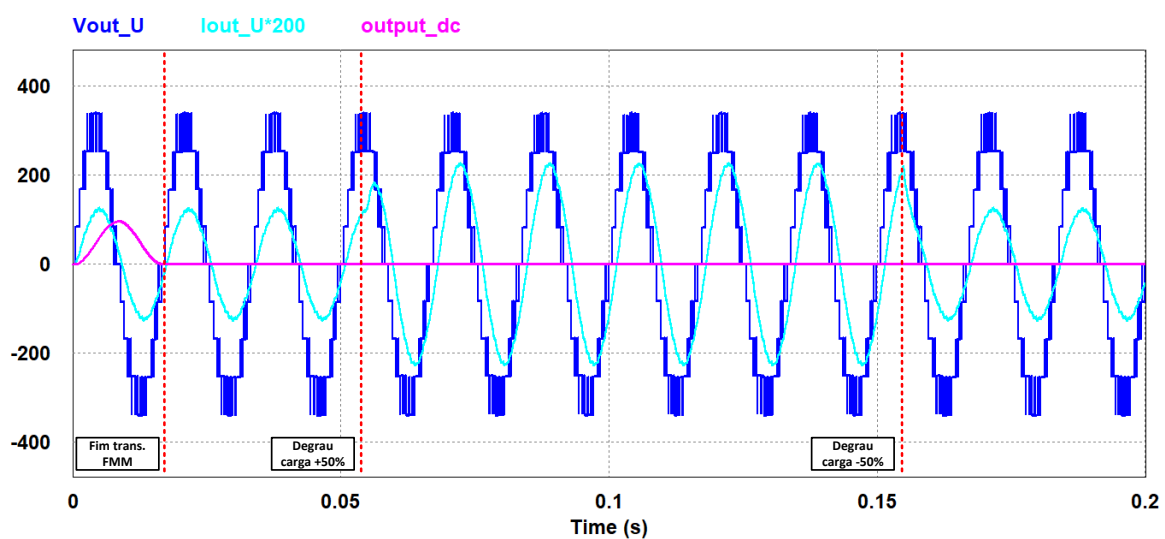
Sabe-se que há uma influência direta da ondulação do nível médio dos barramentos c.c. com variações da carga do conversor. Esta ondulação pode ocasionar falsos positivos da estratégia de identificação de falhas, já que a ondulação c.c. dos barramentos pode acabar refletindo para a tensão de saída.

Afim de determinar a eficácia do método para estas possíveis oscilações, apresentam-se os resultados de simulação para degraus de carga na Figura 55. Nos instantes 0,055 ms e 0,155 ms são aplicados os degraus de carga de +50% e 50%, respectivamente.

As demarcações em vermelho mostram o instante em que as falhas ocorrem. Nota-se que não há oscilação do nível médio calculado pelo FMM. Apesar do degrau de carga ser substancial, a ondulação gerada no barramento c.c. sequer reflete na medição do FMM. Vale salientar que para esta simulação, alterou-se a alimentação dos módulos para um retificador monofásico isolado com filtro capacitivo, emulando as condições experimentais, já que a utilização de fontes c.c. isoladas ideais não apresentaria ondulação.

O valor de capacitância simulado é o mesmo presente no protótipo, 2 mF por módulo. Para a condição de carga simulados o método se mostrou eficiente em minimizar os efeitos dos degraus de carga. Em condições mais limítrofes de capacitância, isto é, operação com maior ondulação de tensão c.c. nos módulos, uma nova análise pode ser feita. Caso o método apresente falsos positivos, nestas novas condições, é possível ajustar os valores limiares para determinação da condição de falha, contornando desta maneira os reflexos da variação da carga.

Figura 55 – Formas de onda de tensão (Azul), corrente (Ciano) [x10] e nível c.c. (Rosa) de saída experimentais para degrau de carga de +50% e -50%.



Fonte: Próprio Autor, 2023.

4.7 FUNCIONAMENTO DO MÉTODO COM BARRAMENTO REDUZIDO

Como o conversor em questão pode estar sendo aplicado em situações de variação de carga, o barramento c.c. pode apresentar oscilações, geradas pela corrente da carga. Utilizando-se de uma retificação passiva, o conversor também pode sofrer oscilações da tensão de alimentação, que acabam refletindo na diminuição do nível c.c. do barramento. Para averiguar a eficácia da metodologia de identificação, mediante estas variações, optou-se pela diminuição do nível c.c. dos barramentos, para parcialmente simular estas situações.

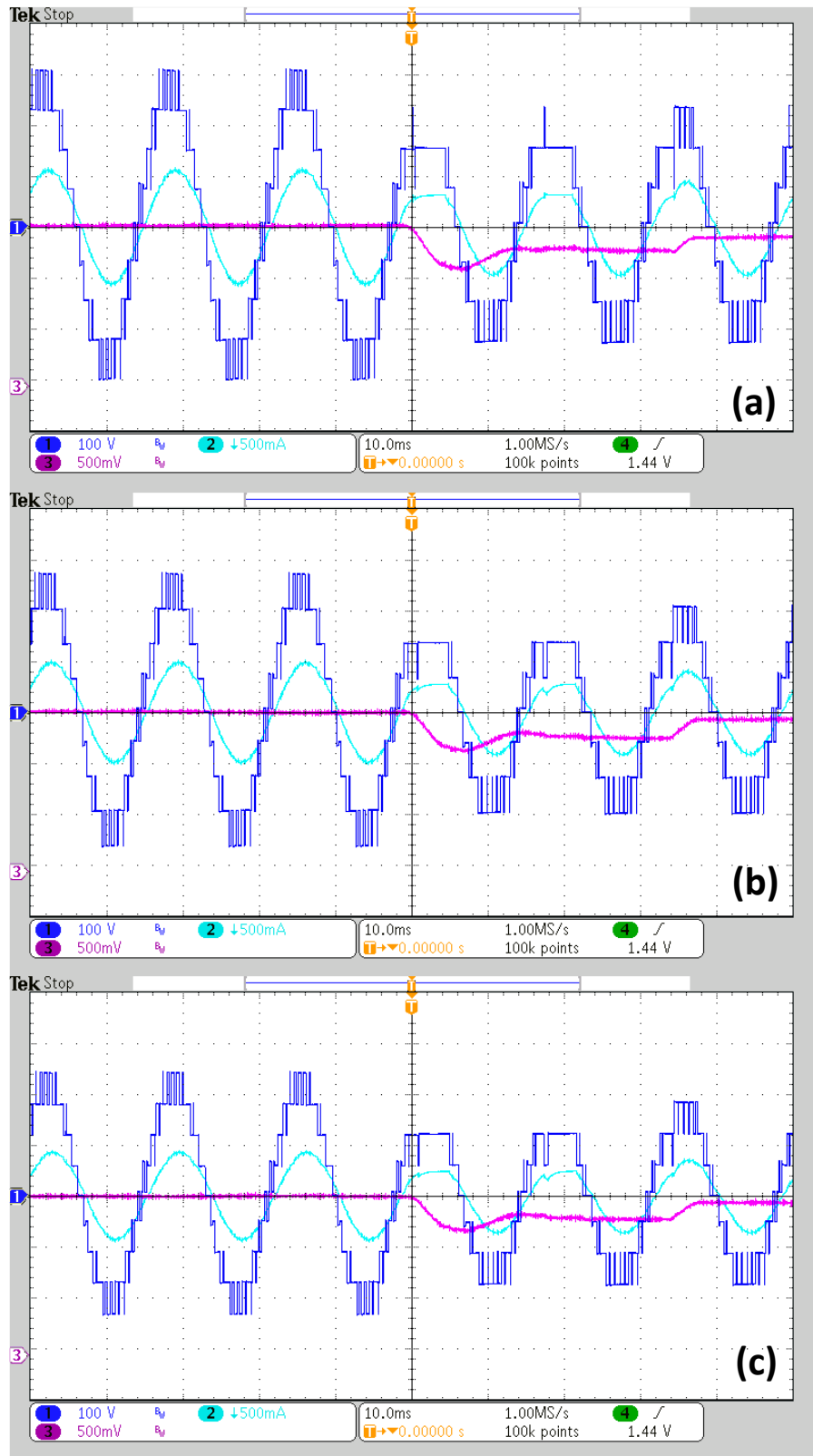
A Figura 56 apresenta os resultados experimentais deste teste. Apresenta-se a identificação e correção de falha no interruptor G10 com os barramentos trabalhando em 0,9 p.u. **(a)**, 0,8 p.u. **(b)** e 0,7 p.u. **(c)** da tensão nominal.

Para todos os resultados apresentados, a metodologia se mostrou eficaz. Para valores menores de barramento, a rotina de testes não é capaz de identificar corretamente o módulo danificado. Isto acontece porque o valor médio gerado na tensão de saída pós-falha é o suficiente para acusar a condição de falha, mas não para sair da rotina de testes de forma correta.

Quando há a limitação do índice de modulação e início da rotina de testes dos módulos, o valor médio aceito na tensão de saída, para utilização da técnica de correção de *bypass*, deve ser ajustado. Isso porque a amplitude da tensão de saída também é limitada, pela diminuição do número de módulos atuantes. Para o protótipo e parâmetros em questão, adotou-se o valor de $\pm 1,5$ V, definido empiricamente. Da mesma maneira que o valor limiar para determinar a condição de falha, este valor pode ser diminuído se utilizada uma medição e/ou condicionamento mais preciso.

Para valores de barramento c.c. menores, entretanto, o valor limite para a identificação da condição de falha pode fazer com que esta sequer seja acusada dependendo do módulo e da posição do interruptor danificado. Caso a condição de falha seja acusada, contudo, a rotina de testes pode ainda, identificar um módulo em falha incorretamente, já que o nível médio gerado na tensão de saída pode ser, possivelmente, menor que o valor limite, mesmo na presença de uma forma de onda assimétrica.

Figura 56 – Identificação de falha no interruptor G10 com barramento reduzido para: (a) 0,9 p.u., (b) 0,8 p.u. e (c) 0,7 p.u.



Fonte: Próprio Autor, 2023.

4.8 REPOSIÇÃO DO MÓDULO DANIFICADO

Os últimos resultados de interesse a se apresentar neste trabalho são os de reposição do módulo danificado. Independente da estratégia escolhida para detecção de falhas e de correção imediata da falha, a reposição do módulo danificado é necessário para todas, afim de restaurar o conversor às condições ideais de funcionamento.

A reposição de módulos danificados para equipamentos de uso industrial pode ser feita através de uma parada agendada de manutenção ou pela substituição sem desligamento do conversor, comumente referida na literatura como *hot swap*. Nesta primeira situação, não existe nenhum desafio tecnológico, já que com o equipamento desligado não há risco de danos aos componentes ou operadores. Para a técnica de *hot swap*, entretanto, alguns itens devem ser analisados.

Se tratando de um equipamento com alto processamento de potência, operando com altos níveis de tensão e corrente, a segurança operacional é provavelmente o maior ponto a ser analisar para aplicação desta metodologia. O contato direto com partes energizadas ou a tentativa de retirada de um módulo que ainda possui corrente circulante do sistema, por exemplo, pode representar um grande risco operacional, já que a alta inércia da corrente de carga pode ocasionar um arco elétrico nos terminais de conexão de saída do módulo.

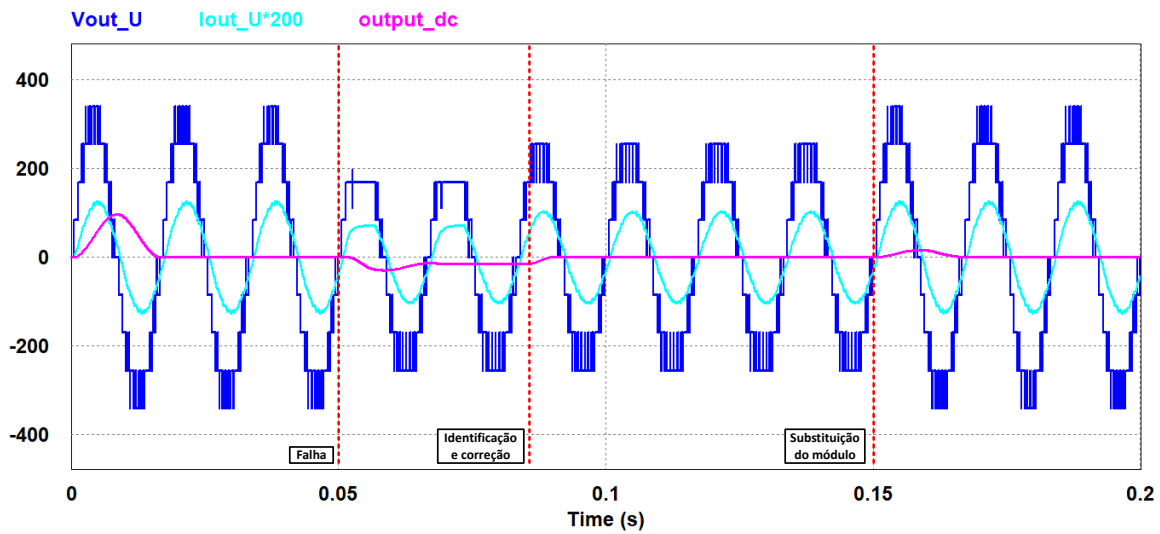
Sendo estes itens apontados de maior interesse tecnológico para aplicações comerciais/industriais, apenas, foca-se neste trabalho na técnica necessária para a reposição do módulo danificado, desconsiderando questões mecânicas e de segurança.

Do ponto de vista eletrônico/controle, a técnica de reposição consiste, simplificada, da operação inversa do fluxograma apresentado na Figura 32. Após inserido o módulo novo na posição do módulo previamente danificado, e feita a carga do barramento c.c. deste, inicia-se o processo de reintegração ao conversor. Faz-se de maneira simultânea a adequação das portadoras juntamente a remoção do *bypass* da posição de interesse. O módulo irá instantaneamente assumir a corrente da carga e, partindo-se para a próxima etapa de ajuste do índice de modulação, irá recomençar o processamento de dois níveis adicionais da tensão de saída. Vale salientar que durante este processo, a rotina de identificação de falhas deve ser desabilitada, já que transitórios de tensão podem acusar condições de falha inadequadas. A rotina pode ser reativada após a completa substituição dos módulos e retomada da condição normal de operação.

Para comprovação desta estratégia, apresentam-se os resultados de simulação da Figura 57. São mostradas nesta figura quatro condições de operação, vistas nesta ordem: operação normal; falha de um dos interruptores; identificação e correção da falha e por fim a substituição do módulo retomando a operação normal. A subdivisão destas condições é representada pela linha pontilhada em vermelho.

As três primeiras etapas seguem o padrão apresentado para os resultados de simulação da estratégia principal deste trabalho. Após correção da falha e estabilização da tensão de saída, aplica-se a substituição do módulo de forma emulada, com a reativação do interruptor danificado.

Figura 57 – Formas de onda de tensão (Azul), corrente (Ciano) [x10] e nível c.c. (Rosa) de saída experimentais para reposição do módulo danificado.



Fonte: Próprio Autor, 2023.

Nota-se a presença de um transitório do nível médio visto pelo FMM, reflexo da adição imediata de dois níveis adicionais da tensão de saída, reforçando a necessidade de desativação da rotina de identificação/correção de falhas durante este processo.

4.9 CONSIDERAÇÕES E DISCUSSÕES

Neste capítulo são apresentados os resultados experimentais e de simulação para o método de identificação de falhas em circuito aberto proposto. Foram descritas as situações de simulação e protótipo, com descrição de cada placa e circuito utilizado e confeccionados exclusivamente para esta aplicação. Além disto são descritos os padrões de cor das formas de onda utilizados, para facilitar a interpretação dos resultados.

São apresentados os resultados em funcionamento normal do conversor com uma comparação entre o modelo de bancada e a simulação, afim de confirmar a eficácia do protótipo em replicar a situação teórica. Desta forma, são mostradas algumas limitações de bancada, como a presença do tempo-morto feito de forma analógica e o atraso de comutação dos interruptores de diferentes módulos, que acabam por gerar um nível médio intrínseco à tensão de saída. Além disto é apresentada a presença de assimetria de quarto de onda, gerada pela relação de frequência de comutação e de saída, e comprovada a não influência desta situação para o teste em questão.

Os resultados de falhas nos interruptores são apresentados mesclando resultados experimentais e de simulação. Isto se deve pela limitação de protótipo de acionamento dos interruptores em braço utilizando CIs de *bootstrap*, que impossibilitam a emulação de falhas dos interruptores inferiores dos módulos. É comprovada a eficácia do emulador de falhas confeccionado e os resultados de nível médio, analisados previamente, via simulação, no Capítulo 3.

Os principais resultados da atuação da identificação e correção da falha foram mostrados em seguida. Pelo mesmo motivo citado anteriormente, os resultados mesclam experimentação e simulação. Os resultados são apontando o tempo de identificação e correção e as situações que influenciam nestes valores.

Tal qual, são mostrados, também, os resultados qualitativos das formas de onda de tensão e corrente de saída prévios e pós correção da falha, para demonstrar a eficácia da técnica em não prejudicar os parâmetros de qualidade de energia destes sinais. Mostra-se os reflexos de degraus de carga, que acabam por não influenciar na técnica, através de possíveis falsos positivos da identificação de uma condição de falha.

A técnica de identificação é replicada para situações de barramento c.c. reduzido, afim de testar a eficácia e limitação de trabalho para situações de oscilação de carga ou de alimentação do conversor. Por fim, apresenta-se também uma estratégia simplificada de reposição do módulo danificado, retomando a operação normal do conversor, com apresentação de resultados de simulação desta estratégia.

A partir destes resultados é possível comprovar a eficiência do método para o protótipo e condições de teste propostos. São validadas todas as técnicas e formas de onda simuladas, sendo levantadas até mesmo outras situações de limitação experimentais não previamente analisadas, como a presença de nível médio intrínseco a tensão de saída, precisão do processo de medição e condicionamento do sinal e necessidade de acionamento isolado de todos os interruptores para emulação da situação de falha em bancada.

5 CONCLUSÕES

Esta dissertação apresentou a proposta de identificação de falhas de interruptores em circuito aberto para conversores modulares. O método proposto possui total flexibilidade para utilização nos conversores modulares mais comuns para aplicações em setores essenciais, que necessitam de alta robustez e confiabilidade. Os conversores explorados foram o CHB e o MMC sob funcionamento em estratégias de modulação diversas.

Abordou-se os tipos de falhas possíveis para estes conversores, com ênfase para as falhas em circuito aberto, explorando as principais dificuldades da indústria quanto aos reflexos destas falhas para a carga e a importância da identificação e correção rápida das mesmas. Com uma tensão de saída com alta carga harmônica ou nível médio relevante, as cargas podem apresentar mau funcionamento, em especial as que se utilizam de transformadores, como é o caso de aplicações para HVDC, no qual o mesmo é exposto a saturação do magnético, ou de cargas rotativas, como acionamento de motores, no qual o equipamento pode, além de sofrer com a saturação do magnético, apresentar reflexos mecânicos de trepidação.

As estratégias de identificação já exploradas pela literatura foram analisadas em seguida. Estas estratégias se utilizam de uma análise da tensão e/ou corrente do conversor, em especial os sinais de saída, sejam de fase, para aplicações monofásicas, ou de linha, para aplicações trifásicas. Dentre as técnicas analisadas e as demais técnicas apenas brevemente explicadas foi possível visualizar a dificuldade de padronização destas estratégias. A maioria destas possuem alguma limitação intrínseca, seja pela necessidade de uma topologia específica, da modulação exclusiva ou a necessidade instalação de algum sensoramento adicional apenas para emprego da técnica de identificação de falha.

Com base nestas análises, foi proposta a criação de uma metodologia de identificação, que possa ser utilizada em múltiplas topologias modulares e com uma estratégia de modulação genérica. Não é de interesse a instalação de sensoramento extra para aplicação da técnica e nem que a estratégia seja sensível as condições de carga. Desta maneira, opta-se pela leitura e condicionamento apenas da tensão de saída do conversor.

Para aplicação desta metodologia, foram analisados os padrões harmônicos da tensão de saída para a falha individual em circuito aberto dos interruptores. Múltiplas estratégias de modulação foram simuladas, afim de determinar alguma distinção neste sinal que pudesse apontar diretamente para o módulo e/ou interruptor em falha. Para esta análise tomou-se como base a topologia CHB monofásica com quatro módulos por fase. Não se obteve nenhum resultado significativo para esta análise que determinasse o módulo em falha de forma direta, para o sinal analisado. Concluiu-se, entretanto, que, para todas as situações de falha analisadas, um nível médio considerável aparece na tensão de saída, o que pode ser tomado como indicativo para determinar uma condição de falha e, a partir deste sinal, adotar uma rotina de teste capaz de determinar indiretamente o módulo danificado.

Para a leitura e condicionamento do nível médio da tensão de saída, apresenta-se a

estrutura de um filtro média móvel, capaz de identificar instantaneamente a presença de um nível médio neste sinal. É explicado o seu funcionamento, com validação digital via simulação utilizando o *software* PSIM.

A rotina de testes, já mencionada, opera em conjunto com a estratégia de correção da falha. Desta forma, foram apresentadas as estratégias já adotadas pela literatura, com pontuação dos prós e contras destas. Dentre as estratégias de correção apresentadas, optou-se pela praticidade e viabilidade de implementação do módulo de *bypass* com limitação do índice de modulação.

Também foi apresentada a lógica da rotina de testes proposta, já definidas as condições que levam a determinação da falha e também a metodologia de correção a ser adotada. O processo se inicia com a limitação do índice de modulação máximo, que indiretamente acaba eliminando o processamento de potência de um dos módulos do conversor. Este módulo é então exposto ao *bypass* externo e são feitas as adequações das portadoras para que os módulos remanescentes continuem efetuando a comutação adequada da topologia e o módulo sobre *bypass* seja o mesmo que não processe potência. É imposto um atraso após estas atuações, para que o FMM consiga estabilizar o cálculo do novo nível médio, e o processo é reiniciado, com a nova leitura do nível médio da tensão de saída. Caso o conversor ainda esteja em falha, isto é, ainda haja nível médio na tensão de saída, a rotina seguinte retira o *bypass* do módulo atual e aplica este no módulo seguinte, novamente readequando as portadoras. Este processo se repete até que a condição de falha seja sanada.

A verificação prática do conversor, condição de falhas e a metodologia de identificação e correção de falhas foi executada em um protótipo em laboratório com ambiente controlado. São apresentadas as condições de funcionamento normal do equipamento, afim de validar o protótipo. Em seguida são validadas as condições de falha, para análise do padrão harmônico, previsto via simulação e os periféricos necessários para emulação destas situações.

A identificação e correção das falhas foi validada com sucesso, mesclando resultados experimentais e de simulação, vide limitações de protótipo não previstas. Esta metodologia foi também adequada para simular situações de oscilação (degrau) de carga e de alimentação, também obtendo sucesso para valores reduzidos de tensão de barramento c.c., além de uma estratégia simplificada de reposição do módulo danificado e retomada da operação normal do conversor.

Como o método é independente da topologia multinível utilizada e da modulação aplicada, o mesmo se mostra como uma estratégia simples e eficaz de ser replicada em quaisquer futuros trabalhos. A taxa de acerto quanto do módulo danificado é estritamente dependente do número de módulos e a precisão da medição e do condicionamento do sinal de tensão de saída. Quanto maior o número de módulos, menor o nível médio na tensão de saída e, portanto, melhor qualidade de condicionamento do sinal é requisitada.

Com relação ao tempo de identificação, não há uma padronização metodológica de testes dos métodos pela literatura. Isto é, não é possível comparar o tempo de identificação apresentado neste trabalho, que possui apenas quatro módulos por fase, com metodologias que apresentam

diferentes número de módulos e/ou possuem taxa de acerto do módulo danificado, inferior. Entretanto, é fácil afirmar que esta técnica possui deficiência para aplicação com um número elevado de módulos. Tanto o tempo de identificação, que é diretamente relacionado ao número de módulos, quanto a taxa de acerto são prejudicadas pelo aumento do número de módulos, vide os motivos já mencionados.

A grande vantagem desta proposta é sua universalidade e sua fácil implementação, com um tempo de identificação competitivo se comparado às estratégias apresentadas. Para aplicações com número de módulos por braço igual ou inferior a 11, o tempo médio de identificação da falha é de aproximadamente 100 ms, sendo equivalente a outras estratégias apresentadas.

5.1 SUGESTÕES PARA DA TRABALHOS FUTUROS

Ao decorrer do desenvolvimento deste trabalho foram identificados pontos de interesse para continuação da pesquisa, os quais estão listados abaixo:

- Aplicação do método de identificação e correção utilizando outras estratégias de modulação, comprovando-as experimentalmente;
- Comprovação experimental da técnica utilizando a topologia MMC, afim de encontrar possíveis limitações de bancada que impeçam a eficácia da mesma nesta topologia;
- Utilização de outras metodologias de correção que possam afetar o desempenho do método, tanto do ponto de vista de taxa de acerto quanto no tempo de identificação;
- Análise de desempenho da condição de falha e do tempo transitório de identificação da falha para cargas rotativas, analisando os danos que a deficiência do sinal de tensão assimétrico pode causar nestes equipamentos;
- Implementação da alternância de portadoras entre os módulos para equilíbrio do processamento de potência utilizando a modulação PD-PWM e o reflexo desta para o método proposto;
- Aplicação de uma estratégia de controle de tensão e/ou corrente de saída do conversor em paralelo ao funcionamento da metodologia de identificação de falhas, para analisar as limitações ou efeitos correlato destas técnicas;
- Inversão em tempo real do comparador do modulador para possibilitar a leitura de todos os níveis médios dos módulos e determinar de forma direta o interruptor danificado, sem necessidade da aplicação da rotina de testes.
- Otimização do processo de identificação do módulo sob falha através de alguma técnica adicional, como redes neurais, ou através da utilização de mais informações harmônicas da tensão de saída. faltou ainda

- Análise teórica e matemática do nível médio gerado por cada interruptor/módulo em falha.
- Estudo de uma evolução da técnica com *bypass* em múltiplos módulos, para viabilização da detecção e identificação da falha em conversores com $N > 20$ módulos.

REFERÊNCIAS

- ANAND, Anjali et al. An open switch fault detection strategy using mean voltage prediction for cascaded h-bridge multilevel inverters. In: **2018 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)**. [S.l.: s.n.], 2018. p. 1–5. Citado na página 37.
- ANAND, Anjali et al. Open switch fault detection in cascaded h-bridge multilevel inverter using normalised mean voltages. In: **2016 IEEE 6th International Conference on Power Systems (ICPS)**. [S.l.: s.n.], 2016. p. 1–6. Citado 2 vezes nas páginas 37 e 52.
- ANDRADE, L. de; LEÃO, T. Ponce de. A brief history of direct current in electrical power systems. In: **2012 Third IEEE HISTory of ELection-technology CONFERENCE (HISTELCON)**. [S.l.: s.n.], 2012. p. 1–6. Citado na página 19.
- ATTAIANESE, C.; CAPRARO, D.; TOMASSO, G. A low cost digital svm modulator with dead time compensation. In: **2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No.01CH37230)**. [S.l.: s.n.], 2001. v. 1, p. 158–163 vol. 1. Citado na página 40.
- BARBI, I. **Eletrônica de Potência**. [S.l.]: Edição do autor, 2012. Citado na página 18.
- BATSCHAUER, A. L. Aula 11 - síntese de formas de onda multiníveis quase quadradas. Unpublished. 2015. Citado na página 22.
- BRANDO, G. et al. Quick identification technique of fault conditions in cascaded h-bridge multilevel converters. In: **2007 International Aegean Conference on Electrical Machines and Power Electronics**. [S.l.: s.n.], 2007. p. 491–497. Citado 4 vezes nas páginas 40, 41, 43 e 51.
- CALAIS, M.; BORLE, L.J.; AGELIDIS, V.G. Analysis of multicarrier pwm methods for a single-phase five level inverter. In: **2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No.01CH37230)**. [S.l.: s.n.], 2001. v. 3, p. 1351–1356 vol. 3. Citado na página 70.
- CALLAVIK, Magnus. HvdC interconnectors enable a stronger smarter and greener grid. **ABB Conversations**, 2017. Citado na página 21.
- CUNICO, Lucas M et al. Parameters design for modular multilevel converter (mmc). In: **2013 Brazilian Power Electronics Conference**. [S.l.: s.n.], 2013. p. 264–270. Citado na página 114.
- DENG, Yi et al. A simplified space vector modulation scheme for multilevel converters. **IEEE Transactions on Power Electronics**, v. 31, n. 3, p. 1873–1886, 2016. Citado na página 40.
- GENG, Zhi et al. A currentless multiple switch open-circuit faults diagnosis strategy for modular multilevel converter with nearest level modulation in hvdc system. **CSEE Journal of Power and Energy Systems**, p. 1–11, 2022. Citado na página 39.
- GHAZANFARI, Amin; MOHAMED, Yasser Abdel-Rady I. A resilient framework for fault-tolerant operation of modular multilevel converters. **IEEE Transactions on Industrial Electronics**, v. 63, n. 5, p. 2669–2678, 2016. Citado 6 vezes nas páginas 11, 23, 35, 36, 37 e 55.
- GUO, Jingli et al. Reliability modeling and evaluation of vsc-hvdc transmission systems. In: **2014 IEEE PES General Meeting Conference & Exposition**. [S.l.: s.n.], 2014. p. 1–5. Citado na página 22.

HE, JiangBiao; YANG, Qichen; WANG, Zheng. On-line fault diagnosis and fault-tolerant operation of modular multilevel converters — a comprehensive review. **CES Transactions on Electrical Machines and Systems**, v. 4, n. 4, p. 360–372, 2020. Citado na página 22.

HOCK, R.T. **Conversor Cascata Interconectado para Compensação de Corrente em Redes de Distribuição**. Tese (Doutorado) — Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação em Engenharia Elétrica, Joinville - SC, 2020. Citado 5 vezes nas páginas 61, 62, 64, 65 e 66.

IEA. Electricity information: Overview. Unpublished. 2021. Citado 2 vezes nas páginas 18 e 19.

KIMBARK, E.W. **Direct Current Transmission**. [S.l.]: Wiley Interscience, 1971. Citado na página 17.

KIRANYAZ, Serkan et al. Real-time fault detection and identification for mmc using 1-d convolutional neural networks. **IEEE Transactions on Industrial Electronics**, v. 66, n. 11, p. 8760–8771, 2019. Citado 2 vezes nas páginas 35 e 36.

KUMAR, Mayank. Time-domain characterization and detection of open-circuit faults for the h-bridge power cell. **IEEE Transactions on Power Electronics**, v. 37, n. 2, p. 2152–2164, 2022. Citado na página 41.

LAMBERT, Gustavo et al. Insulated modular auxiliary power source concept with multiple outputs. **Brazilian Journal of Power Electronics**, SOBRAEP, v. 24, n. 2, p. 139–146, 2019. ISSN 1414-8862. Citado na página 64.

LEZANA, Pablo et al. Survey on fault operation on multilevel inverters. **IEEE Transactions on Industrial Electronics**, v. 57, n. 7, p. 2207–2218, 2010. Citado na página 56.

LOBENSTEIN, Robert W.; SULZBERGER, Carl. Eyewitness to dc history. **IEEE Power and Energy Magazine**, v. 6, n. 3, p. 84–90, 2008. Citado na página 17.

LU, Bin; SHARMA, Santosh K. A literature review of igbt fault diagnostic and protection methods for power inverters. **IEEE Transactions on Industry Applications**, v. 45, n. 5, p. 1770–1777, 2009. Citado 3 vezes nas páginas 29, 30 e 41.

MAHARJAN, Laxman et al. Discussions on fault-tolerant operation of modular multilevel converters using mechanical bypass switches. In: **2021 23rd European Conference on Power Electronics and Applications (EPE'21 ECCE Europe)**. [S.l.: s.n.], 2021. p. P.1–P.9. Citado na página 23.

MCNICHOL, T. **AC/DC: The Savage Tale of the First Standards War**. [S.l.]: Wiley, 2011. ISBN 9781118047026. Citado na página 17.

MENDES, A.M.S.; CARDOSO, A.J. Marques. Voltage source inverter fault diagnosis in variable speed ac drives, by the average current park's vector approach. In: **IEEE International Electric Machines and Drives Conference. IEMDC'99. Proceedings (Cat. No.99EX272)**. [S.l.: s.n.], 1999. p. 704–706. Citado na página 40.

MENDES, A.M.S.; CARDOSO, A.J. Marques. Voltage source inverter fault diagnosis in variable speed ac drives, by the average current park's vector approach. In: **IEEE International Electric Machines and Drives Conference. IEMDC'99. Proceedings (Cat. No.99EX272)**. [S.l.: s.n.], 1999. p. 704–706. Citado na página 40.

MUKHERJEE, Suvajit; ZAGRODNIK, Michael Adam; WANG, Peng. Fast fault detection of open power switch in cascaded h-bridge multilevel inverters. In: **2016 IEEE Transportation Electrification Conference and Expo (ITEC)**. [S.l.: s.n.], 2016. p. 1–5. Citado 5 vezes nas páginas 11, 37, 38, 39 e 55.

NEVES, Francisco A. S. et al. A generalized delayed signal cancellation method for detecting fundamental-frequency positive-sequence three-phase signals. **IEEE Transactions on Power Delivery**, v. 25, n. 3, p. 1816–1825, 2010. Citado na página 108.

PANTUZA, G. Ring buffer ou buffer circular. In: . [S.l.: s.n.], 2021. Citado na página 54.

POPOVA, Liudmila et al. Stray inductance estimation with detailed model of the igbt module. In: **2013 15th European Conference on Power Electronics and Applications (EPE)**. [S.l.: s.n.], 2013. p. 1–8. Citado na página 26.

QU, Xiangshuai et al. Deep convolution neural network based fault detection and identification for modular multilevel converters. In: **2018 IEEE Power & Energy Society General Meeting (PESGM)**. [S.l.: s.n.], 2018. p. 1–5. Citado na página 35.

RAHIMPOUR, Saeed et al. An overview of lifetime management of power electronic converters. **IEEE Access**, v. 10, p. 109688–109711, 2022. Citado na página 29.

ROTHENHAGEN, K.; FUCHS, F.W. Performance of diagnosis methods for igbt open circuit faults in voltage source active rectifiers. In: **2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)**. [S.l.: s.n.], 2004. v. 6, p. 4348–4354 Vol.6. Citado na página 41.

ROTHENHAGEN, K.; FUCHS, F.W. Performance of diagnosis methods for igbt open circuit faults in three phase voltage source inverters for ac variable speed drives. In: **2005 European Conference on Power Electronics and Applications**. [S.l.: s.n.], 2005. p. 10 pp.–P.7. Citado na página 41.

SINGH, Vijay Kumar et al. Active power balance in cascaded multilevel converter under bipolar and unipolar modulation. In: **2012 Students Conference on Engineering and Systems**. [S.l.: s.n.], 2012. p. 1–6. Citado na página 34.

SINHA, Y.; NAMPALLY, A. Modular multilevel converter modulation using fundamental switching selective harmonic elimination method. In: **IEEE International Conference on Renewable Energy Research and Applications (ICRERA)**. [S.l.: s.n.], 2016. p. 736–741. Citado 3 vezes nas páginas 40, 43 e 44.

SOUZA, H.F. **Inversor ponte completa para utilização como submódulo de conversores modulares multiníveis acionado por FPGA**. 119 p. Monografia (T.C.C.) — Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Joinville, 2017. Citado na página 66.

SOUZA, H. E. P. **Uma abordagem vetorial para detecção em tempo real de componentes harmônicas de sequência positiva e negativa em sinais trifásicos**. Tese (Tese) — Universidade Federal de Pernambuco, 2012. Citado na página 108.

SUPPLIER. **Driver - DRM100D80A**. [S.l.], S.I. Citado na página 30.

TESLA, Nikola. Original tesla induction motor. Unpublished. 1887. Citado na página 18.

THOMAS, L.S.; STANBURY, E.J. **DETECTION AND MEASUREMENT OF A DC COMPONENT IN AN AC WAVEFORM**. [S.l.]: United States Patents, 1991. US Patent 5,055,773. Citado na página 53.

VALLEPALLI, Sri Srujan; RAJENDRAN, Madan Mohan. Image de-noising using mean pixel algorithms corrupted with photocopier noise. In: **2012 19th International Conference on Systems, Signals and Image Processing (IWSSIP)**. [S.l.: s.n.], 2012. p. 530–535. Citado na página 52.

VAVILOV, M. L. Pessoas da ciência russa: Ensaio sobre figuras destacadas em ciência natural e tecnologia. Unpublished. 1945. Citado na página 17.

WANG, Huai; BLAABJERG, Frede. Reliability of capacitors for dc-link applications in power electronic converters—an overview. **IEEE Transactions on Industry Applications**, v. 50, n. 5, p. 3569–3578, 2014. Citado na página 29.

WANG, Huai; LISERRE, Marco; BLAABJERG, Frede. Toward reliable power electronics: Challenges, design tools, and opportunities. **IEEE Industrial Electronics Magazine**, v. 7, n. 2, p. 17–26, 2013. Citado na página 29.

WANG, Hualei; REDFERN, M.A. The advantages and disadvantages of using hvdc to interconnect ac networks. In: **45th International Universities Power Engineering Conference UPEC2010**. [S.l.: s.n.], 2010. p. 1–5. Citado na página 20.

WEG. **MVW01 - Inversor de frequência de média tensão**. [S.l.], 2021. Citado na página 22.

YANG, Shaoyong et al. An industry-based survey of reliability in power electronic converters. **IEEE Transactions on Industry Applications**, v. 47, n. 3, p. 1441–1451, 2011. Citado na página 29.

YANG, Shunfeng; TANG, Yi; WANG, Peng. Seamless fault-tolerant operation of a modular multilevel converter with switch open-circuit fault diagnosis in a distributed control architecture. **IEEE Transactions on Power Electronics**, v. 33, n. 8, p. 7058–7070, 2018. Citado 2 vezes nas páginas 35 e 36.

YU, Ok-Sun; PARK, Nam-Ju; HYUN, Dong-Seok. A novel fault detection scheme for voltage fed pwm inverter. In: **IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics**. [S.l.: s.n.], 2006. p. 2654–2659. Citado na página 41.

ZHANG, L.; HULLEY, L. N. A knowledge-based system for online fault diagnosis of power inverter circuits for ac machines. **Eur. Power Electron. Conf**, p. 334–339, 1995. Citado na página 41.

ZIMANN, Felipe Joel. **Controlador Repetitivo Complexo-Vetorial Baseado no Método de Cancelamento por Sinal Atrasado Generalizado**. Tese (Tese) — Universidade do Estado de Santa Catarina, 2020. Citado na página 109.

ZIMANN, F. J. et al. A complex repetitive controller based on the generalized delayed signal cancelation method. **IEEE Transactions on Industrial Electronics**, v. 66, n. 4, p. 2857–2867, April 2019. ISSN 0278-0046. Citado na página 109.

APÊNDICE A – PROGRAMAÇÃO BLOCO C

É apresentada a programação em C utilizada no bloco homônimo do PSIM. Nesta são apresentadas as condições de condicionamento do sinal de leitura, geração da modulação e aplicação da rotina de teste previamente explicada neste trabalho.

Juntamente ao código são apresentados alguns comentários para facilitar a interpretação do método utilizado. A programação no DSP seguiu o mesmo padrão desta programação, com adequação dos registradores respectivos a cada funcionalidade e nomenclatura de algumas variáveis.

```

1 #include <Stdlib.h>
2 #include <String.h>
3 #include <math.h>
4 #include <complex.h> // to declare complex variables
5
6 int count_sin=0;
7 int port_adjust=0;
8 float f_base=60;
9 float f_clock=30000;
10 float m_index=0.9;
11 float amp=1;
12 float f_ratio=0;
13 float n_port=4;
14 float inv_n_port=0.25;
15 float max_port_dsp=3125;
16 float ang_sin=0;
17 float sin_0=0;
18 float sin_1=0;
19 float sin_2=0;
20 float sin_3=0;
21 float sin_4=0;
22 float sin_5=0;
23 float sin_6=0;
24 float sin_7=0;
25 #define pi 3.14159265358979323846
26 float input_cond=0;
27 float input[2];
28 float output;
29 int N=500;
30 float delay[500];
31 int k=0;
32 int kpo=0;
33 float output_delay=0;
34 int fault_bit=0;
35 int count_enable=0;

```

```

36 int count_fault=0;
37 int fault_mod_1=0;
38 int fault_mod_2=0;
39 int fault_mod_3=0;
40 int fault_mod_4=0;
41 int fault_out=0;
42 int flag_in=0;
43 float sum_dft=0;
44 float dft[500];
45 float output_dc=0;
46 float offset=0;
47 int count_dis_fault=0;
48
49 //----- geracao seno base -----//
50
51     f_ratio=f_clock/f_base; // relacao de frequencias //
52     ang_sin=2*pi/f_ratio; //calculo do valor inst do ang do seno //
53     port_adjust=n_port*max_port_dsp; //aplicacao do ind de modul //
54
55         // geracao das modulantes //
56         sin_0=port_adjust*m_index*amp*( sin ( ang_sin*count_sin ));
57         sin_1=sin_0-1*inv_n_port*port_adjust;
58         sin_2=sin_0-2*inv_n_port*port_adjust;
59         sin_3=sin_0-3*inv_n_port*port_adjust;
60         sin_4=sin_0+1*inv_n_port*port_adjust;
61         sin_5=sin_0+2*inv_n_port*port_adjust;
62         sin_6=sin_0+3*inv_n_port*port_adjust;
63         sin_7=sin_0+4*inv_n_port*port_adjust;
64
65         count_sin++;
66
67         if ( count_sin>=f_ratio ){
68             count_sin=0;}
69
70 //-----Condicionamento AD-----//
71
72         input_cond=(in[0]-1.5)*269.77488886128 ;
73
74 //----- Calculo do Nivel medio -----//
75
76         if (k == N) {
77             k=0;}
78
79         // rotina de FMM //
80         sum_dft=sum_dft-dft[k];
81         dft[k]=input_cond; //entrada analogica]
82         sum_dft=(sum_dft+dft[k]);

```

```

83
84     output_dc=((sum_dft/N)-offset); // nivel medio calculado //
85
86     k++;
87     count_enable++;
88
89 //-----Determina condicao de falha-----//
90
91     if ((output_dc >2||output_dc <-2) && count_enable>f_ratio && flag_in==0)
92     {
93         fault_bit=1;
94         fault_out=1;
95         flag_in=1;}
96 //-----Alterna teste modulos-----//
97
98     if ( fault_bit==1 && count_fault<f_ratio){
99         count_fault++;}
100     else{
101         count_fault=0;}
102
103     if(count_fault==f_ratio && (output_dc>2 || output_dc<-2)){
104         fault_out++;}
105
106     if ( fault_out >4){
107         fault_out=0;}
108
109 //-----Atribuicao saidas -----//
110
111 if ( fault_out==1){
112     m_index=0.7;
113     fault_mod_1=1;
114     fault_mod_2=0;
115     fault_mod_3=0;
116     fault_mod_4=0;
117     out[3]=sin_0;
118     out[1]=sin_1;
119     out[2]=sin_2;
120     out[0]=sin_3;
121     out[7]=sin_4;
122     out[5]=sin_5;
123     out[6]=sin_6;
124     out[4]=sin_7;
125 }
126
127 else if ( fault_out==2){
128     m_index=0.7;

```

```

129     fault_mod_1=0;
130     fault_mod_2=1;
131     fault_mod_3=0;
132     fault_mod_4=0;
133     out[0]=sin_0;
134     out[3]=sin_1;
135     out[2]=sin_2;
136     out[1]=sin_3;
137     out[4]=sin_4;
138     out[7]=sin_5;
139     out[6]=sin_6;
140     out[5]=sin_7;}
141
142 else if (fault_out==3){
143     m_index=0.7;
144     fault_mod_1=0;
145     fault_mod_2=0;
146     fault_mod_3=1;
147     fault_mod_4=0;
148     out[0]=sin_0;
149     out[1]=sin_1;
150     out[3]=sin_2;
151     out[2]=sin_3;
152     out[4]=sin_4;
153     out[5]=sin_5;
154     out[7]=sin_6;
155     out[6]=sin_7;}
156
157 else if (fault_out==4){
158     m_index=0.7;
159     fault_mod_1=0;
160     fault_mod_2=0;
161     fault_mod_3=0;
162     fault_mod_4=1;
163     out[0]=sin_0;
164     out[1]=sin_1;
165     out[2]=sin_2;
166     out[3]=sin_3;
167     out[4]=sin_4;
168     out[5]=sin_5;
169     out[6]=sin_6;
170     out[7]=sin_7;}
171
172 else{
173     m_index=0.9;
174     out[0]=sin_0;
175     out[1]=sin_1;

```

```

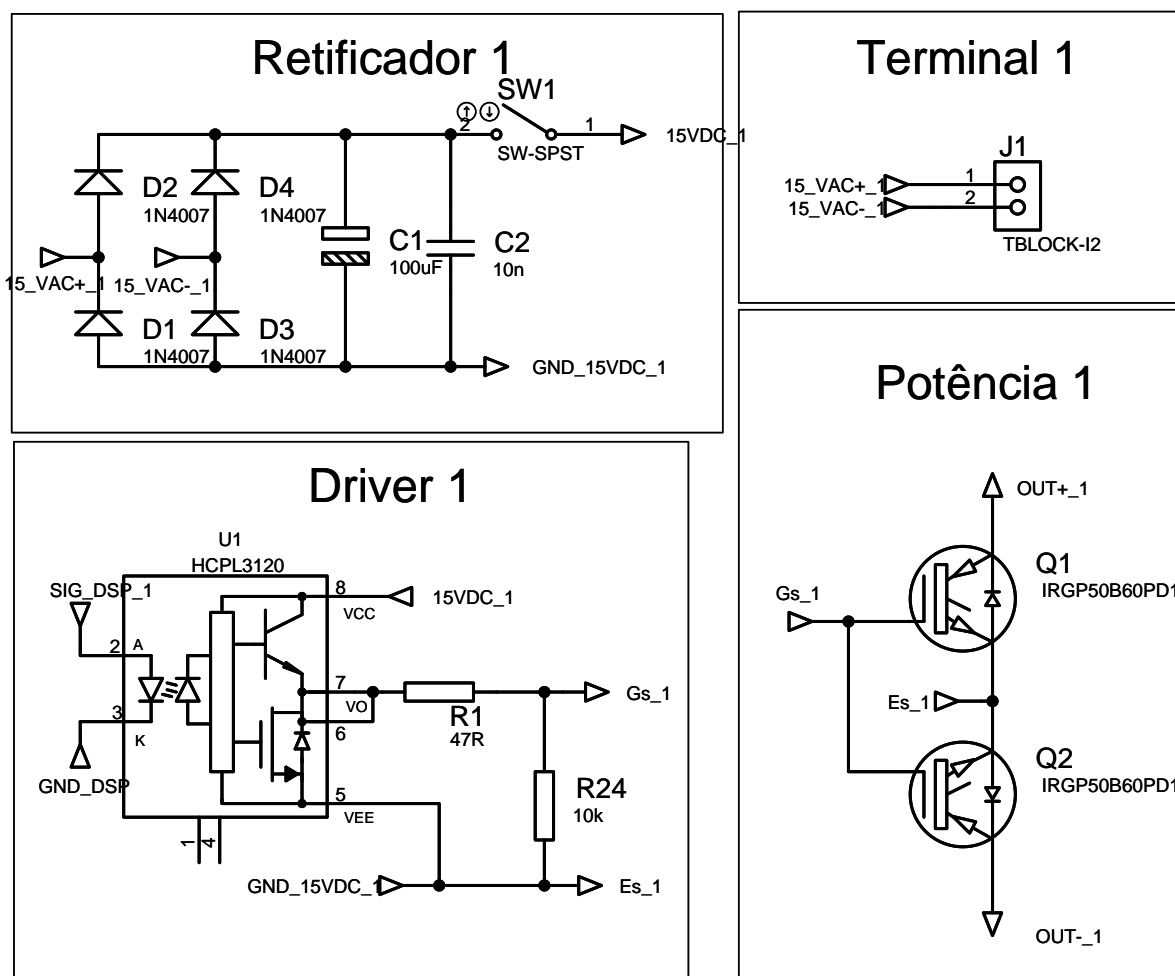
176     out[2]=sin_2;
177     out[3]=sin_3;
178     out[4]=sin_4;
179     out[5]=sin_5;
180     out[6]=sin_6;
181     out[7]=sin_7;}
182
183 //-----Sinais adicionais -----//
184
185     out[8]=fault_bit; // condicao de falha //
186     out[9]=output_dc; // nivel medio c.c. //
187
188     out[10]=fault_mod_1; // sinal de bypass mod1//
189     out[11]=fault_mod_2; // sinal de bypass mod2//
190     out[12]=fault_mod_3; // sinal de bypass mod3//
191     out[13]=fault_mod_4; // sinal de bypass mod4//
192     out[14]=fault_out; // modulo em bypass //

```

APÊNDICE B – ESQUEMÁTICO MÓDULO DE *BYPASS*

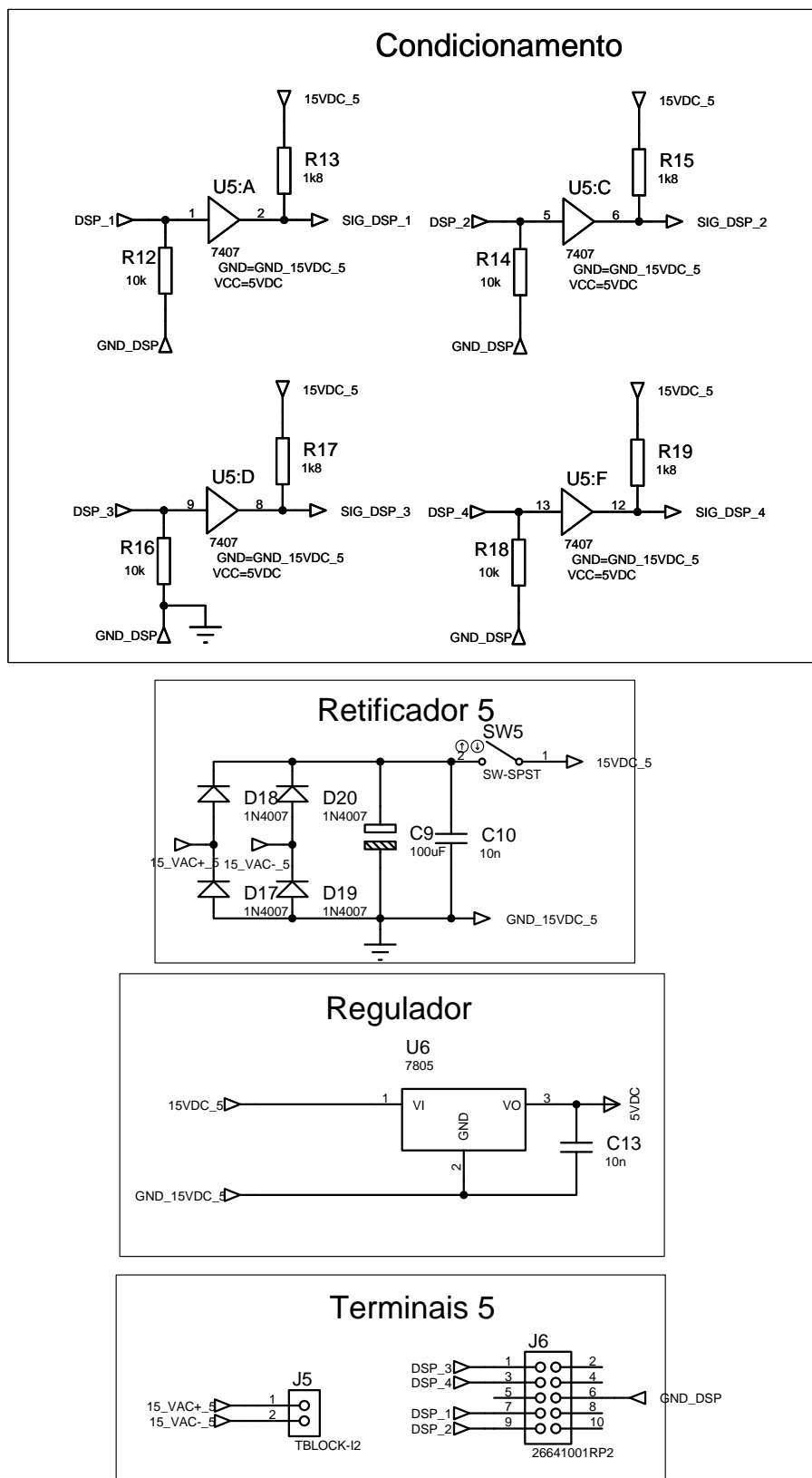
São apresentados na Figura 58 e na Figura 59 os esquemáticos para o módulo de *bypass* confeccionado. Após é apresentada a lista de componentes do módulo, na Tabela 8. Os subcircuitos que apresentam a numeração "1" em seu término foram replicados quatro vezes, respectivos ao número de módulos utilizado no conversor.

Figura 58 – Esquemático do módulo de *bypass* confeccionado - *Gate-driver* e potência.



Fonte: Próprio Autor, 2023.

Figura 59 – Esquemático do módulo de *bypass* confeccionado - Condicionamento e regulação.



Fonte: Próprio Autor, 2023.

Tabela 8 – Lista de componentes do módulo de *bypass*.

Componente	Quantidade	Referência	Valor/Modelo
Capacitor	2	C1,C9	100 μ F
Capacitor	6	C2,C4,C6,C8,C10,C13	10 nF
Capacitor	3	C3,C5,C7	1 μ F
Resistor	4	R1,R3,R6,R9	47 Ω
Resistor	8	R4,R7,R10,R12,R14,R16,R18,R24	10 k Ω
Resistor	4	R13,R15,R17,R19	1,8 k Ω
CI	4	U1-U4	HCPL3120
CI	1	U5	7407
CI	1	U6	7805
IGBT	8	Q1-Q8	IRGP50B60PD1
Diodo	20	D1-D20	1N4007
Conector	5	J1-J5	TBLOCK-I2
Conector	1	J6	26641001RP2

Fonte: Próprio Autor, 2023.

APÊNDICE C – ESTRATÉGIA DE IDENTIFICAÇÃO GDSC

A proposta original deste trabalho era a de utilização da Operação de Cancelamento por Sinal Atrasado Generalizado (*Generalized Delayed Signal Cancellation – GDSC*) como estratégia de medição e condicionamento do sinal de tensão de saída. Neves et al. (2010) e Souza (2012) propuseram a GDSC como estratégia de detecção de falhas específicas em sistemas elétricos de potência e também como método de sincronização para acoplamento de conversores eletrônicos a rede elétrica.

O método consiste na adoção de vetores atrasados adicionados a um sinal original para obter o cancelamento de um conjunto de componentes harmônicos específicos, ditos família $nk + m$ onde, $k \in \mathbb{Z}$, $\{n, m\} \in \mathbb{N}$ para $n > m \geq 0$. Seu funcionamento é similar a utilização de múltiplos filtros passa banda com atenuação diferente em cada componente harmônica.

A operação $\vec{s}_{\alpha\beta}$ é definida como a combinação matemática do vetor original e de vetor atrasado $\vec{s}_{\alpha\beta-\theta_d}$:

$$\vec{f}_{gdsc} = \vec{a} \left(\vec{s}_{\alpha\beta} + e^{j\theta_r} \vec{s}_{\alpha\beta-\theta_d} \right), \quad (1)$$

onde, o operador complexo \vec{a} , o ângulo de deslocamento θ_r e o ângulo de atraso θ_d têm valores constantes, o que permite a manipulação da função para a definição com h harmônicas. A Equação 2 apresenta esta manipulação ajustada para a característica de função de transferência, isto é, o sinal de entrada em função do sinal de saída:

$$\vec{f}_{gdsc}^{(h)} = \underbrace{\vec{a} \left(1 + e^{j(\theta_r - h\theta_d)} \right)}_{\vec{G}_{gdsc}^{(h)}} \vec{s}_{\alpha\beta}^{(h)}. \quad (2)$$

Para que haja a filtragem propriamente proposta, é necessário que o a condição de ganho nulo seja alcançada em uma frequência específica. Desta maneira, adotando $\vec{G}_{gdsc}(h) = 0$, obtém-se:

$$e^{j(\theta_r - h\theta_d)} = -1 \quad (3)$$

Esta igualdade é uma função polivalente com múltiplas soluções periódicas de 2π . Sua forma genérica é:

$$\theta_r - h\theta_d = \pm(\pi + \underbrace{2\pi k}_{\text{período}}), \quad k \in \mathbb{N} \quad (4)$$

Isolando o termo em relação a frequência h :

$$h = \underbrace{\left(\frac{\pm 2\pi}{\theta_d}\right)}_n \cdot k + \underbrace{\left(\frac{\theta_r \pm \pi}{\theta_d}\right)}_m \quad \therefore \quad h = n \cdot k + m \quad (5)$$

Por fim, o operador complexo \vec{a} é calculado para que a amplitude da componente harmônica específica centrada h , seja unitária:

$$\vec{a} \left[1 + e^{j(\theta_r - h\theta_d)} \right] = 1 \quad \therefore \quad \vec{a} = \frac{1}{1 + e^{j(\theta_r - h\theta_d)}} \quad (6)$$

Para a implementação da operação GDSC é necessário decompor a Equação 1 em termos individuais. Aplicando a multiplicação distributiva complexa é possível chegar na forma matricial do equacionamento:

$$\begin{bmatrix} s_{\alpha T}(t) \\ s_{\beta T}(t) \end{bmatrix} = \begin{bmatrix} a_1 & -a_2 \\ a_2 & a_1 \end{bmatrix} \begin{bmatrix} s_{\alpha}(t) \\ s_{\beta}(t) \end{bmatrix} + \begin{bmatrix} b_1 & -b_2 \\ b_2 & b_1 \end{bmatrix} \begin{bmatrix} s_{\alpha}(t - t_d) \\ s_{\beta}(t - t_d) \end{bmatrix} \quad (7)$$

$$a_1 = \Re(\vec{a}) \quad , \quad a_2 = \Im(\vec{a}) \quad , \quad (8)$$

$$b_1 = \Re(\vec{a} \cdot e^{j\theta_r}) \quad , \quad b_2 = \Im(\vec{a} \cdot e^{j\theta_r}) \quad . \quad (9)$$

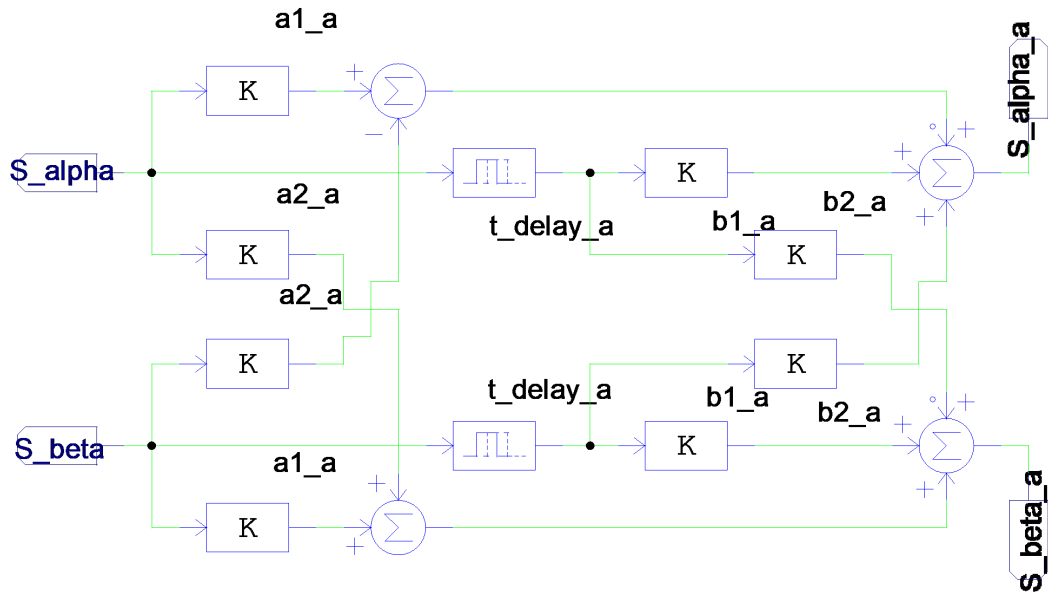
A Figura 60 apresenta a implementação da operação GDSC em notação escalar. Esta implementação é a mais comumente adaptada para utilização em resultados de simulação e experimentais, já que se trata apenas de multiplicações e somas de sinais. Como referência, Zimann (2020) e Zimann et al. (2019) apresentam um equacionamento mais detalhado e também a adaptação das equações para utilização em aplicações de tempo discreto.

A GDSC é uma opção substituta a Transformada Direta de Fourier (*Discrete Fourier Transform* - DFT) para medição da amplitude de harmônicos específicos. Sua capacidade de detecção mais rápida e com menor exigência de processamento computacional, se compara a a DFT, a tornam atrativas para determinadas aplicações.

A DFT se baseia no conhecimento da frequência fundamental do sinal e tem como o principal interesse o conhecimento dos coeficientes harmônicos (amplitude) deste sinal. Para tal é possível utilizar-se do método de correlação. Simplificadamente, é possível detectar a presença (total ou parcial) de um sinal periódico conhecido contido em outra forma de onda multiplicando o sinal base pelo sinal em análise e somando os pontos do produto resultante. Desta maneira é possível gerar uma medida de similaridade entre estes.

Apesar de extremamente eficaz e precisa, a DFT possui uma limitação atrelada ao tempo mínimo de convergência do sinal. Esta técnica toma como sinal base uma onda senoidal de frequência fundamental. Por este motivo, o tempo mínimo para que haja uma completa varredura no sinal em análise é de um período fundamental. Para sistemas em 50 Hz ou 60 Hz de frequência de saída, este valor é de 20 ms e 16,66 ms, respectivamente.

Figura 60 – Implementação da operação GDSC em notação escalar para utilização em *software* de simulação.



Fonte: Próprio Autor, 2023.

Para a aplicação em questão, determinou-se no Capítulo 3 que o principal harmônico de interesse na tensão de saída pós-falha é o nível médio (harmônico 0). Para a GDSC é possível fazer o cancelamento de múltiplos harmônicos de baixa ordem para que somente o nível médio continue presente no resultado final. Através de múltiplas operações GDSC é possível implementar um filtro passa-baixas com frequência de corte alta o suficiente para não atrasar o transitório de leitura deste nível c.c..

Vale salientar que para obtenção da amplitude das demais harmônicas do sistema, alguma estratégia de filtragem extra seria necessária, já que a característica alternada do sinal pós operação GDSC não permitiria a simples utilização de um filtro passa-baixas. Para esta situação é possível utilizar-se de um detector de envoltória, alguma estratégia de cálculo do valor eficaz ou até mesmo a aplicação de uma DFT do sinal filtrado. Qualquer que seja a segunda opção de filtragem escolhida, o aumento do tempo de detecção ficaria comprometido e deve ser levado em consideração quando implementado.

A Tabela 9 apresenta os parâmetros calculados para as operações GDSC. Nota-se que todos os termos provenientes do vetor \vec{a} possuem o mesmo valor. Isso se dá pela característica de centralização em zero do ganho unitário das operações, o que exige o cancelamento simultâneo e individual das harmônicas de sequência positiva e negativa. Em cada operação GDSC aumenta-se a frequência mínima (fundamental) para um valor novo. A frequência de corte dos filtros passa-baixas de cada operação GDSC pode ser estipulada como sendo dez vezes menor do que esta nova frequência fundamental.

Durante a comprovação, via simulação, da estratégia GDSC, os resultados não foram tão satisfatórios, entretanto. Para esta simulação utilizou-se os mesmos parâmetros apresentados

Tabela 9 – Parâmetros calculados para as operações GDSC.

Operação	$nk + m$	θ_r	a_1	a_2	b_1	b_2
GDSC a	$2k + 1$	180°	0,5	0	0,5	0
GDSC b	$4k + 2$	90°	0,5	0	0,5	0
GDSC c	$8k + 4$	45°	0,5	0	0,5	0
GDSC d	$16k + 8$	$22,5^\circ$	0,5	0	0,5	0
GDSC e	$32k + 16$	$11,25^\circ$	0,5	0	0,5	0

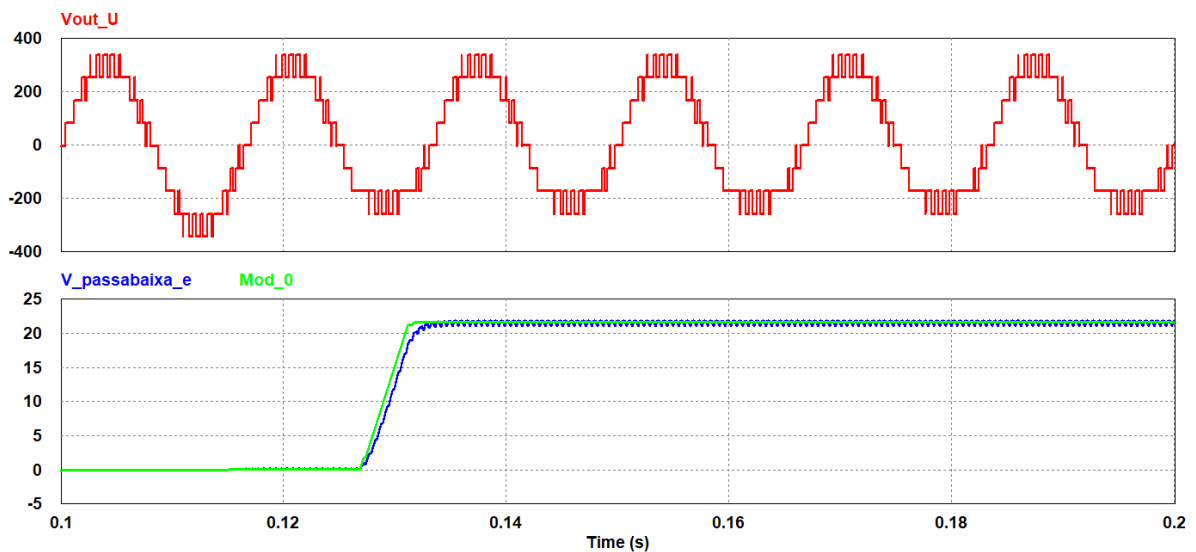
Fonte: Próprio Autor, 2023.

na Tabela 4, com modulação PDPWM nas mesmas condições previamente apresentadas neste trabalho. Para a topologia, contudo, alternou-se para o CHB trifásico, já que a técnica exige transformação de coordenadas $\alpha\beta$. Estes resultados são apresentados na Figura 61.

Instaurou-se a falha em circuito aberto no interruptor G10 no instante 0,115 s. Foram implementadas paralelamente as medições do nível médio da tensão de saída utilizando-se da técnica de GDSC e também DFT. O padrão dos resultados é equivalente para ambas as técnicas. Para a GDSC, entretanto, pela presença do filtro passa-baixas implementado, há um atraso considerável para estabilização do sinal. Os testes foram refeitos em múltiplos instantes de tempo e interruptores e, em todos, a DFT se mostrou mais eficiente.

Caso os resultados do Capítulo 3 apontassem para alguma harmônica específica como relevante para determinação do módulo em falha, esta simulação poderia ser refeita para determinar a viabilidade da GDSC para estas condições. No contexto deste trabalho, entretanto, optou-se por continuar utilizando a DFT.

Figura 61 – Formas de onda de tensão de saída (vermelho), nível médio da saída via GDSC (azul) e nível médio da saída via DFT (verde).



Fonte: Próprio Autor, 2023.

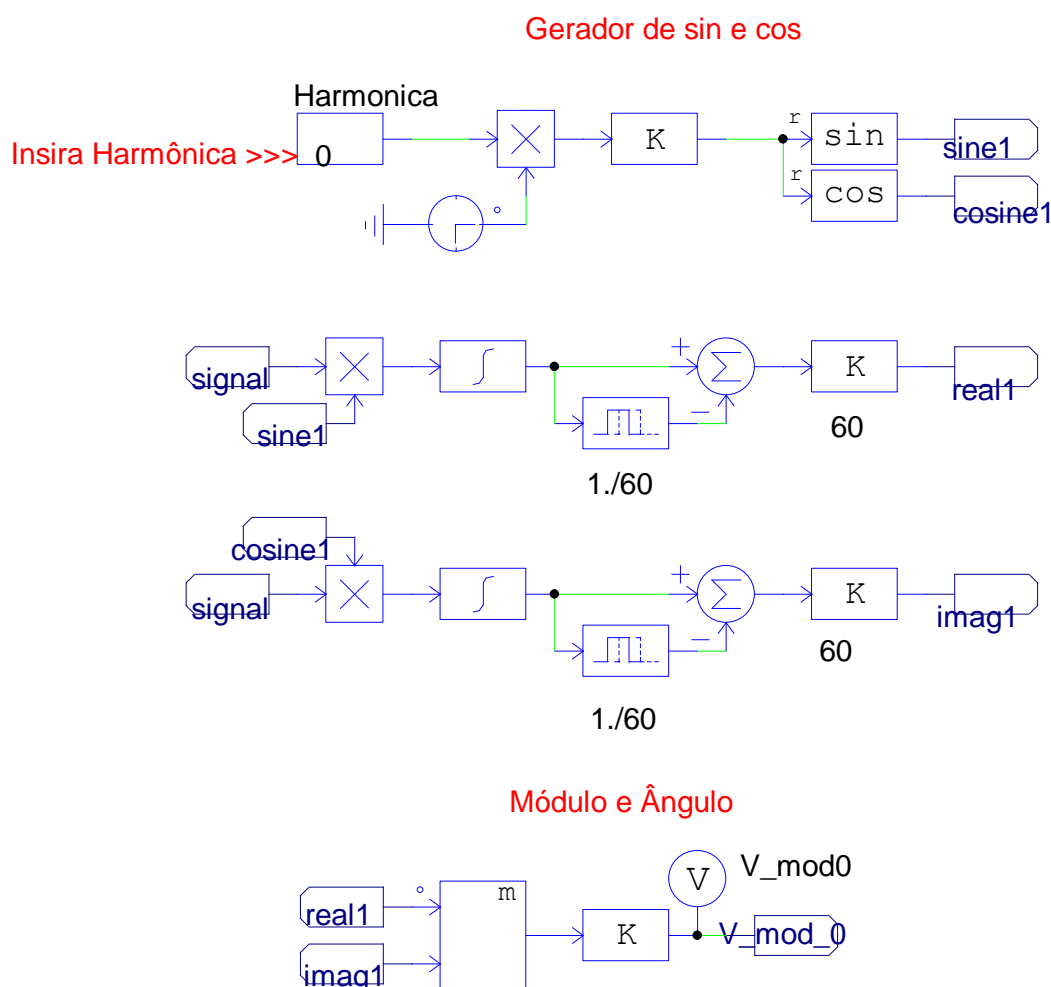
Quando aplicada a DFT para medição do harmônico 0 de um sinal, contudo, a discretização deste processo resulta no FMM previamente demonstrado. A Figura 62 apresenta o diagrama de blocos utilizado via simulação para obtenção do nível médio via DFT.

O método de correlação para cálculo DFT exige a utilização de um seno e cosseno base para multiplicação com o sinal de interesse. Estes sinais possuem frequência equivalente a harmônica que se possui interesse em obter a amplitude. Para o nível médio, entretanto, o seno e cosseno se tornam invariáveis ao tempo, vide a multiplicação de resultado nulo gerado no bloco mais superior.

Nestas circunstâncias, todo bloco DFT é reduzido ao terceiro bloco da Figura 62, onde um integrador é capaz de identificar a variação do nível médio do sinal, e um subtrator do sinal integrado com o sinal integrado atrasado em um ciclo completo, é capaz de calcular o nível médio.

Quando discretizado, este bloco DFT pode ser representado de maneira equivalente a

Figura 62 – Implementação em diagrama de blocos da DFT.

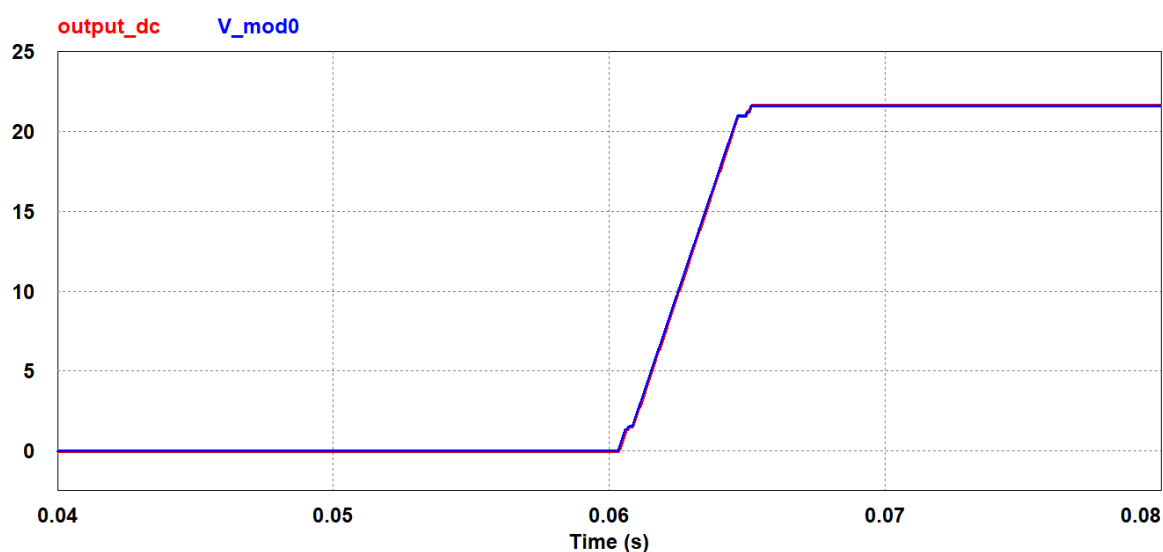


Fonte: Próprio Autor, 2023.

mostrada no Capítulo 3.2. Afim de comparar os resultados da DFT feita de forma analógica, através de diagrama de blocos, e de forma discreta, uma simulação com os mesmos parâmetros e condições previamente utilizadas neste trabalho foi feita. Os resultados desta simulação são apresentados na Figura 63.

Para estes resultados, aplicou-se a falha no interruptor G10 no instante 0,06 s. Fica nítida a eficácia da discretização e simplificação da DFT como FMM. Desta maneira fica explicada a escolha do FMM como metodologia de medição adotada neste trabalho.

Figura 63 – Formas de onda do nível médio da tensão de saída, calculados via FMM discreto (vermelho) e DFT analógica (azul).



Fonte: Próprio Autor, 2023.

APÊNDICE D – ESTRATÉGIA DE IDENTIFICAÇÃO - MMC

Este trabalho explora a técnica de identificação de falhas de semicondutores em circuito aberto para conversores multiníveis, tomando a topologia CHB como base para confirmação teórica e experimental.

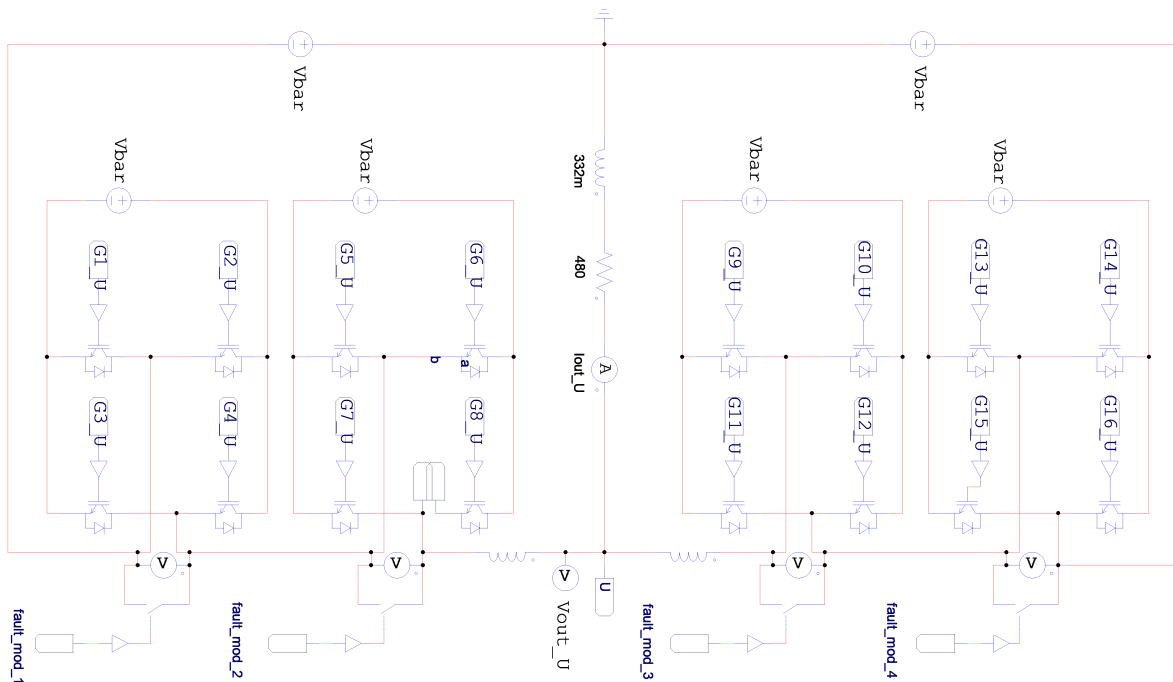
Afirma-se, contudo, que a técnica também pode ser aplicada ao conversor MMC. Para confirmar isto, a mesma configuração de simulação proposta no capítulo 4 é replicada, mas utilizando um conversor MMC.

Este conversor é simulado com $N=4$ módulos, sendo 2 módulos por cada semibraço. Para os valores de barramento, mantém-se a tensão de 85 V em cada módulo. Adiciona-se, contudo, uma alimentação única, com ponto central, de 170 V para o conversor todo, substituindo a alimentação isolada individual dos módulos do conversor CHB.

Como a modulação escolhida para replicação, PD-PWM, não faz naturalmente o equilíbrio das tensões dos módulos (CUNICO et al., 2013), opta-se pela utilização de fontes c.c., ao invés de capacitores, como barramento de cada módulo, já que esta estratégia de controle não é o tópico de estudo deste trabalho. O conversor simulado é apresentado na Figura 64.

Como os valores limítrofes para detecção e correção da falha se baseiam apenas na forma de onda de tensão de saída, nenhuma adequação é necessária na estratégia de identificação das falhas previamente apresentada. As portadoras e o índice de modulação também permanecem na

Figura 64 – Conversor MMC com 4 módulos por braço simulado.



Fonte: Próprio Autor, 2023.

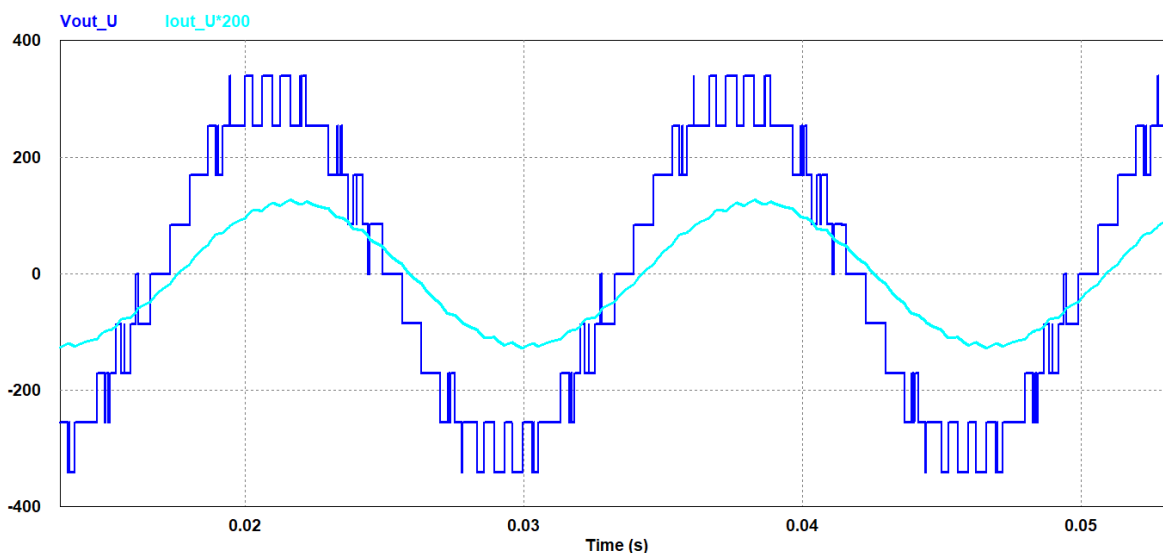
mesma parametrização utilizadas para o conversor CHB.

As formas de onda do funcionamento normal deste conversor são apresentadas na Figura 65. É possível ver que as formas de onda de tensão e corrente apresentam o mesmo formato previamente visto na Figura 43 para o conversor CHB. Manteve-se o mesmo padrão de cores e escalas entre as figuras, possibilitando um comparativo entre os conversores, com a tensão (Azul) em escala direta e a corrente (Ciano) multiplicada por um fator de 200 x.

Os resultados de simulação da estratégia de identificação e correção das falhas dos interruptores são apresentados na Figura 66 e na Figura 67. Não são simuladas as condições de falha em todos os interruptores, já que com a presença do circuito de *bypass*, não há diferenciação das formas de onda entre falhas de interruptores em diagonal do mesmo módulo. Desta maneira, são apresentadas as falhas apenas dos interruptores da parte inferior de cada módulo, seguindo o mesmo modelo da Figura 51 e da Figura 52.

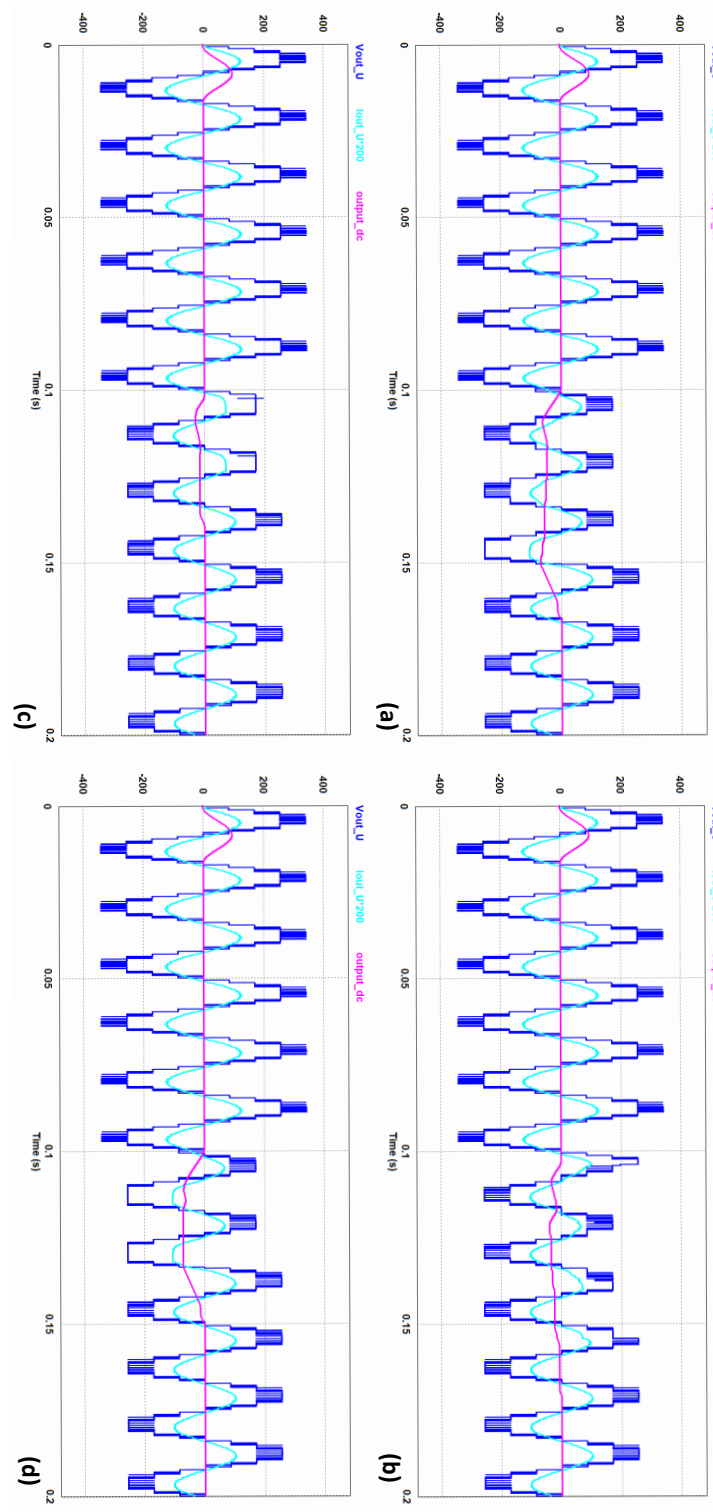
Os resultados encontrados para o conversor MMC seguem, novamente, o mesmo padrão visto no conversor CHB. Para interruptores de módulos inferiores, o tempo de identificação é menor do que para os módulos superiores. Salienta-se, contudo, que esta simulação é feita de maneira simplificada, já que não é aplicada nenhuma técnica de controle necessária para operação mínima do conversor MMC experimentalmente. A mesma segue apenas como passo inicial para continuidade deste trabalho.

Figura 65 – Formas de onda de tensão (Azul) e corrente (Ciano) de saída via simulação para funcionamento normal do conversor MMC.



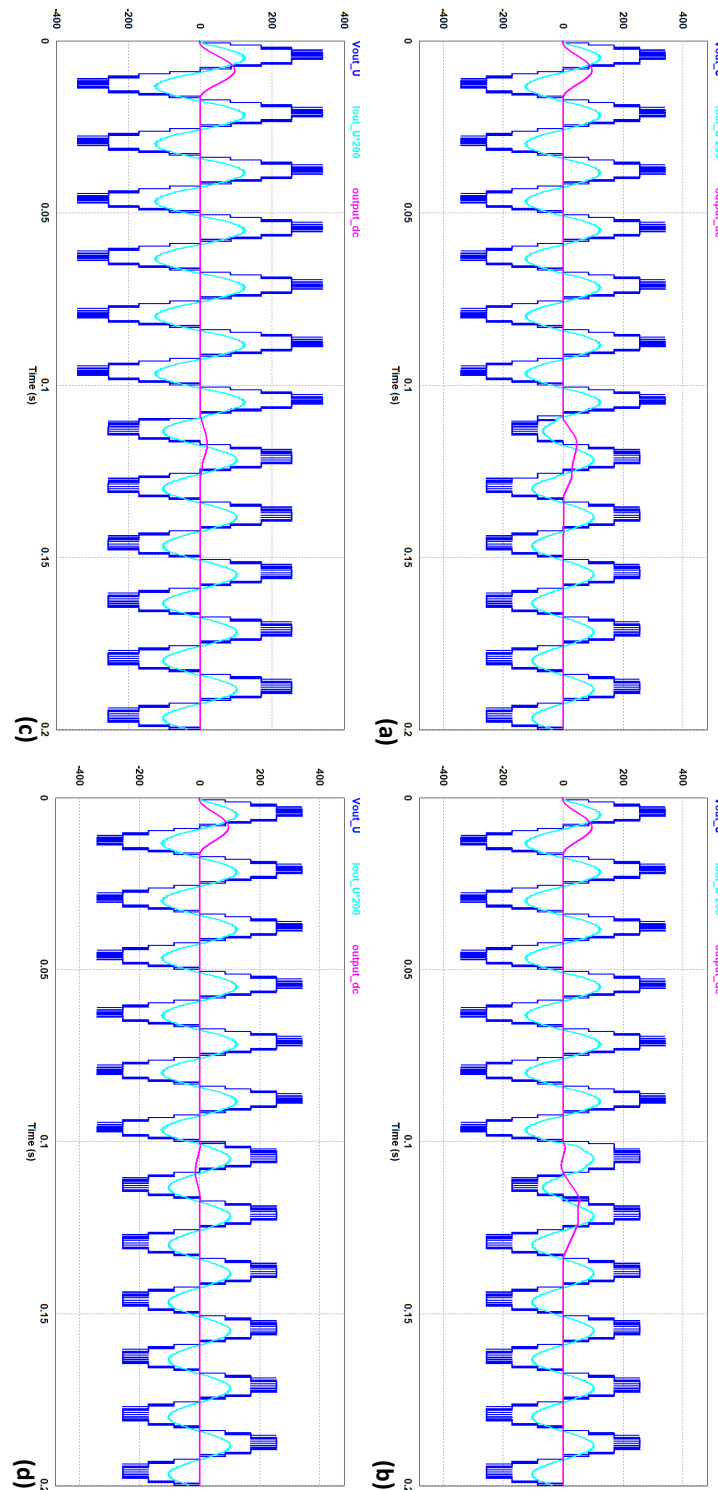
Fonte: Próprio Autor, 2023.

Figura 66 – Formas de onda de tensão (Azul), corrente (Ciano) e nível c.c. (Rosa) de saída via simulação, do conversor MMC, para identificação e correção de falha dos interruptores: **(a)** G13, **(b)** G15, **(c)** G9 e **(d)** G11.



Fonte: Próprio Autor, 2023.

Figura 67 – Formas de onda de tensão (Azul), corrente (Ciano) e nível c.c. (Rosa) de saída via simulação, do conversor MMC, para identificação e correção de falha dos interruptores: **(a)** G5, **(b)** G7, **(c)** G1 e **(d)** G3.



Fonte: Próprio Autor, 2023.