

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA – PPGEEL

PABLO DUTRA DA SILVA

**CIRCUITO INTEGRADO CMOS DE BANDA LARGA PARA ESPECTROSCOPIA DA
IMPEDÂNCIA ELÉTRICA EM TEMPO REAL**

JOINVILLE

2026

PABLO DUTRA DA SILVA

**CIRCUITO INTEGRADO CMOS DE BANDA LARGA PARA ESPECTROSCOPIA DA
IMPEDÂNCIA ELÉTRICA EM TEMPO REAL**

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito para a obtenção do grau de Doutor em Engenharia Elétrica.

Orientador: Pedro Bertemes Filho

Coorientador: Marcio Cherem Schneider

JOINVILLE

2026

Para gerar a ficha catalográfica de teses e
dissertações acessar o link:
<https://www.udesc.br/bu/manuais/ficha>

Silva, Pablo Dutra da
Circuito integrado CMOS de banda larga para
espectroscopia da impedância elétrica em tempo real /
Pablo Dutra da Silva. - Joinville, 2026.
136 p. : il. ; 30 cm.

Orientador: Pedro Bertemes Filho.

Coorientador: Marcio Cherem Schneider.

Tese de Doutorado - Universidade do Estado de Santa
Catarina, Centro de Ciências Tecnológicas, Programa de
Pós-Graduação em Engenharia Elétrica, Joinville, 2026.

1. Espectroscopia de Impedância Elétrica. 2. Sinal
DIBS. 3. Circuito Integrado CMOS. 4. Dispositivos
Portáteis. 5. Fonte de corrente SCMOSS. I. Bertemes
Filho, Pedro . II. Schneider, Marcio Cherem . III.
Universidade do Estado de Santa Catarina, Centro de
Ciências Tecnológicas, Programa de Pós-Graduação em
Engenharia Elétrica. IV. Circuito integrado CMOS de
banda larga para espectroscopia da impedância elétrica
em tempo real.

PABLO DUTRA DA SILVA

**CIRCUITO INTEGRADO CMOS DE BANDA LARGA PARA ESPECTROSCOPIA DA
IMPEDÂNCIA ELÉTRICA EM TEMPO REAL**

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito para a obtenção do grau de Doutor em Engenharia Elétrica.

Orientador: Pedro Bertemes Filho

Coorientador: Marcio Cherem Schneider

BANCA EXAMINADORA:

Pedro Bertemes Filho, Prof. Dr.
Universidade do Estado de Santa Catarina

Membros:

Pedro Bertemes Filho, Prof. Dr.
Universidade do Estado de Santa Catarina

Aleksander Sade Paterno, Prof. Dr.
Universidade do Estado de Santa Catarina

Raimundo Nonato Gonçalves Robert, Prof. Dr.
Universidade do Estado de Santa Catarina

Cesar Ramos Rodrigues, Prof. Dr.
Universidade Federal de Santa Catarina

Mariana Amorim Fraga, Profa. Dra.
Universidade Presbiteriana Mackenzie

Joinville, 15 de julho de 2026

Às minhas amadas esposa e filha, que foram meus alicerces e abriram mão de parte da minha companhia durante esta jornada.

AGRADECIMENTOS

Gostaria de expressar minha sincera gratidão ao meu orientador, Prof. Dr. Pedro Bertemes Filho, pela oportunidade de retornar à área de projeto de circuitos integrados após doze anos afastado dessa atividade. Agradeço pelos grandes esforços empregados para manter este projeto com os recursos necessários ao seu desenvolvimento, pela confiança depositada em meu trabalho e pelo incentivo constante ao longo desta jornada.

Ao meu coorientador, Prof. Dr. Marcio Cherem Schneider, agradeço pelo compromisso, pela dedicação e pela generosidade com que conduziu as discussões técnicas sobre os projetos elétricos, em especial o DDA, bem como pelas cuidadosas revisões dos textos desta tese. O aprendizado proporcionado por nossas discussões é um valor inestimável que levarei para meus futuros projetos de pesquisa e desenvolvimento.

Agradeço também ao Prof. Marcio pelas indicações de profissionais fundamentais no suporte às ferramentas de projeto e aos PDKs, especialmente ao colega Henrique Haysaka, da Chipus Microeletrônica, cuja colaboração foi de grande importância durante o desenvolvimento deste trabalho.

Minha sincera gratidão aos meus colegas de trabalho no Instituto Federal de Santa Catarina, Prof. Dr. Marcos Antônio Salvador, Prof. Dr. Maro Jinbo e Prof. Dr. Natan Rocha, que aceitaram assumir parte das minhas atividades docentes e administrativas, tornando possível minha dedicação integral a este doutorado. Sem essa colaboração, a realização deste trabalho teria sido incomparavelmente mais difícil.

Aos colegas de laboratório Paulo Roberto Quispe Cardenas e Elkin Roman Gomez, que, por tantas vezes e generosamente, religaram o meu computador quando ele travava ou quando faltava energia elétrica. Sem essa ajuda, o trabalho remoto durante as noites e os fins de semana teria sido inviabilizado.

Agradeço às instituições que forneceram o suporte financeiro e institucional indispensável para a execução desta pesquisa: à Universidade do Estado de Santa Catarina (UDESC), à Sociedade Brasileira de Microeletrônica (SBMicro), à Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) e à Fundação de Amparo à Pesquisa e Inovação do Estado de Santa Catarina (FAPESC).

À minha filha, Laura Fernandes da Silva, e à minha esposa, Alessandra Hinckel Fernandes, expresso meu mais profundo agradecimento pela compreensão, pelo carinho e pelo apoio incondicional. Durante este período, o tempo que pude dedicar a vocês foi reduzido em razão das exigências desta pesquisa. A paciência, o incentivo e o amor de vocês foram fundamentais para que eu chegasse até aqui.

Por fim, agradeço a todos aqueles que, de alguma forma, contribuíram para a realização desta tese, mesmo que não tenham sido nominalmente citados. Esta conquista não é apenas minha, mas de todos que caminharam ao meu lado durante esta jornada. A todos, o meu mais sincero muito obrigado.

"On ne fait jamais attention à ce qui a été fait;
on ne voit que ce qui reste à faire."

"Nunca percebemos o que já foi feito; vemos
apenas o que ainda resta por fazer."

— Marie Curie

RESUMO

O avanço dos dispositivos portáteis e dos circuitos integrados de baixo consumo tem impulsionado o desenvolvimento de sistemas embarcados para aplicações biomédicas e industriais. Nesse contexto, a espectroscopia de impedância elétrica destaca-se como uma técnica capaz de caracterizar materiais e tecidos biológicos de forma não invasiva. Com base nesse cenário, o presente trabalho propõe o projeto de um circuito integrado analógico em tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) para espectroscopia de impedância elétrica em tempo real concebida como uma plataforma de espectroscopia de impedância de propósito geral, em vez de um circuito dedicado a uma aplicação específica, o que justifica as amplas faixas de impedância e frequência consideradas em seu projeto. Como principal contribuição, este trabalho apresenta o projeto de um circuito integrado capaz de analisar impedâncias até 100 k Ω em uma faixa de frequência de 10 MHz. É empregado um sinal de excitação de banda larga do tipo DIBS (*Discrete Interval Binary Sequence*), permitindo a obtenção simultânea de informações em múltiplas frequências e possibilitando a implementação de espectroscopia de impedância elétrica no domínio do tempo. O circuito integrado proposto inclui uma fonte de corrente SCMOCS (*Switched CMOS current source*), dois amplificadores de instrumentação do tipo DDA (*Differential Difference Amplifier*) com ganho programável digitalmente e uma referência de corrente com programação digital. A programação de corrente da referência se dá por dois bits que chaveiam os valores de 2 μ A, 20 μ A, 200 μ A e 2000 μ A. Esses patamares de corrente resultam na possibilidade de escalas, relacionadas de forma inversa, de medida de impedância de 10 Ω à 100 Ω , de 100 Ω à 1 k Ω , de 1 k Ω à 10 k Ω e de 10 k Ω à 100 k Ω . Os amplificadores de instrumentação, do tipo DDA, servem para a medição da tensão induzida na amostra e da corrente da fonte por meio de resistores de derivação internos. Este trabalho apresenta o processo de projeto elétrico, físico e de simulação pós-leiaute do circuito integrado em questão. O *chip* foi enviado para fabricação em tecnologia TSMC de 65 nm, com tensão de alimentação de 2,5 V e ocupou área ativa de 0,116 mm², valor competitivo em relação às arquiteturas equivalentes encontradas na literatura. Até o momento da defesa deste texto, o chip ainda se encontra em processo de importação pela universidade. Os resultados de simulação pós-leiaute do sistema demonstram sua capacidade de medir os módulos das impedâncias até 10 MHz, tanto para resistências fixas quanto para o modelo elétrico de tecidos biológicos de *Randles*, atendendo às especificações de projeto com um erro máximo de 16% para o módulo e um desvio máximo de 30° para a fase. Apesar dos resultados obtidos, observou-se uma limitação na escala de 100 k Ω para resistências fixas, na qual a faixa de frequência de análise fica restrita a 1 MHz. Os resultados demonstram a viabilidade da arquitetura proposta para a implementação de sistemas portáteis de espectroscopia de impedância elétrica no domínio do tempo.

Palavras-chave: Espectroscopia de Impedância Elétrica. Sinal DIBS. Circuito Integrado CMOS. Dispositivos portáteis. Fonte de corrente SCMOCS. Amplificador DDA.

ABSTRACT

The advancement of portable devices and low-power integrated circuits has driven the development of embedded systems for biomedical, industrial, and monitoring applications. In this context, electrical impedance spectroscopy stands out as a non-invasive technique capable of characterizing materials and biological tissues. Based on this scenario, this work proposes the design of an analog integrated circuit in CMOS (Complementary Metal Oxide Semiconductor) technology for real-time electrical impedance spectroscopy. The proposed architecture is intended as a general-purpose impedance spectroscopy platform rather than as a circuit dedicated to a specific application, which motivates the wide impedance and frequency ranges considered in its design. As the main contribution, this work presents the design of an integrated circuit capable of analyzing impedances of up to 100 k Ω over a frequency range of up to 10 MHz. To achieve this, a DIBS (*Discrete Interval Binary Sequence*) broadband excitation signal is employed, enabling the simultaneous acquisition of information at multiple frequencies and allowing the implementation of time-domain electrical impedance spectroscopy. The proposed integrated circuit includes an SCMOSCS (Switched CMOS current source) current source, two DDA (Differential Difference Amplifier) instrumentation amplifiers with digitally programmable gain, and a digitally programmable current reference. The current reference is programmed through two bits that select current levels of 2 μ A, 20 μ A, 200 μ A, and 2000 μ A. These current levels provide, through an inverse relationship, impedance measurement ranges from 10 Ω to 100 Ω , from 100 Ω to 1 k Ω , from 1 k Ω to 10 k Ω , and from 10 k Ω to 100 k Ω . The DDA instrumentation amplifiers are used to measure the voltage induced across the sample and the source current through internal shunt resistors. This work presents the electrical design, physical design, and post-layout simulation process of the proposed integrated circuit. The chip was sent to fabrication in a 65 nm TSMC technology with a 2.5 V supply voltage and occupies an active area of 0.116 mm², which is competitive with equivalent architectures reported in the literature. Up to the time of this PhD defense, the chip is still in the importation process by the university. Post-layout simulation results demonstrate the system's ability to measure impedance magnitudes up to 10 MHz for both fixed resistors and the Randles electrical model of biological tissues, meeting the design specifications with a maximum magnitude error of 16% and a maximum phase deviation of 30°. Despite the achieved results, a limitation was observed in the 100 k Ω measurement range for fixed resistors, in which the analysis frequency range is restricted to 1 MHz. The results demonstrate the feasibility of the proposed architecture for the implementation of portable time-domain electrical impedance spectroscopy systems. Future work includes optimizing the power consumption of the DDA amplifiers and performing experimental validation of the fabricated circuit.

Keywords: Electrical Impedance Spectroscopy. DIBS signal. Portable Devices. SCMOSCS current source. Differential Difference Amplifier (DDA).

LISTA DE ILUSTRAÇÕES

Figura 1	– Diagramas elétricos conceituais de 4 diferentes arranjos de eletrodos e de tipos de excitação: (A) dois eletrodos com excitação em corrente, (B) quatro eletrodos com excitação em corrente, (C) dois eletrodos com excitação em tensão e (D) quatro eletrodos com excitação em tensão.	26
Figura 2	– Funções sinc como exemplos de sinais de banda larga. (A) Função sinc no domínio do tempo. (B) Função sinc no domínio da frequência.	31
Figura 3	– Exemplos de sinais para análise no domínio do tempo.	32
Figura 4	– Diagrama funcional básico de um sistema de EIS.	33
Figura 5	– Diagrama funcional do chip AD5933 - <i>1 MSPS, 12-Bit Impedance Converter, Network Analyzer</i>	34
Figura 6	– Diagrama funcional do sistema apresentado por Ibba et al. (2021) para análise da qualidade de frutas.	35
Figura 7	– Diagrama funcional do MAX30009 com os canais de excitação e de medição destacados.	36
Figura 8	– Diagrama esquemático de fontes de corrente do tipo VCCS: (A) fonte Howland melhorada com <i>load in the loop</i> (BERTEMES-FILHO et al., 2012) e (B) conversor VCCS <i>load in the loop</i> (SEOANE et al., 2011)	39
Figura 9	– Diagrama de blocos funcional do sistema proposto.	44
Figura 10	– Esquemático da simulação para extração de parâmetros pelo método g_{mg}/I_D	50
Figura 11	– g_{mg}/I_D e I_D em função da tensão de porta para realizar a extração dos parâmetros tecnológicos. (a) Transistor NMOS de 2,5 V. (b) Transistor PMOS de 2,5 V.	51
Figura 12	– Sinal DIBS de banda 1 MHz a 10 MHz com 16 pulsos espaçados de 1,25 MHz em frequência. (a) No domínio do tempo. (b) No domínio da frequência.	54
Figura 13	– Espectro completo fazendo a junção das cinco faixas apresentadas na Tabela 5.	55
Figura 14	– Diagrama esquemático da referência de corrente autopolarizada.	59
Figura 15	– Diagrama esquemático da fonte SCMOSS.	62
Figura 16	– Diagrama elétrico do FDDA com carga <i>folded cascode</i>	65
Figura 17	– Diagrama elétrico do circuito de polarização.	66
Figura 18	– Diagrama elétrico da realimentação de modo comum.	67
Figura 19	– Diagrama esquemático do amplificador de instrumentação DDA1 utilizando como base o FDDA projetado.	69
Figura 20	– Leiaute do chip para o <i>tape-out</i> com destaque para os diferentes projetos individuais.	70
Figura 21	– Detalhes do leiaute buscando o melhor casamento entre transistores, otimização de área consumida e alta densidade dos materiais.	71
Figura 22	– Diagrama de fiação do encapsulamento.	72

Figura 23 – Diagrama esquemático para o teste da referência de corrente em conjunto com a SCMOSES.	76
Figura 24 – Resultados do teste de partida (a) Para saída de 2 μ A. (b) Para saída de 20 μ A. (c) Para saída de 200 μ A. (d) Para saída de 2 mA.	77
Figura 25 – Corrente de saída normalizada em função da temperatura.	78
Figura 26 – Excursão da corrente normalizada de saída em função da tensão de saída. . .	79
Figura 27 – Análise de Monte Carlo (descasamento) para a fonte de corrente configurada para 2 mA.	80
Figura 28 – Tensão no resistor de desvio e corrente de saída SCMOSES com o sinal DIBS aplicado na entrada. (a) Faixa de 100 Hz - 1 kHz. (b) Faixa de 1 kHz - 10 kHz. (c) Faixa de 10 kHz - 100 kHz. (d) Faixa de 100 kHz - 1 MHz. (e) Faixa de 1 MHz - 10 MHz.	81
Figura 29 – Diagrama esquemático dos testes do DDA1.	82
Figura 30 – Curva de transferência CC do DDA1.	83
Figura 31 – Ganho e fase em função da frequência do amplificador DDA1.	83
Figura 32 – Ganho e fase em função da frequência do amplificador FDDA em malha aberta. .	84
Figura 33 – Ganho e fase em função da frequência do amplificador DDA1 simulação pré-leiaute.	85
Figura 34 – Simulação no domínio do tempo para entrada do tipo senoidal. (a) Frequência de 100 kHz. (b) Frequência de 1 MHz. e (c) Frequência de 10 MHz.	86
Figura 35 – Simulação no domínio do tempo com entrada de sinal DIBS. (a) Faixa de 10 kHz até 100 kHz. (b) Faixa de 100 kHz até 1 MHz. (c) Faixa de 1 MHz até 10 MHz.	87
Figura 36 – Diagrama de blocos do teste do DDA2.	88
Figura 37 – Característica de transferência CC do amplificador DDA2.	89
Figura 38 – Ganho e fase em função da frequência do amplificador DDA2.	90
Figura 39 – Simulação no domínio do tempo para entrada do tipo senoidal. (a) Frequência de 100 kHz. (b) Frequência de 1 MHz. e (c) Frequência de 10 MHz.	91
Figura 40 – Simulação no domínio do tempo com entrada de sinal DIBS. (a) Faixa de 10 kHz até 100 kHz. (b) Faixa de 100 kHz até 1 MHz. (c) Faixa de 1 MHz até 10 MHz.	92
Figura 41 – Diagrama de blocos para as simulações do <i>front-end</i> para medição de impedância elétrica.	93
Figura 42 – Magnitude e fase da impedância em função da frequência para resistores em quatro escalas. (a) 100 Ω . (b) 1 k Ω (c) 10 k Ω . (d) 100 k Ω	95
Figura 43 – Tensão de saída do DDA1 e do DDA2 em função do tempo para uma resistência de carga de 100 Ω . (a) Banda de 1 kHz. (b) Banda de 10 kHz. (c) Banda de 100 kHz. (d) Banda de 1 MHz. (e) Banda de 10 MHz.	97

Figura 44 – Magnitude e fase da impedância em função da frequência para resistores em quatro escalas utilizando o modelo de Randles. (a) 100 Ω . (b) 1 k Ω . (c) 10 k Ω . (d) 100 k Ω 98

LISTA DE TABELAS

Tabela 1 – Principais características dos circuitos integrados comerciais utilizados em espectroscopia de impedância.	37
Tabela 2 – Comparação entre os principais circuitos integrados acadêmicos para espectroscopia de impedância elétrica.	41
Tabela 3 – Listagem dos parâmetros tecnológicos para o modelo ACM	48
Tabela 4 – Parâmetros de canal longo do modelo ACM para os transistores 2,5 V da tecnologia TSMC 65 nm com dimensões de $W = 1 \mu\text{m}$ e $L = 1 \mu\text{m}$	50
Tabela 5 – Tempos dos sinais DIBS para formar todo o espectro da Figura 13.	55
Tabela 6 – Especificações iniciais do sistema, todos os blocos estão no mesmo $V_{DD} = 2,5$ V.	56
Tabela 7 – Dimensões dos transistores da Figura 14.	61
Tabela 8 – Dimensões dos transistores da Figura 15.	63
Tabela 9 – Dimensões dos resistores da Figura 15.	64
Tabela 10 – Dimensões dos transistores utilizadas para o leiaute do FDDA.	68
Tabela 11 – Tabela resumo de referência para as configurações de ganho e das correntes de saída do circuito SCMOSES.	69
Tabela 12 – Descrição dos pinos do circuito proposto.	73
Tabela 12 – Descrição dos pinos do circuito proposto (continuação).	74
Tabela 13 – Comparação entre arquiteturas CMOS para bioimpedância e espectroscopia de impedância elétrica.	100

LISTA DE ABREVIATURAS E SIGLAS

ACM	Advanced Compact MOSFET
AC	Alternating Current (Corrente Alternada)
ADC	Analog-to-Digital Converter (Conversor Analógico-Digital)
ASIC	Application Specific Integrated Circuit
BIS	Bioimpedance Spectroscopy
CC	Corrente Contínua
CCII	Current Conveyor Second Generation
CF	Crest Factor
CI	Circuito Integrado
CMOS	Complementary Metal-Oxide-Semiconductor
CMRR	Common-Mode Rejection Ratio
D/A	Digital-to-Analog
DDA	Differential Difference Amplifier
DIBS	Discrete Interval Binary Sequence
DFT	Discrete Fourier Transform
EHCS	Enhanced Howland Current Source
EIE	Espectroscopia de Impedância Elétrica
EIS	Electrical Impedance Spectroscopy
FF	Fast-Fast
FDDA	Fully Differential Difference Amplifier
FFT	Fast Fourier Transform
GBW	Gain-Bandwidth Product
IC	Integrated Circuit
IDAC	Current Digital-to-Analog Converter
LOC	Lab-on-Chip
MLBS	Maximum Length Binary Sequence
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
PDK	Process Design Kit
PPGEEL	Programa de Pós-Graduação em Engenharia Elétrica

PGB	Produto Ganho-Banda
PVT	Process, Voltage and Temperature
SCMOSCS	Switched CMOS Current Source
SoC	System-on-Chip
SS	Slow-Slow
SR	Slew Rate
THD	Total Harmonic Distortion
TSMC	Taiwan Semiconductor Manufacturing Company
UDESC	Universidade do Estado de Santa Catarina
VCCS	Voltage Controlled Current Source
VLSI	Very Large Scale Integration

LISTA DE SÍMBOLOS

A_v	Ganho de tensão
C_L	Capacitância de carga
f	Frequência
f_{max}	Frequência máxima de operação
g_m	Transcondutância
GBW	Produto ganho-banda
I_D	Corrente de dreno
I_{out}	Corrente de saída
I_{REF}	Corrente de referência
I_T	Corrente de polarização de calda do par diferencial
R	Resistência
R_{in}	Resistência de entrada
R_{shunt}	Resistor de derivação para medição de corrente
SR	Slew Rate
V_{DD}	Tensão de alimentação
V_{GS}	Tensão porta-fonte
V_{DS}	Tensão dreno-fonte
V_{DSsat}	Tensão dreno-fonte de saturação
V_{REF}	Tensão de referência
V_{CM}	Tensão de modo comum
V_{in}	Tensão de entrada
V_{out}	Tensão de saída
W	Largura do canal do transistor
L	Comprimento do canal do transistor
W/L	Razão de aspecto do transistor
Z	Impedância complexa
Z_L	Impedância da carga
Z_M	Impedância do instrumento de medição
Z_S	Impedância da fonte
Z_{EL}	Impedância do eletrodo

ω	Frequência angular
ϕ	Fase da impedância
i_f	Coefficiente de inversão direta normalizado
i_r	Coefficiente de inversão reversa normalizado
I_S	Corrente específica do transistor
I_{SQ}	Corrente específica do transistor para $W/L = 1$
I_F	Corrente direta normalizada
I_R	Corrente reversa normalizada
n	Fator de inclinação
ϕ_T	Tensão térmica
V_P	Potencial de (<i>pinchoff</i>)
V_{GB}	Tensão porta-corpo
V_{SB}	Tensão fonte-corpo
V_{DB}	Tensão dreno-corpo
V_{TH}	Tensão de limiar
V_{T0}	Tensão de limiar para polarização nula do corpo
V_{DC}	Tensão de alimentação contínua
V_{Pulso}	Tensão da fonte pulsada
β	Fator de ganho do transistor
μ	Mobilidade efetiva dos portadores
C_{ox}	Capacitância de óxido por unidade de área
γ	Coefficiente de efeito de corpo
λ	Parâmetro de modulação do comprimento de canal
g_{ds}	Condutância de saída
g_{mb}	Transcondutância de corpo
r_o	Resistência intrínseca de saída
f_T	Frequência de transição do transistor
C_{gs}	Capacitância porta-fonte
C_{gd}	Capacitância porta-dreno
C_{gb}	Capacitância porta-corpo
C_{db}	Capacitância dreno-corpo

C_{sb}	Capacitância fonte-corpo
J_D	Densidade de corrente de dreno
q	Carga elementar do elétron
ϵ_{ox}	Permissividade elétrica do óxido
ϵ_{si}	Permissividade elétrica do silício
T	Temperatura absoluta
I_{SQ}	Corrente específica por quadrado do transistor
ζ	Parâmetro associado à velocidade limite dos portadores
σ	Coefficiente DIBL (Drain Induced Barrier Lowering)
k	Constante de Boltzmann

SUMÁRIO

1	INTRODUÇÃO	20
2	CONCEITOS DE ESPECTROSCOPIA DE IMPEDÂNCIA ELÉTRICA E ESTADO DA ARTE	25
2.1	ELETRODOS	25
2.2	SINAIS DE EXCITAÇÃO	29
2.2.1	Domínio da frequência	29
2.2.2	Domínio do tempo	30
2.3	SISTEMAS DE EXCITAÇÃO E MEDIÇÃO	33
2.3.1	<i>Chips</i> comerciais	33
2.3.2	Sistemas portáteis e vestíveis em bioimpedância	40
3	PROPOSTA DE SISTEMA, MODELO DO TRANSISTOR E ESPECI- FICAÇÕES DO <i>FRONT-END</i> ANALÓGICO CMOS	44
3.1	MODELO ACM DO TRANSISTOR MOS	46
3.1.1	Equações do modelo ACM	46
3.1.2	Extração de parâmetros para a Tecnologia TSMC 65 nm	49
3.2	ESPECIFICAÇÕES DO SISTEMA	52
4	PROJETOS ELÉTRICOS REALIZADOS	58
4.1	REFERÊNCIA DE CORRENTE	58
4.2	FONTE SCMOSCS	61
4.3	AMPLIFICADORES DE INSTRUMENTAÇÃO (DDA1 E DDA2)	64
4.4	PROJETO FÍSICO	70
5	RESULTADOS E DISCUSSÕES	76
5.1	REFERÊNCIA DE CORRENTE E SCMOSCS	76
5.2	AMPLIFICADORES DE INSTRUMENTAÇÃO	82
5.2.1	DDA1	82
5.2.2	DDA2	88
5.3	MEDIDA DE IMPEDÂNCIAS A PARTIR DO <i>FRONT-END</i>	93
5.3.1	Medidas de resistências puras	94
5.3.1.1	<i>Medição de impedâncias com modelo elétrico de tecidos biológicos de Randles</i>	96
5.4	COMPARAÇÃO DE RESULTADOS COM OUTROS CIRCUITOS INTE- GRADOS PARA ESPECTROSCOPIA DE IMPEDÂNCIA ELÉTRICA	99
6	CONSIDERAÇÕES FINAIS	103
6.1	CONCLUSÕES	103
6.2	PROPOSIÇÃO DE TRABALHOS FUTUROS	105
	REFERÊNCIAS	106

APÊNDICE A – ARTIGO PUBLICADO NO <i>JOURNAL OF ELECTRICAL BIOIMPEDANCE</i>	116
APÊNDICE B – RECIBO DE DEPÓSITO DE PATENTE RELACIONADO AO PROJETO DO SOC PARA DISPOSITIVOS VESTÍVEIS E PORTÁTEIS	126
APÊNDICE C – OUTROS ARTIGOS PUBLICADOS DURANTE OS TRABALHOS DE DOUTORADO	131
APÊNDICE D – CERTIFICADO DE PREMIÇÃO DE MELHOR ARTIGO DO CLABIO 2024	135

1 INTRODUÇÃO

A espectroscopia de impedância elétrica (EIE) é um método de medição amplamente utilizado para determinar impedâncias elétricas complexas em função de diferentes frequências (KANOUN, 2018). Entre os exemplos de aplicações da espectroscopia de impedância elétrica na indústria estão a caracterização de materiais para análise de qualidade e o monitoramento da degradação em metais (ALEMAYEHU et al., 2021; KANOUN, 2018). A caracterização de sensores resistivos, capacitivos e indutivos é outra aplicação industrial da EIE (KANOUN, 2018).

No que se refere à análise de materiais biológicos, podem ser citados: a qualidade de alimentos (CAICEDO-ERASO; DÍAZ-ARANGO; OSORIO-ALTURO, 2020; FOODS, 2023; RAFIQ et al., 2024), o diagnóstico de câncer (PALACIO; NOIJE, 2016), a medição de glicemia (projeto EGLUCO) (PEDRO; BERTEMES-FILHO, 2021; RAHMAN; ISLAM, 2023; EGLUCO, 2024), a medição de tônus muscular (SIRTOLI et al., 2018) e a geração de imagens de tomografia (HUANG et al., 2023; ADLER; HOLDER, 2021). Além disso, há a possibilidade de utilização de biossensores, nos quais um material biológico altera as características elétricas (impedância elétrica) de superfícies biocompatíveis (KANOUN, 2018; XU; YAZICIOGLU, 2016; LI; WANG, 2022). Os biossensores são utilizados no conceito de *lab-on-chip*, no qual todo o sistema de análise está encapsulado em um circuito integrado (HANS, 2025; WANG; XU, 2020; GUPTA et al., 2025; ZHANG et al., 2025; YANG et al., 2009).

Independentemente da aplicação da EIE, o espectro de impedância pode ser obtido por duas abordagens distintas: no domínio da frequência ou no domínio do tempo (STUPIN et al., 2020; ADLER; HOLDER, 2021). No primeiro caso, o sistema aplica um sinal senoidal de corrente ou tensão com uma frequência específica e, simultaneamente, coleta alguns ciclos da tensão ou da corrente para calcular a impedância correspondente. O processo é repetido para um número especificado de frequências dentro de uma faixa. Depois que as impedâncias são calculadas, é possível construir um diagrama de Bode ou de Nyquist. Já no domínio do tempo, um sinal de corrente ou tensão cujo conteúdo espectral é previamente conhecido é aplicado a uma amostra durante um determinado intervalo. Simultaneamente, o sinal resultante da interação com a amostra é coletado. Posteriormente, a impedância é calculada para toda a faixa de frequência. Assim, a análise no domínio do tempo é frequentemente denominada análise rápida ou análise em tempo real (OJARAND et al., 2010; OJARAND; RIST; MIN, 2016; ZHANG et al., 2018; YANG et al., 2015; STUPIN et al., 2020; ADLER; HOLDER, 2021).

A utilização de sinais DIBS para espectroscopia de impedância elétrica já foi demonstrada experimentalmente em sistemas não integrados. Sirtoli et al. (SIRTOLI et al., 2018) empregaram esse tipo de excitação em um sistema de bioimpedância, realizando medições experimentais em resistores e posteriormente em tecido biológico durante exercícios isotônicos. Os resultados obtidos demonstraram a capacidade do método de determinar a impedância em uma ampla faixa de frequências a partir de uma única excitação de banda larga. Esses resultados fornecem evidência experimental da aplicabilidade de sinais DIBS à espectroscopia de impedância em

aplicações biomédicas.

As análises rápidas são preferíveis em dispositivos alimentados por bateria, pois demandam menos tempo de circuito ativo para finalizar uma medição. Isso ocorre porque os circuitos podem ser desligados quando não é necessária a realização de uma análise. Além disso, há situações em que há flutuações nas características de impedância da amostra (ADLER; HOLDER, 2021; DOUSSAN; HALTER, 2026). Um exemplo é a formação de imagens tomográficas, em que são necessários dezenas de espectros para formar uma imagem, enquanto as características da amostra mudam durante um ciclo de respiração, por exemplo. Então, para monitoramento em tempo real e para respostas rápidas, a análise no domínio do tempo está se tornando cada vez mais importante (ADLER; HOLDER, 2021; OJARAND et al., 2010; OJARAND; RIST; MIN, 2016; ZHANG et al., 2018).

Entre as aplicações potenciais da EIE que utilizam a análise no domínio do tempo destaca-se o projeto EGlucO (EGLUCO, 2024), cujo objetivo é o desenvolvimento de um dispositivo vestível para monitoração não invasiva de glicemia (PEDRO; BERTEMES-FILHO, 2021; PEDRO; BERTEMES-FILHO, 2021; HINA; SAADEH, 2022b; SHOKREKHODAEI et al., 2021; SANAI et al., 2023a; HINA; SAADEH, 2022a; RAHMAN; ISLAM, 2023). Nesse tipo de aplicação, a integração de circuitos de excitação e aquisição em uma única plataforma CMOS favorece a redução do consumo energético, do volume físico do sistema e da complexidade de interconexão.

Embora a espectroscopia de impedância elétrica possa ser empregada em aplicações específicas, como a estimativa de glicose em sistemas dedicados, o circuito integrado proposto neste trabalho não é desenvolvido para uma aplicação biomédica específica. A arquitetura foi concebida como uma plataforma de medição de impedância de propósito geral, buscando atender diferentes aplicações que apresentem faixas distintas de impedância e frequência. Essa característica motivou a adoção de múltiplas escalas de corrente de excitação e de uma ampla faixa de frequência de análise.

Essa abordagem permite contemplar, por exemplo, aplicações em sistemas *Lab-on-Chip* (LOC), nos quais as impedâncias podem variar de alguns $k\Omega$ a centenas de $k\Omega$ (HANS, 2025), bem como aplicações de caracterização de alimentos, onde a impedância pode variar de dezenas de Ω até dezenas de $k\Omega$ dependendo da frequência (SUN et al., 2020). Dessa forma, a faixa de impedâncias de $10\ \Omega$ até $100\ k\Omega$ adotada neste trabalho não está associada exclusivamente a uma aplicação específica, mas busca proporcionar flexibilidade para diferentes aplicações de espectroscopia de impedância elétrica. Além disso, os dois trabalhos citados apresentam análises em banda larga.

Um sistema vestível ou portátil deve ter alimentação de tensão ultrabaixa, consumo de energia ultrabaixo, volume pequeno e alta precisão (HESHAM; SOLTAN; MADIAN, 2021; CORBACHO et al., 2022; ABDOLRAZZAGHI et al., 2021; CONSTANTINOU; BAYFORD; DEMOSTHENOUS, 2015), esta última característica necessária para uso médico. A convergência dessas características é encontrada na tecnologia de fabricação de integração em escala

muito grande (VLSI - *very large scale of integration*), como a metal-óxido-semicondutor complementar (CMOS - *complementary metal-oxide-semiconductor*), que é uma tecnologia padrão de fabricação de circuitos integrados (IC - *Integrated circuit*). Há uma variedade de trabalhos de pesquisa que propõem diferentes projetos de circuitos integrados para aplicações biomédicas, inclusive para o monitoramento da glicose (HINA; SAADEH, 2022a; ABDOLRAZZAGHI et al., 2021).

Para implementar os circuitos de medição de EIE, geralmente é utilizada uma fonte de corrente para injetar em uma amostra e, em seguida, medir a tensão resultante. Apesar de haver outras formas, o controle da corrente injetada está se tornando bastante popular por simplificar o sistema de medição e por evitar que níveis de corrente danifiquem as amostras (ADLER; HOLDER, 2021). Circuitos lineares, como amplificadores operacionais ou amplificadores de transcondutância, são empregados com frequência para gerar fontes de corrente. Mesmo quando se utiliza sinais pulsados, como sinais de sequências binárias, as fontes lineares são geralmente empregadas para essa finalidade. Muitos estudos destacaram o desempenho e os aspectos de projeto das fontes de corrente na EIE (BERTEMES-FILHO, 2021; SIRTOLI et al., 2018; MARCÔNDES; BERTEMES-FILHO; PATERNO, 2022; YANG et al., 2015; MORCELLES et al., 2017; SCHRUNDER; RUSU, 2023; SILVERIO; SILVERIO, 2012; ZARAFSHANI et al., 2017). Nesse contexto, circuitos baseados em amplificadores operacionais são particularmente adequados para sistemas excitados por sinais senoidais ou por combinações de senoides (SANCHEZ et al., 2012; MIN et al., 2011). Entretanto, quando se utilizam sinais pulsados ou sequências binárias, torna-se possível empregar arquiteturas chaveadas capazes de inverter o sentido da corrente na carga conforme os níveis lógicos aplicados. A utilização dessas últimas elimina a corrente de polarização, típica de amplificadores operacionais, ao menos na fonte de corrente (XU; HARPE; HOOFF, 2018) e Silva e Bertemes-Filho (2024b), o que é benéfico para redução de consumo em espectrômetros de impedância elétrica.

Nesse contexto, é necessária a criação de um circuito integrado que contenha uma fonte de corrente otimizada para a análise de espectroscopia de bioimpedância no domínio do tempo. Além disso, é necessário um amplificador de instrumentação de banda larga para medição de tensão e circuitos auxiliares, como uma referência de corrente programável. Esse circuito integrado poderá fazer parte de qualquer sistema de análise de impedância elétrica alimentado por baterias, não excluindo sistemas alimentados por fontes de energia conectadas à rede elétrica.

Para a fonte de corrente otimizada destinada à análise rápida de EIE, este trabalho apresenta uma proposta de topologia de uma fonte de corrente chamada SCMOSSCS (*switched CMOS current source*). Sendo uma fonte de lógica chaveada, ela pode operar com o mínimo de consumo de corrente necessário para excitar a amostra, além de suportar frequências até de 10 MHz. A configuração do SCMOSSCS, proposta por Silva e Bertemes-Filho (2024b), é baseada em um espelho de corrente de alta impedância e uma ponte H que utiliza inversores CMOS, semelhante ao sistema IDAC descrito em Xu, Harpe e Hoof (2018). O projeto proposto é particularmente adequado para realização em circuitos integrados e oferece várias vantagens

em relação à utilização de circuitos lineares para a EIE no domínio do tempo. Além disso, a referência de corrente autopolarizada com programação da corrente de saída e os amplificadores de instrumentação do tipo DDA são propostos para medir tanto a tensão na amostra, quanto a tensão de resistor *shunt* no caminho da corrente de saída.

Quanto aos estágios de entrada (*front-ends*) para análise de espectroscopia de impedância elétrica em tecnologia CMOS, há trabalhos de Xu, Harpe e Hoof (2018), Pérez-Bailón et al. (2021), Rao et al. (2018), Song et al. (2015), Khan, Qaiser e Saadeh (2022), SILVERIO e SILVERIO (2012), Corbacho et al. (2022). A literatura apresenta algumas propostas de circuitos integrados (CI) monolíticos compostos tanto pelos circuitos de excitação da amostra quanto dos circuitos para medição. Entre os trabalhos, destacam-se os de Xu, Harpe e Hoof (2018), Pérez-Bailón et al. (2021), Rao et al. (2018), Song et al. (2015), sendo que, dentre eles, apenas Xu, Harpe e Hoof (2018) apresenta uma fonte de corrente chaveada para sinais pulsados. Além dessas pesquisas, há também os *front end* comerciais da linha MAX3000X da Analog Devices. O MAX 30009, por exemplo, apresenta circuitos de excitação em corrente e medição de tensão, mas faz análises no domínio da frequência. Outros trabalhos apresentam apenas partes, como as fontes de corrente integradas em tecnologia CMOS (HUANG et al., 2023; PALACIO; NOIJE, 2016), ou apenas circuitos para medição de tensão (TAKHTI; ODAME, 2019; PÉREZ-BAILÓN; CALVO; MEDRANO, 2022; VALENTE; DEMOSTHENOUS, 2016; CHEON et al., 2022; CORBACHO et al., 2022).

Apesar dos avanços observados em Xu, Harpe e Hoof (2018), Pérez-Bailón et al. (2021), Rao et al. (2018), Song et al. (2015), ainda há poucas opções de circuitos integrados CMOS que combinem fonte de corrente chaveada otimizada para sinais de excitação binários proporcionando análises no domínio do tempo, larga faixa de escala de medição de impedância, banda larga de até 10 MHz e baixa tensão de alimentação.

O objetivo deste trabalho é apresentar uma proposta de projeto de um circuito integrado CMOS analógico para espectroscopia de impedância elétrica no domínio do tempo, adaptado para sinais de sequências binárias ou retangulares com banda de 10 MHz. O circuito contará com referência de corrente digitalmente programável, uma fonte de corrente SCMOCS e dois amplificadores de instrumentação do tipo DDA. Esse circuito terá capacidade de realizar análises de EIE em frequências até 10 MHz, pois as análises de EIS estão começando a ultrapassar essa frequência (LI et al., 2025) e será alimentado em 2,5 V. A referência de corrente digitalmente programável terá quatro opções de correntes de saída ($2\ \mu\text{A}$, $20\ \mu\text{A}$, $200\ \mu\text{A}$ e $2000\ \mu\text{A}$) permitindo quatro escalas de medida de impedância ($100\ \Omega$, $1\ \text{k}\Omega$, $10\ \text{k}\Omega$ e $100\ \text{k}\Omega$) apresentando assim, capacidade de ser utilizada em uma ampla variedade de aplicações. Simulações pós-leiaute demonstraram a capacidade desse *chip* de preencher as necessidades de análise de impedâncias de banda larga em tempo real.

O presente trabalho está organizado da seguinte forma: no capítulo 2 são apresentados conceitos sobre EIE, sistemas de EIE existentes no mercado e o estado da arte. No capítulo 3 é apresentada a proposta do *front-end* analógico, o modelo analítico do MOSFET utilizado para

o projeto, os parâmetros tecnológicos utilizados e o processo de definição das especificações a partir do sinal de excitação escolhido. No capítulo 4, são apresentados os projetos elétricos dos diferentes circuitos que compõem o sistema proposto e detalhes do projeto físico. O capítulo 5 apresenta os resultados de simulação pós-leiaute dos circuitos separadamente e do funcionamento deles em conjunto. Finalmente, o capítulo 6 apresenta as considerações finais e as publicações realizadas durante o período deste trabalho.

2 CONCEITOS DE ESPECTROSCOPIA DE IMPEDÂNCIA ELÉTRICA E ESTADO DA ARTE

Espectroscopia de Impedância Elétrica é uma técnica de medição de magnitude e fase de uma impedância elétrica em função da frequência aplicada (BERTEMES-FILHO, 2002; SIMINI; BERTEMES-FILHO, 2018; ADLER; HOLDER, 2021). Esse espectro de impedância pode ser representado no formato de diagramas de Bode ou diagramas de Nyquist.

Diversos aspectos são levados em consideração para analisar um sistema de EIE, dentre os quais os eletrodos, o tipo de excitação da amostra e o tipo de análise. O número de eletrodos utilizados, o arranjo espacial entre eles e os tipos de ligação elétrica (bipolar, tetrapolar ou pseudo-tetrapolar) influenciam na qualidade da medida (ADLER; HOLDER, 2021). A determinação da impedância pode ser realizada através da excitação das amostras por injeção de corrente elétrica e medição de tensão. Já em outros sistemas, há a aplicação de tensão elétrica e medição de corrente. Em alguns casos, como na tomografia por espectroscopia de impedância, há mais de um ponto de medição de tensão durante a injeção da corrente (ADORNES et al., 2022). Do ponto de vista do tipo de abordagem realizada, tem-se a do domínio do tempo ou do domínio da frequência. Para cada uma dessas análises existem diferentes tipos de sinais que são utilizados (STUPIN et al., 2020). Esses aspectos, além da aplicação, influenciam em como os sistemas são projetados, incluindo as especificações dos circuitos.

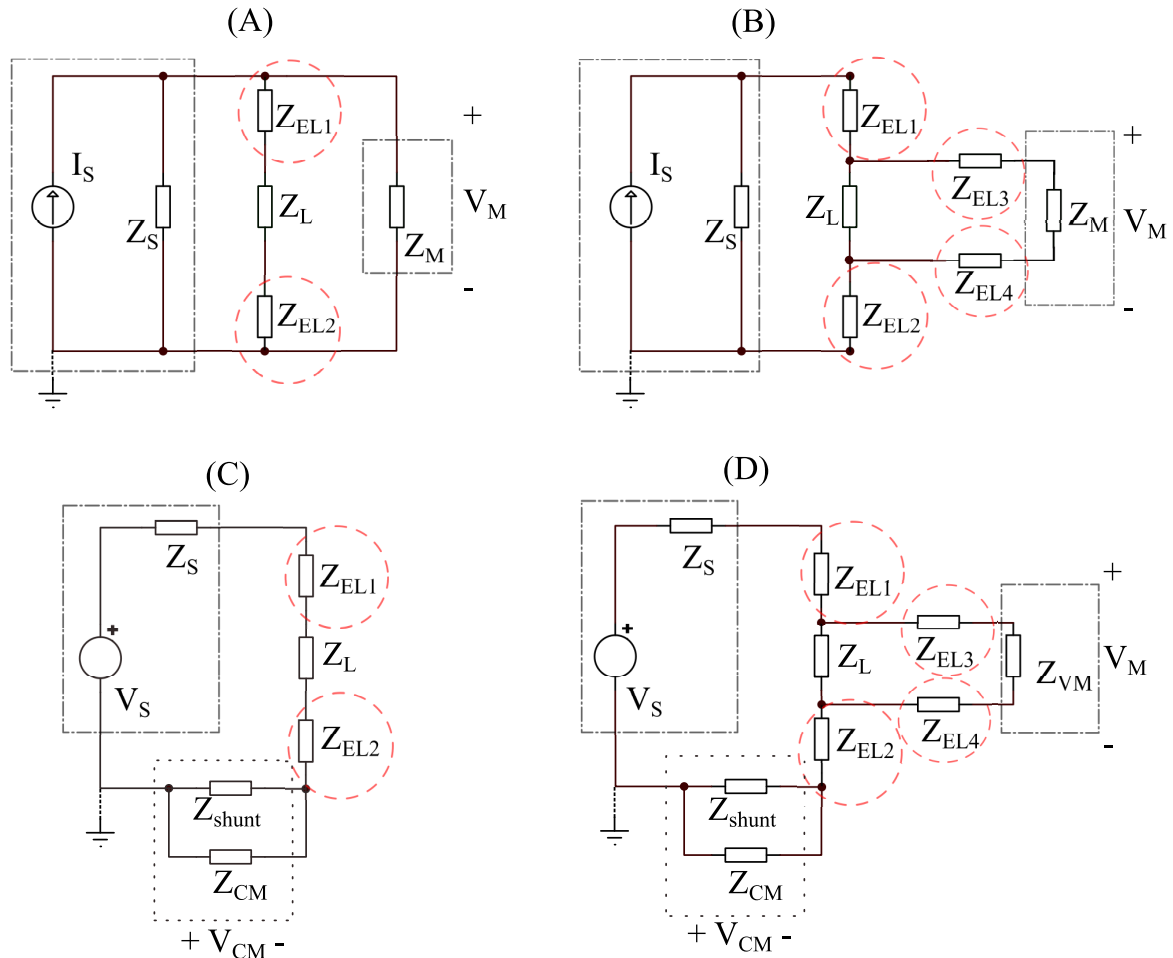
Este capítulo tem por objetivo apresentar uma visão geral sobre a realização de sistemas de EIE, analisar o estado da arte de circuitos integrados comerciais utilizados para EIE e de outros circuitos integrados dedicados a EIE apresentados na literatura técnica. Além disso, uma análise do estado da arte em dispositivos vestíveis que utilizam a técnica de EIE é realizada.

2.1 ELETRODOS

O sistema de medição de impedância elétrica apresenta impedâncias indesejadas, como, por exemplo, as impedâncias de interface eletrodo-amostra circulares com tracejados na Figura 1, que podem reduzir a exatidão da medida. No caso específico da espectroscopia de bioimpedância elétrica os eletrodos são parte relevante para o sistema de medição, pois sua impedância não está relacionada apenas a sua geometria e materiais utilizados, mas também às condições do tecido biológico em contato com os mesmos e às condições de interface (BERTEMES-FILHO, 2002; ADLER; HOLDER, 2021).

Além da geometria e da área efetiva dos eletrodos, a escolha do material também exerce influência significativa sobre a impedância da interface eletrodo-tecido e, consequentemente, sobre a qualidade das medições de bioimpedância. Materiais como prata/cloreto de prata (Ag/AgCl), ouro, platina e aço inoxidável apresentam características eletroquímicas distintas. Entre eles, os eletrodos de Ag/AgCl são amplamente utilizados em aplicações biomédicas por apresentarem baixa polarização, elevada estabilidade e reduzido potencial de interface, características que contribuem para medições mais reprodutíveis e com menor influência da impedância de contato

Figura 1 – Diagramas elétricos conceituais de 4 diferentes arranjos de eletrodos e de tipos de excitação: (A) dois eletrodos com excitação em corrente, (B) quatro eletrodos com excitação em corrente, (C) dois eletrodos com excitação em tensão e (D) quatro eletrodos com excitação em tensão.



Fonte: Elaborado pelo autor (2024).

(GRIMNES; MARTINSEN, 2008).

Embora, como será demonstrado, a configuração tetrapolar reduza substancialmente a influência dessa impedância na tensão medida, a escolha adequada do material dos eletrodos permanece um aspecto importante no projeto de sistemas de bioimpedância, contribuindo para maior exatidão, estabilidade e repetibilidade das medições (GRIMNES; MARTINSEN, 2008).

A Figura 1 mostra quatro diferentes tipos básicos de arranjos de eletrodos e excitações no formato de diagramas elétricos, indicando a quantidade de eletrodos e o tipo de excitação a ser utilizada. Na Figura 1 (A), uma corrente I_S é injetada através do eletrodo 1, com impedância Z_{EL1} , e retorna para a fonte pelo eletrodo 2 com impedância Z_{EL2} . Além das impedâncias dos eletrodos, a impedância de saída da fonte de corrente Z_S , a impedância de entrada do medidor de tensão Z_M e a impedância da carga (amostra a ser medida) Z_L formam o conjunto de impedâncias que influenciam na medida de Z_L . A tensão nos terminais do medidor (V_M) é influenciada pelas impedâncias dos eletrodos que, por sua vez, podem variar com relação às condições na interface

eletrodo-amostra (ADLER; HOLDER, 2021). As impedâncias dos eletrodos podem causar erros de medição que dependem de muitas variáveis, inclusive da habilidade do operador.

A equação (1), deduzida a partir da Figura 1(A), que demonstra o erro relativo da impedância que será medida com relação à impedância da amostra Z_L mostra que, se $Z_S = Z_M = \infty$ e $Z_{EL1} = Z_{EL2} = 0$ o erro relativo da impedância medida se aproxima de zero. Quando essas condições são garantidas, pode-se dispensar um medidor extra de corrente na carga, simplificando o sistema reduzindo o consumo de energia (ADLER; HOLDER, 2021). Este caso demonstra que as impedâncias dos eletrodos não podem ser eliminadas a não ser que elas se aproximem de zero. Na prática nenhuma das condições mencionadas é realista, fazendo deste um arranjo com muitas variáveis de erro. Outro ponto a ser comentado na Figura 1 é que se um dos terminais de saída da fonte é ligado ao GND, esta será uma ligação do tipo pseudo-bipolar ou pseudo-tetrapolar. As ligações bipolar e tetrapolar podem ser definidas como ligações diferenciais, ou seja, os terminais, tanto da fonte quanto do medidor, não têm ligação direta com o potencial de GND.

$$Erro_{Z_L}(\%) = 100 \left[1 - \left(\frac{1}{\frac{Z_L}{Z_S} + \frac{Z_L}{Z_M} + \frac{Z_L}{Z_{EL1} + Z_L + Z_{EL2}}} \right) \right] \quad (1)$$

A Figura 1 (B) traz um sistema pseudo-tetrapolar ou tetrapolar. Nesse arranjo, uma corrente é injetada através do eletrodo 1 com impedância Z_{EL1} e retorna para a fonte pelo eletrodo 2 com impedância Z_{EL2} . A tensão, por sua vez, é medida através dos eletrodos 3 e 4 de impedâncias Z_{EL3} e Z_{EL4} , respectivamente. Essa estratégia de medição tem por objetivo reduzir a dependência de erro causado pelas impedâncias dos eletrodos. O erro percentual da impedância medida relativo à impedância da amostra pode ser verificado na equação (2). Pode-se verificar que o arranjo tetrapolar reduz a influência das impedâncias dos eletrodos de injeção de corrente e elimina a dependência com os eletrodos de medição de tensão caso $Z_M \gg Z_{EL1} + Z_{EL2}$.

$$Erro_{Z_L}(\%) = 100 \left\{ 1 - \left[\frac{1}{1 + \frac{(Z_{EL1} + Z_{EL2}) \cdot (Z_L + Z_M)}{Z_S \cdot Z_M} + \frac{Z_L}{Z_S} + \frac{Z_L}{Z_M}} \right] \right\} \quad (2)$$

Os arranjos tetrapolar e pseudo-tetrapolar, juntamente com a injeção de corrente, são atualmente preferidos à aplicação de tensão no desenvolvimento de espectrômetros de impedância elétrica para as mais diversas aplicações, principalmente para aplicações de bioimpedância elétrica (BERTEMES-FILHO, 2002; SIMINI; BERTEMES-FILHO, 2018; ADLER; HOLDER, 2021). A injeção de corrente é preferível por proporcionar maior controle sobre a amplitude máxima da corrente aplicada à amostra. Esse controle é importante, principalmente, em amostras de tecidos biológicos, nas quais, dependendo da aplicação, a corrente típica aplicada pode ser da ordem de 1 mA (GRIMNES; MARTINSEN, 2008; WARD, 2019). Já no contexto de microeletrodos e biossensores, as correntes aplicadas podem estar na ordem de nanoampères ou de poucos microampères (HANS, 2025; WANG; XU, 2020). Quando a excitação é realizada

por tensão, a corrente resultante depende da impedância da amostra e, portanto, pode atingir valores superiores aos desejados. Dessa forma, a utilização de uma fonte de corrente com amplitude conhecida permite controlar diretamente a corrente aplicada à amostra, característica particularmente relevante em aplicações que envolvem tecidos biológicos (ADLER; HOLDER, 2021).

A Figura 1 (C) mostra uma fonte de tensão como excitação da amostra e apenas dois eletrodos para a medida. Esse tipo de excitação ainda é utilizado em alguns casos, como, por exemplo, em análise eletroquímica (LU et al., 2021) e em alguns casos de tomógrafos (ADLER; HOLDER, 2021). Além dessas aplicações, o uso de excitação em tensão é adequado em aplicações nas quais há dificuldade em atingir o nível de impedância de saída requerido para a fonte de corrente, em atingir a banda requerida por conta da capacitância inerente à impedância de saída da fonte de corrente ou a faixa dinâmica do circuito ser insuficiente para impedâncias de carga mais elevadas (ADLER; HOLDER, 2021; TUCKER; FOX; SADLEIR, 2013; QURESHI; CHATWIN; WANG, 2013; ZARAFSHANI et al., 2017).

A excitação em tensão exige, na maioria dos casos, uma medição de corrente por meio de um resistor de derivação (*shunt* de corrente). Pode-se observar que, como a tensão da fonte é dividida entre a impedância de saída da mesma, as impedâncias dos eletrodos e a impedância do resistor *shunt*, este arranjo pode apresentar erros significativos no valor da tensão na amostra. A equação (3) apresenta o erro percentual da medição da impedância relativo à impedância da amostra (Z_L).

$$Erro_{Z_L}(\%) = 100 \left[1 - \left(\frac{Z_S + Z_{EL1} + Z_{EL2} + Z_L + Z_{shunt} / Z_{CM}}{Z_L} + 1 \right) \right] \quad (3)$$

Verifica-se, na equação (3), que o erro é dependente da própria impedância da carga sendo uma estratégia pouco adequada para medição de impedâncias elétricas de valores abaixo da centena de Ω . Neste caso, além de reduzir o valor das impedâncias elétricas indesejadas o valor da impedância elétrica da amostra deve ser suficientemente alto para reduzir o erro da tensão na amostra. Como a resistência do *shunt* deve ser de valor baixo, quanto mais alta a impedância na amostra menor será a corrente e menor a tensão no resistor de derivação o que piora a relação sinal-ruído do sinal de medição de corrente.

O arranjo tetrapolar ou pseudo-tetrapolar apresentado na Figura 1 (D) é uma alternativa para reduzir a influência das impedâncias indesejadas utilizando uma fonte de tensão com a desvantagem do aumento da complexidade do sistema. A equação (4) apresenta o erro relativo da impedância medida pelo sistema em relação a impedância da amostra (Z_L).

$$Erro_{Z_L}(\%) = 100 \left[1 - \left(\frac{Z_M}{Z_{EL3} + Z_M + Z_{EL4}} \right) \right] \quad (4)$$

O erro na medida de impedância depende apenas da relação entre a impedância de entrada do medidor de tensão na amostra e as impedâncias dos eletrodos três e quatro. Adicionalmente,

esse erro é independente da impedância da carga e dos eletrodos um e dois. Nesse arranjo, a maior complexidade do sistema deve acompanhar uma maior exatidão na medida da impedância.

É importante salientar que um aumento de complexidade com a inserção de um medidor de corrente para os arranjos apresentados na Figura 1 (A) e na Figura 1 (B) pode trazer benefícios com relação à exatidão da medida da impedância. Isso porque, mesmo que a injeção de corrente possa trazer o benefício de reduzir circuitos, a própria fonte de corrente pode trazer imprecisões em seu valor especificado para além da sua impedância de saída (MOHAMADOU et al., 2012a).

Os arranjos tetrapolares têm vantagem em relação aos arranjos bipolares por minimizarem os erros introduzidos pelas impedâncias dos eletrodos e pelos resistores de derivação. Nesse contexto, o sistema apresentado neste trabalho possibilita medições utilizando arranjos tetrapolares e a monitoração da corrente efetivamente injetada na amostra, o que contribui para a obtenção de medições com elevada exatidão.

2.2 SINAIS DE EXCITAÇÃO

Do ponto de vista dos tipos de sinais que são utilizados para a excitação há, em espectroscopia de impedância elétrica, uma classificação com relação ao conteúdo espectral do sinal que é aplicado à amostra. Pode-se citar como exemplos: sinais sinusoidais, funções degrau e sinais de ruído (BERTEMES-FILHO, 2002; SIMINI; BERTEMES-FILHO, 2018). Os tipos de análise são divididos em análise nos domínios da frequência e do tempo, dependendo do conteúdo espectral do sinal de excitação (STUPIN et al., 2020).

2.2.1 Domínio da frequência

A análise no domínio da frequência utiliza um sinal sinusoidal. Para a formação de um espectro de impedâncias, uma varredura da frequência do sinal sinusoidal é realizada. Para cada frequência, a medida de impedância requer um certo número de ciclos para ser determinada; isso faz com que haja necessidade de um tempo relativamente longo para determinação da impedância em função da frequência. Por isso, esse é o tipo de medida que leva mais tempo para ser realizada. O analisador de impedâncias 4192A precisa de 20 s para realizar uma análise de 25 frequências dentro da banda de 1 kHz a 1 MHz (ZHANG et al., 2018). O analisador de impedâncias da ZURICH, o MFIA 500 (ZURICH, 2024) leva mais de 0,5 s para fazer a análise para os mesmos 25 pontos de frequência, pois tem um tempo de análise de 20 ms por ponto para frequências acima de 10 kHz. Esse tipo de excitação leva ainda mais tempo quando se trata de baixas frequências, como o Solartron 1174 (SANCHEZ et al., 2012) que, para uma banda de 0,001 a 10 Hz e 15 frequências em toda banda, precisa de aproximadamente 276 s para terminar a análise. Por essa razão, a análise no domínio da frequência não é adequada para análises completas em tempo real, pois o comportamento da impedância pode mudar durante o tempo em que uma análise é realizada. Também não é adequada para dispositivos vestíveis, onde o usuário necessita verificar o resultado em um curto espaço de tempo.

2.2.2 Domínio do tempo

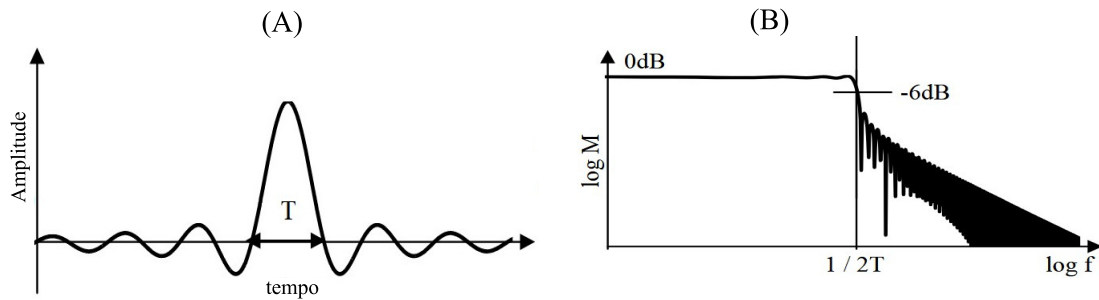
Para aplicações em que a impedância pode mudar rapidamente, tais como sistemas cardiovasculares (MIN et al., 2011; OJARAND; RIST; MIN, 2016), sistemas microfluídicos com resolução de nanolitros (MIN et al., 2011) e acompanhamento em tempo real de glicose na corrente sanguínea (SANCHEZ et al., 2012; MIN et al., 2008; PEDRO; BERTEMES-FILHO, 2021), os tempos de análise apresentados anteriormente não são adequados (SANCHEZ et al., 2012; MIN et al., 2008). Para esses casos faz-se necessário que várias frequências sejam injetadas na amostra em um curto intervalo de tempo. A análise no domínio do tempo em espectroscopia de impedância elétrica utiliza sinais em que o espectro tem sua energia distribuída dentro de uma faixa de frequências e é aplicado à amostra em poucos milissegundos, ao invés de sinais sinusoidais que têm sua energia concentrada na frequência fundamental. Aos dados da tensão e da corrente adquiridos em um intervalo de tempo específico é aplicada a transformada de Fourier digital. Os coeficientes desta transformada são utilizados para o cálculo do espectro da impedância (SANCHEZ et al., 2012; STUPIN et al., 2020; LAND; ANNUS; MIN, 2007). Para se ter uma ideia do potencial de utilização deste tipo de análise, em comparação ao do domínio da frequência, Zhang et al. (2018) cita um experimento onde 20 ms foram suficientes para fazer uma análise na faixa de 1 kHz a 1 MHz contendo 26 frequências. Além disso, Min et al. (2011), afirma que com um sinal do tipo *chirp* com uma banda de 100 kHz, foram necessários tempos de aproximadamente 10 μ s para fazer uma análise de impedâncias.

O projeto de sinais de perturbação (BARKER et al., 2006) para a identificação de sistemas lineares e não lineares foi inicialmente desenvolvido na área de controle de processos (BARKER; GODFREY, 1999; BARKER et al., 2006; GODFREY et al., 2005; GODFREY; BARKER; TUCKER, 1999). O projeto de sinais de perturbação é usado em espectroscopia de impedância elétrica como uma alternativa para definir as frequências que compõem o sinal de excitação. O tipo de sinal e suas características afetam tanto a exatidão da medida objetivando a maior relação sinal-ruído possível, quanto ao projeto do hardware em algumas especificações como linearidade, saturação, *slew rate*, produto ganho-banda e consumo de energia do sistema (MIN et al., 2008; YANG et al., 2015; ZHANG et al., 2018; SANCHEZ et al., 2012).

Segundo Zhang et al. (2018) há quatro parâmetros para o projeto de sinais de perturbação: (1) O formato do espectro de magnitude; (2) Número de componentes de frequência; (3) A distribuição destes componentes e (4) o fator de crista do sinal (CF - do Inglês *crest factor*). Alguns exemplos de sinais são: *discrete interval binary sequence (DIBS)*, *chirp*, *maximum length binary sequence (MLBS)* e *Multisine*. Outros exemplos de sinais são encontrados em Barker e Godfrey (1999), Land, Annus e Min (2007), Ojarand et al. (2010) e Zhang et al. (2018). Uma rápida análise de alguns sinais demonstra como o formato influencia em certas decisões de projeto de hardware.

A Figura 2 (A) apresenta uma função sinc e a Figura 2 (B) seu referido espectro. Pode-se verificar que a função sinc tem um espectro em que todas as componentes dentro da banda

Figura 2 – Funções sinc como exemplos de sinais de banda larga. (A) Função sinc no domínio do tempo. (B) Função sinc no domínio da frequência.



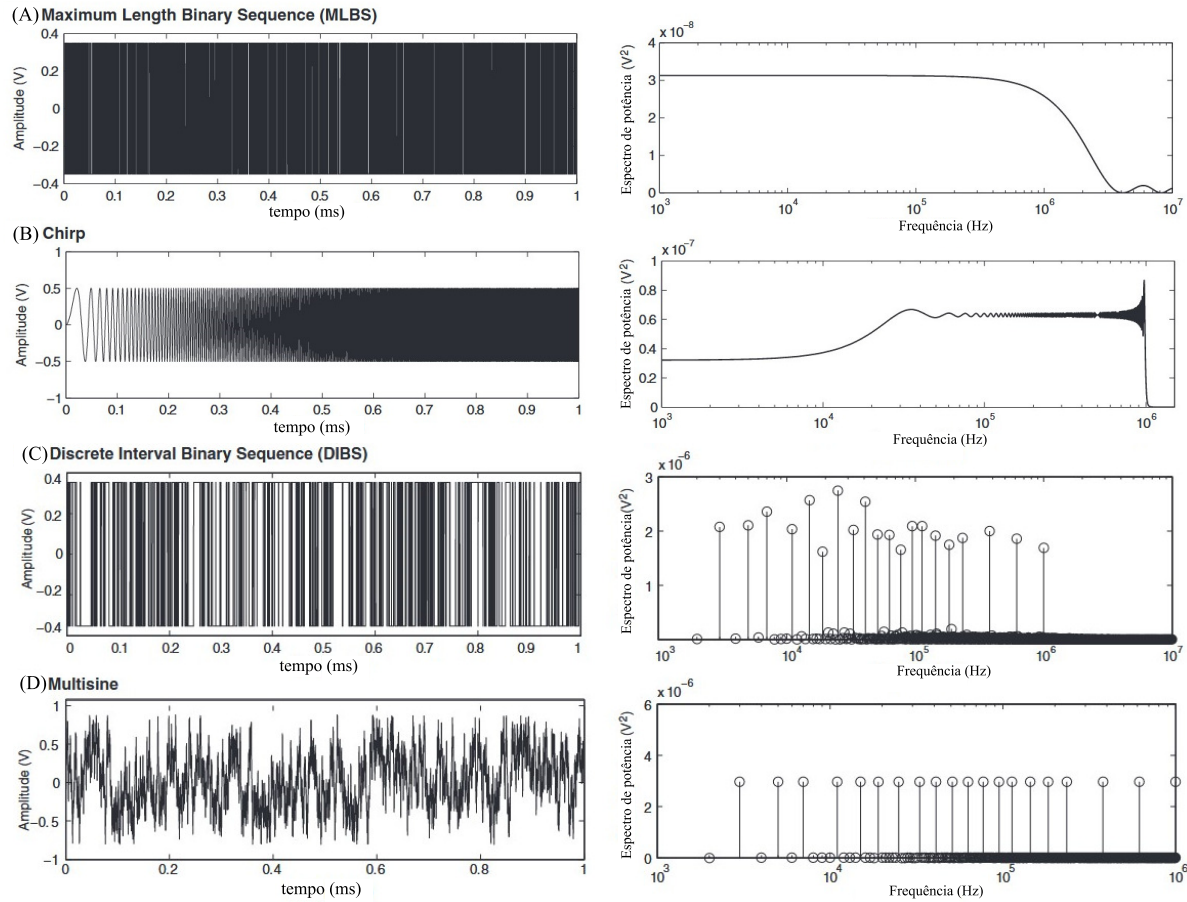
Fonte: adaptado de (LAND; ANNUS; MIN, 2007)

projetada têm a mesma amplitude. Isso é uma característica interessante para a realização de análises no domínio do tempo. No entanto, o fato dessa apresentar valor médio diferente de zero pode prejudicar a análise de amostras biológicas in vivo. Observando a Figura 2 (A) verifica-se que o fator de crista deste sinal traz algumas desvantagens para o projeto do *hardware*. O fator de crista, segundo Zhang et al. (2018), é a relação entre o valor máximo do sinal e seu valor eficaz (root mean square - RMS). Para uma avaliação qualitativa, pode-se dizer que um sinal denso no domínio do tempo é um sinal com fator de crista próximo de um. A função sinc apresenta um valor máximo em um intervalo de tempo muito pequeno e sua amplitude é maior do que o restante das oscilações. Essas características também desabonam o sinal sinc do ponto de vista da relação sinal-ruído e da operação linear do hardware. Considerando o pico do sinal, pode não ser necessário ganhos elevados, mas isso prejudica a relação sinal-ruído do restante das oscilações.

A Figura 3 apresenta alguns exemplos de sinais de excitação de banda larga. Os sinais apresentados têm fatores de crista que variam de 1 a 2.3 (SANCHEZ et al., 2012). O menor fator de crista é do MLBS e o maior é a do *multisine*. Esses sinais irão diferir também com relação à complexidade em gerá-los. Os sinais de sequências binárias, Figura 3 (A) e Figura 3 (C) são os mais fáceis de serem gerados por serem uma sequência de apenas dois níveis de amplitude (+A e -A) e de ocupar menor espaço em memória. Adicionalmente, eles têm melhor relação sinal-ruído e menor fator de crista.

Do ponto de vista do espectro de frequência, pode-se observar na Figura 3 (A) um espectro com uma densidade espectral de potência de magnitude constante dentro da banda de frequência de interesse. Já o espectro apresentado na Figura 3 (B) apresenta oscilações na magnitude dentro da faixa de interesse. Ambos os espectros apresentam grande quantidade de componentes em frequência não havendo possibilidade de escolher as componentes que se deseja no projeto. Essa característica está em contraste com os espectros apresentados na Figura 3 (C) e na Figura 3 (D) onde pode-se observar um espectro discretizado em componentes que podem ser escolhidas pelo projetista do sinal (GODFREY et al., 2005; BARKER et al., 2006). O sinal DIBS, Figura 3 (C), apresenta mudanças nas amplitudes das frequências dentro da faixa de interesse, mas pode ser projetado para ter um número específico de frequências com espaçamento linear

Figura 3 – Exemplos de sinais para análise no domínio do tempo.

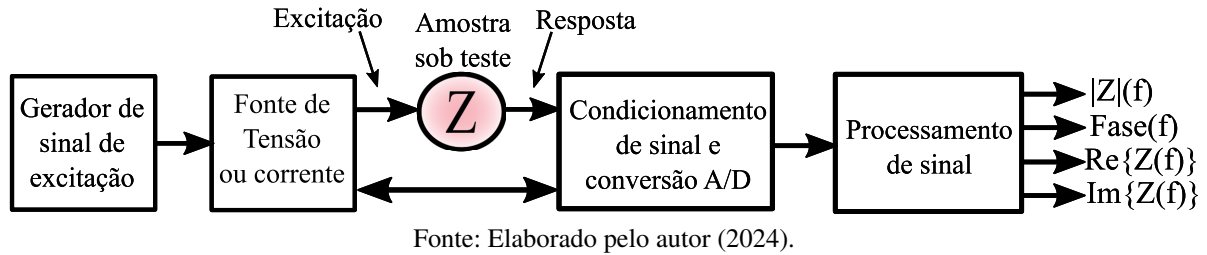


Fonte: adaptado de (SANCHEZ et al., 2012)

ou logarítmico. Já na Figura 3 (D), o espectro apresenta frequências discretizadas, a exemplo do sinal DIBS, mas a amplitude é mantida constante dentro da faixa de interesse. Esse sinal é o mais parecido com o ruído branco. Todos esses sinais podem ser projetados com a ajuda de pacotes computacionais já existentes (BARKER et al., 2006).

As características dos sinais influenciam o projeto do *hardware* sendo que, quanto maiores as frequências envolvidas, maior tende a ser o consumo de energia dos sistemas. Um exemplo disso são as especificações de produto ganho-banda (PGB) e de *slew rate*, que estão diretamente ligadas ao consumo energético e são fundamentais para manter a integridade dos sinais utilizados para o cálculo da impedância. Mesmo para sinais de base senoidal como o *chirp* e o *multisine*, as especificações mencionadas anteriormente devem ser condizentes para que não haja distorções harmônicas que possam causar erros na avaliação da impedância. Os sinais DIBS e MLBS são mais exigentes em termos de PGB e *slew rate*, pois as transições entre níveis binários apresentam derivadas mais elevadas em comparação com sinais senoidais.

Figura 4 – Diagrama funcional básico de um sistema de EIS.



2.3 SISTEMAS DE EXCITAÇÃO E MEDIÇÃO

A Figura 4 mostra um diagrama de blocos com as funções básicas de um sistema de EIE. O primeiro bloco é o gerador de sinal de excitação, onde um dos sinais estudados na seção anterior é gerado e aplicado a um *driver* de tensão ou de corrente. Este último excita uma amostra com o sinal de corrente ou tensão, utilizando dois ou quatro eletrodos.

O sistema responde ao sinal aplicado gerando uma corrente (se tensão for aplicada) ou uma tensão (se corrente for aplicada). A resposta é medida em termos de amplitude e fase, passando pelo circuito condicionador de sinais para uma posterior conversão de analógico para digital (A/D). O sinal de entrada do conversor A/D (ADC) pode ser um ou mais sinais de banda larga representando corrente ou tensão para ser processado com algoritmos de transformada de Fourier discreta para posterior cálculo da impedância no bloco de processamento. A impedância é calculada como a razão entre a tensão e a corrente e, como é uma grandeza complexa, possui módulo e fase.

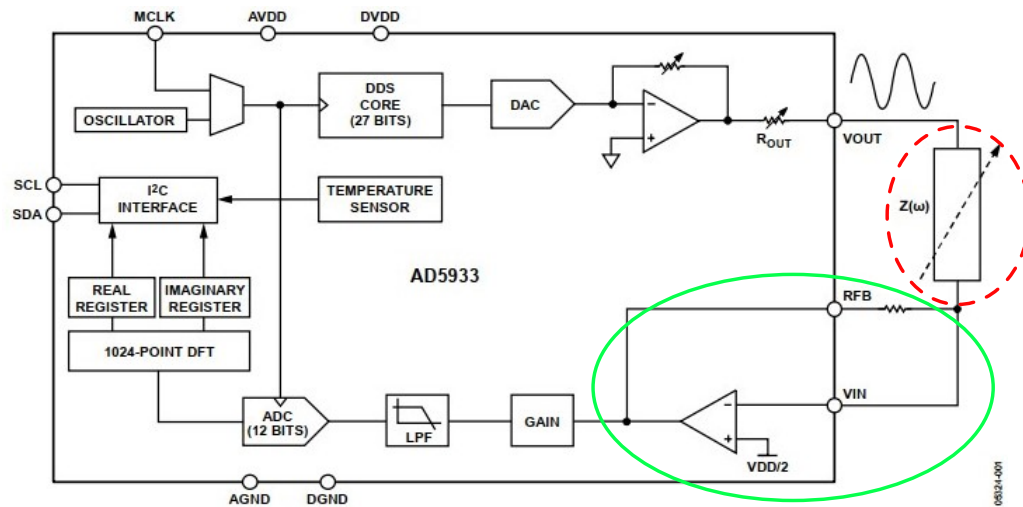
Os dados de impedância na saída do processamento de sinal são geralmente representados em gráficos de Bode ou Nyquist. A análise dos gráficos permite identificar características do sistema, como resistências, capacitâncias e indutâncias, além de correlacionar com outras grandezas como, por exemplo, a glicemia no sangue (PEDRO; BERTEMES-FILHO, 2021).

2.3.1 Chips comerciais

As arquiteturas dos sistemas integrados (*chips*) de EIE diferem, dependendo da aplicação, do tipo de análise a ser realizada e também do tipo de sinal utilizado. Dentro das opções comerciais pode-se citar o AD5933, o AD5940 e o MAX30009.

O mais conhecido atualmente é o AD5933, vide diagrama funcional da Figura 5. O arranjo de eletrodos apresentado pelo fabricante é o mesmo da Figura 1 (C) onde uma tensão gerada pelo *chip* é aplicada à amostra que, por sua vez, atua como um conversor tensão-corrente. O conversor corrente-tensão opera com referência de tensão igual à metade da tensão de alimentação. Um conversor corrente-tensão com amplificador operacional condiciona a corrente medida para a conversão A/D e processamento de sinal. Esse arranjo pode ser verificado na Figura 5 onde a elipse tracejada evidencia a impedância elétrica a ser medida e a elipse contínua destaca o conversor corrente-tensão. Esse *chip* tem sido largamente utilizado para a construção de

Figura 5 – Diagrama funcional do chip AD5933 - 1 MSPS, 12-Bit Impedance Converter, Network Analyzer.



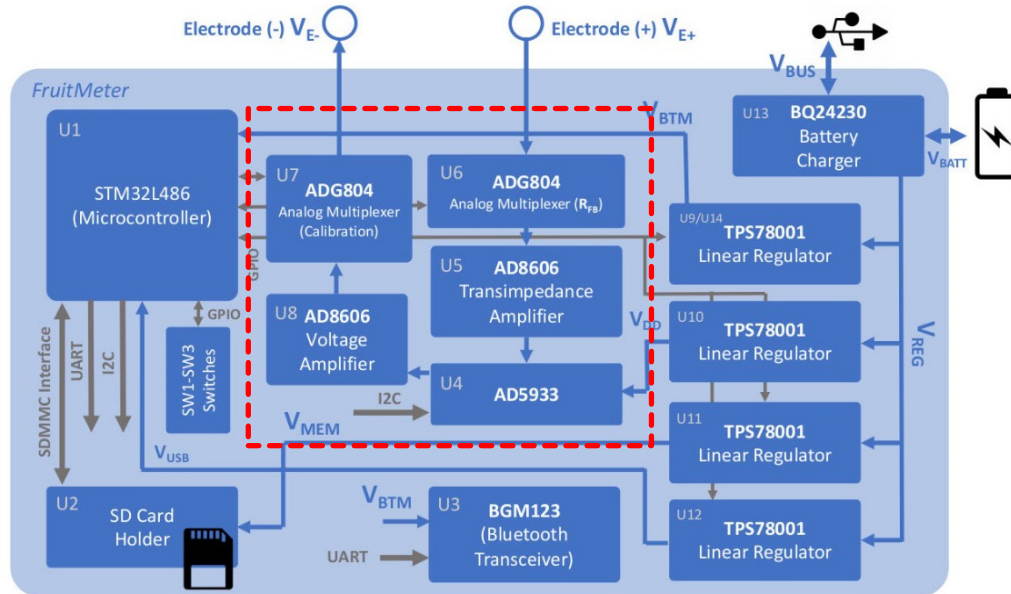
Fonte: adaptado de (DEVICES, 2007)

outros arranjos de medição como o uso de arranjo tetrapolar com injeção de corrente, inclusive (KHARZI; MEZIANE; KEDIR-TALHA, 2023a; KHARZI; MEZIANE; KEDIR-TALHA, 2023b; IBBA et al., 2021; TAN et al., 2023; PEDRO; BERTEMES-FILHO, 2021; ROUTIER et al., 2024).

Uma característica interessante do AD5933 é a realização de análises no domínio da frequência, através da geração de um seno cuja frequência pode ser ajustada de 1 kHz até 100 kHz, com resolução de 0,1 Hz. O circuito integrado é alimentado com tensão mínima de 2,7 V e uma tensão máxima de 5 V. Apresenta consumo de corrente típico de 10 mA no chamado modo de operação normal. O conversor A/D apresenta taxa de amostragem de um milhão de amostras por segundo e tem 12 bits de resolução. Todos esses dados e outros podem ser verificados em (DEVICES, 2007). Um exemplo do uso do AD5933 em conjunto com outros circuitos integrados para formar um sistema mais otimizado é apresentado em Ibba et al. (2021). Na Figura 6 pode-se verificar que tal sistema usa chips adicionais (vide área destacada no tracejado) para melhorar o desempenho, mas também usa o esquema de eletrodo bipolar com excitação em tensão, como verificado na Figura 1 (c). Esse sistema é portátil e alimentado por baterias para que possa ser utilizado em toda a cadeia de produção de frutas. Além disso, faz a varredura de frequências de 10 Hz até 10 kHz, pois algumas configurações adicionais do AD5933 permitem gerar frequências menores do que o mínimo de 1 kHz apresentado como padrão de fábrica.

O AD5940 (DEVICES, 2024) é um *front-end* analógico de baixo consumo de energia, projetado pela Analog Devices. É indicado para aplicações que requerem técnicas de medição eletroquímica de alta precisão, como voltametria (uma rampa de tensão ascendente e descendente é aplicada e a corrente de resposta é medida), amperometria (uma tensão de polarização é aplicada a uma célula eletroquímica e uma corrente é medida) e espectroscopia de impedância utilizando as mesmas técnicas da voltametria (LAMBE, 2019). Esse dispositivo faz análises no

Figura 6 – Diagrama funcional do sistema apresentado por Ibba et al. (2021) para análise da qualidade de frutas.

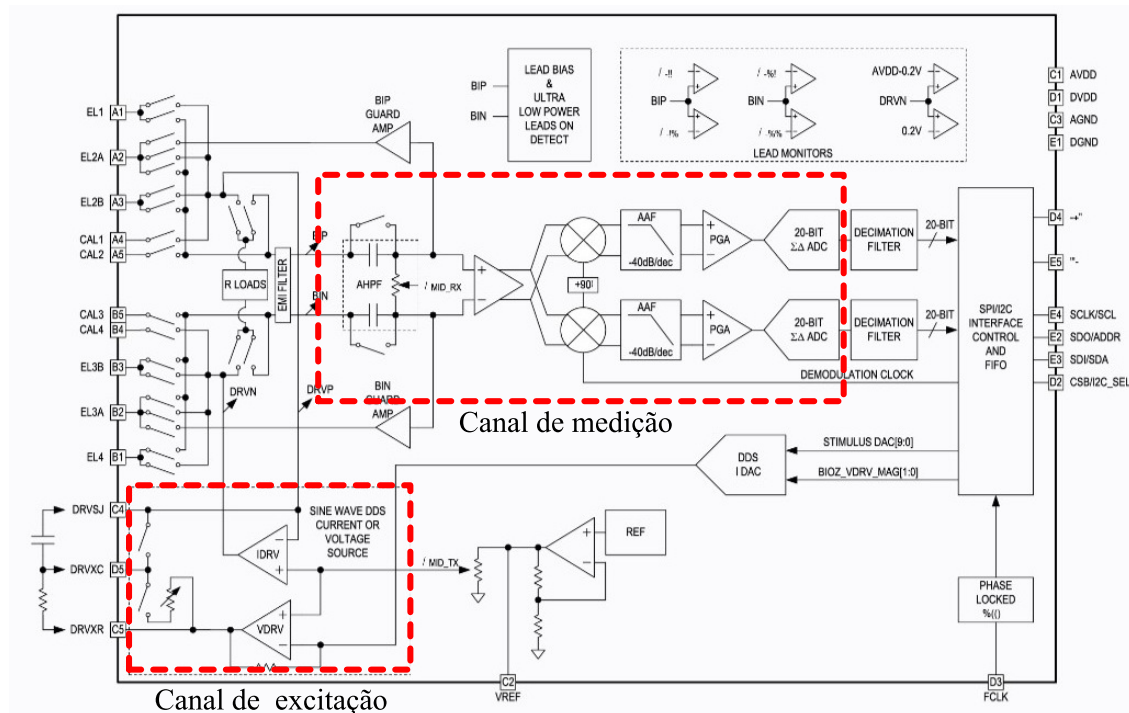


Fonte: adaptado de (IBBA et al., 2021)

domínio da frequência aplicando tensão de excitação com dois eletrodos ou quatro, segundo Jiang et al. (2024), onde um sistema de tomografia de impedância elétrica é apresentado. Dentre suas características técnicas estão a tensão de alimentação entre 2,8 V e 3,6 V, conversor A/D de 16 bits e taxa de amostragem máxima de 1,6 MSPS. Esse dispositivo realiza análise no domínio da frequência gerando um sinal retangular de tensão de até 200 kHz para excitação de amostras. O AD5940 é muito utilizado em sensoriamento biológico, químico, em análise de células eletroquímicas e medição de impedância, inclusive em dispositivos médicos para análise da impedância corporal (DEVICES, 2024).

O MAX30009 (DEVICES, 2022), lançado em 2022, é mais versátil do que os outros dois exemplos. É direcionado para aplicação em dispositivos vestíveis e portáteis para a medição de bioimpedância elétrica. O canal de medição de tensão possui alta impedância de entrada, baixo ruído, alta taxa de rejeição de modo comum (CMRR - *Common-mode rejection ratio*), ganho programável, várias opções de filtro passa-baixas e passa-altas e dois conversores analógico-digitais de alta resolução. Faz medidas com dois ou quatro eletrodos e excita a amostra em corrente ou tensão. O canal de corrente gera um sinal senoidal numa faixa de 16 Hz até 500 kHz e com magnitudes de 16 nA RMS até 1,28 mA RMS. A excitação em tensão pode ser senoidal ou quadrada (chamado de ponte-H pelo fabricante). O *chip* é alimentado com 1,8 V, o ADC é de 20 bits de resolução e 4,5 kSPS e o consumo de corrente máximo é de 2,7 mA. O MAX30009 faz análise no domínio da frequência. O MAX30009, diferentemente do AD5933 não processa a DFT (*discrete Fourier transform*). De outra forma, multiplica internamente os sinais de medição de tensão para ter dois sinais em quadratura, que são processados por um microcontrolador externo. O diagrama funcional deste sistema pode ser verificado na Figura

Figura 7 – Diagrama funcional do MAX30009 com os canais de excitação e de medição destacados.



Fonte: adaptado de (DEVICES, 2022)

7, onde os canais, tanto de excitação quanto de medição, estão destacados para evidenciar as diferenças com relação ao AD5933, cujo diagrama funcional é mostrado na Figura 5.

A Tabela 1 resume as principais características dos circuitos integrados comerciais utilizados em aplicações de espectroscopia de impedância. Observa-se que esses dispositivos apresentam elevado nível de integração e são predominantemente baseados em técnicas de excitação senoidal e processamento no domínio da frequência. Dessa forma, embora atendam a uma ampla gama de aplicações biomédicas e eletroquímicas, não foram concebidos especificamente para sistemas de espectroscopia de impedância no domínio do tempo baseados em sinais de banda larga, como a arquitetura proposta neste trabalho.

Na literatura encontra-se poucos casos de utilização deste *chip* para o desenvolvimento de soluções para análise de bioimpedância elétrica. Em Critcher e Freeborn (2021) um sistema de monitoramento dos tecidos do bíceps durante atividade física, através de análise de bioimpedância com quatro eletrodos e injeção de corrente, é apresentado utilizando um chip da família do MAX3000X. O sistema apresentado em Mathews e Jovanov (2023) utiliza o próprio MAX30009 para avaliar sua viabilidade de uso para um dispositivo vestível de monitoramento de atividade, tanto respiratória quanto do coração, usando espectroscopia de bioimpedância elétrica de quatro eletrodos. A análise da correlação das atividades com as mudanças de impedância foi realizada na faixa de 1 kHz a 512 kHz. Já em Crandall, Burt e Sanchez (2022), o MAX30009 foi testado para avaliar sua utilização em dispositivos vestíveis. A resposta do MAX30009, comparada à resposta de um analisador de impedâncias da empresa Zurich, demonstrou que os dois sistemas

Tabela 1 – Principais características dos circuitos integrados comerciais utilizados em espectroscopia de impedância.

Chip	Faixa de frequência	Tipo de excitação	Aplicação	Principais características e limitações
AD5933	1 kHz – 100 kHz	Tensão senoidal (DDS)	Bioimpedância e sensores de impedância	Conversor de impedância altamente integrado, com gerador DDS, ADC de 12 bits e processamento por DFT embarcado. Indicado para sistemas de baixo custo. Limitado à faixa de 100 kHz e baseado em varredura senoidal.
AD5940	DC – 200 kHz	Tensão senoidal	Bioimpedância e sensores eletroquímicos	Front-end analógico de alta integração, com ADC de 16 bits, DACs, amplificadores programáveis e acelerador para medições eletroquímicas. Projetado para aplicações de baixo consumo e dispositivos portáteis. Utiliza medições no domínio da frequência.
MAX30009	Até 500 kHz	Corrente programável	Monitoramento fisiológico e bioimpedância vestível	AFE dedicado para bioimpedância em dispositivos vestíveis, com gerador de corrente, amplificadores de baixo ruído e conversão A/D integrada. Otimizado para baixo consumo de potência e monitoramento fisiológico contínuo. Não destinado a medições de banda larga no domínio do tempo.

têm desempenho comparável na faixa de frequências de 1 kHz até 340 kHz.

Observa-se que os dispositivos comerciais atualmente disponíveis apresentam excelente relação custo-benefício para aplicações convencionais de espectroscopia de impedância baseadas em excitação senoidal, especialmente quando se considera o elevado nível de integração, a disponibilidade de ferramentas de desenvolvimento e a redução do tempo de projeto. Entretanto, para aplicações que demandam novas estratégias de excitação e processamento, como a espectroscopia de impedância no domínio do tempo baseada em sinais DIBS, essas soluções apresentam limitações arquiteturais que motivam o desenvolvimento de circuitos integrados dedicados.

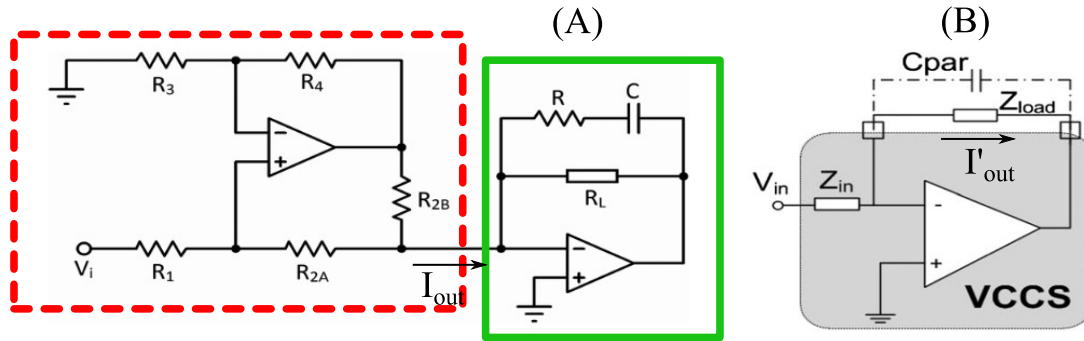
O sistema vestível deve ter uma fonte de alimentação de tensão ultrabaixa, consumo de energia ultrabaixo, volume pequeno e alta precisão, conforme Vijayan et al. (2021), Mizuno, Changolkar e Patel (2021), Miao et al. (2023). A convergência dessas características é encontrada na tecnologia de fabricação CMOS (*Complementary Metal-Oxide-Semiconductor*) que é uma tecnologia padrão para a fabricação de circuitos integrados (IC - *Integrated Circuit*). Vários trabalhos de pesquisa propõem diferentes projetos de circuitos integrados para aplicações de espectroscopia de bioimpedância (SILVERIO; SILVERIO, 2012; XU; HARPE; HOOFF, 2018; CORBACHO et al., 2022; PÉREZ-BAILÓN; CALVO; MEDRANO, 2022; CHEON et al., 2023).

Algumas propostas de trabalhos apresentam soluções com circuitos integrados geradores de tensão para excitação da amostra e medidores de tensão e corrente (VALENTE; JIANG; DEMOSTHENOUS, 2015). Aplicando assim, o esquema das Figura 1 (D). Ainda são comuns na literatura sistemas montados em placa de circuito impresso (PCI) como Yoo et al. (2010) e Mohamadou et al. (2012b).

A maioria das propostas encontradas está centradas na aplicação de fontes de injeção de corrente utilizando componentes integrados em uma PCI ((MARCÔNDES; BERTEMES-FILHO; PATERNO, 2022; MORCELLES et al., 2017; SEOANE et al., 2011)). Mas, já há propostas de fontes de corrente totalmente integradas em tecnologia CMOS ((PALACIO; NOIJE, 2016; HUANG et al., 2023)) e os sistemas integrados em tecnologia CMOS com geração de corrente e medição de tensões ((XU; HARPE; HOOFF, 2018; RAO et al., 2018; SONG et al., 2015; KHAN; QAISER; SAADEH, 2022)). Por fim, há também os *front-end* de medição de tensão e corrente via resistores shunt integrados em tecnologia CMOS e que não possuem sistema de excitação ((TAKHTI; ODAME, 2019; PÉREZ-BAILÓN et al., 2021; VALENTE; DEMOSTHENOUS, 2016; CHEON et al., 2022; PÉREZ-BAILÓN; CALVO; MEDRANO, 2022; CORBACHO et al., 2022)). Pode-se concluir que, na pesquisa em espectroscopia de impedância elétrica, os projetos com componentes discretos dividem espaço com os circuitos integrados monolíticos, apresentando ambos desempenhos compatíveis. Com relação ao sistema de excitação, a injeção de corrente na amostra, apesar de preferida, ainda divide espaço com a aplicação de tensão tanto em projetos com componentes discretos quanto nos integrados monoliticamente. A tendência é de que os sistemas integrados monoliticamente tomem mais espaço no projeto de sistemas de espectroscopia de impedância elétrica.

A maioria das fontes de corrente apresentadas, sejam integradas em tecnologia CMOS ou não, é do tipo VCCS (*Voltage Controlled Current Source*). Algumas utilizam a estrutura de fonte de corrente Howland melhorada, apresentada na Figura 8 (A) dentro do retângulo tracejado, ou algum tipo de aprimoramento da mesma (MARCÔNDES; BERTEMES-FILHO; PATERNO, 2022; MORCELLES et al., 2017; PALACIO; NOIJE, 2016). Outra topologia é a do *load in the loop* que pode ser verificada na Figura 8 (B) e na Figura 8 (A) dentro do retângulo de traço contínuo, coloca a amostra como impedância de realimentação de um amplificador operacional (SEOANE et al., 2011; MORCELLES et al., 2017). As fontes de corrente também podem ser implementadas usando o CCII (*current conveyor second generation*) ou amplificadores de

Figura 8 – Diagrama esquemático de fontes de corrente do tipo VCCS: (A) fonte Howland melhorada com *load in the loop* (BERTEMES-FILHO et al., 2012) e (B) conversor VCCS *load in the loop* (SEOANE et al., 2011)



Fonte: adaptado de (BERTEMES-FILHO et al., 2012; SEOANE et al., 2011)

transcondutância (RAO et al., 2018; KHAN; QAISER; SAADEH, 2022; BERTEMES-FILHO et al., 2012). Todos esses sistemas podem ser utilizados tanto em espectroscopia de impedância elétrica no domínio do tempo quanto no domínio da frequência. No caso de análise usando sinais senoidais puros, *chirp* ou múltiplos senos somados, dependendo da frequência máxima de análise, os amplificadores operacionais ou amplificadores de transcondutância utilizados devem ter produtos ganho-banda compatíveis. No caso da utilização de sinais pulsados como, por exemplo, DIBS e MLBS, *slew rate* elevado é necessário resultando em maior consumo de corrente desse tipo de circuito.

As fontes VCCS integradas em tecnologia CMOS (PALACIO; NOIJE, 2016; SEOANE et al., 2011; RAO et al., 2018) sofrem com a utilização de resistores que são custosos tanto em termos de área como em variação de processo, que altera o valor da corrente da corrente gerada. No caso da fonte Howland melhorada, a equação (5), já deduzida na literatura sobre o assunto (MORCELLES et al., 2017; BERTEMES-FILHO et al., 2012), mostra exatamente esta dependência considerando o amplificador operacional ideal. Outra dependência que esse tipo de fonte apresenta é com relação ao sinal de entrada, onde a exatidão da amplitude deste está diretamente ligada a exatidão da corrente de saída da fonte *Howland* da Figura 8 (A).

$$I_{out} = \frac{V_i}{R_{2B}} \quad (5)$$

onde I_{out} é a corrente na carga, V_i é a tensão de entrada e R_{2B} é o resistor de projeto da corrente. A literatura sobre a fonte Howland melhorada também mostra que a equação (5) só é válida se

$$R_3 = R_4 \text{ e } R_1 = R_{2A} + R_{2B}. \quad (6)$$

Assim sendo, o casamento dos resistores é muito importante para este tipo de fonte de corrente. Já na Figura 8 (B), uma análise simples de circuitos com amplificadores operacionais ideais resulta na equação (7).

$$I'_{out} = \frac{V_{in}}{R_{in}} \quad (7)$$

onde I'_{out} é a corrente na carga, V_{in} é a tensão de entrada e R_{in} é a resistência de programação da corrente. Para esse circuito, a exatidão da corrente de saída, também é dependente da tolerância do resistor R_{in} e da exatidão da geração do sinal de entrada.

Foi apresentada por Huang et al. (2023) uma fonte de corrente que utiliza uma soma binária das saídas de espelhos de corrente para formar um conversor digital para analógico (D/A). A fonte gera sinais em corrente senoidais até 100 kHz a partir de uma frequência de *clock* de até 56 MHz. Já o sistema apresentado por Xu, Harpe e Hoof (2018) utiliza uma estrutura de fonte de corrente chaveada que é chamada de I-DAC por aplicar uma corrente com características de sequência binária, mas com três níveis possíveis (+A, 0 e -A) e a análise de impedância é realizada até 124 kHz.

Os trabalhos de Xu, Harpe e Hoof (2018), Rao et al. (2018), Song et al. (2015) e Khan, Qaiser e Saadeh (2022) apresentam sistemas que, numa mesma pastilha de silício, têm a fonte de corrente e os amplificadores de condicionamento de sinal. O primeiro tem como aplicação a medição de bioimpedância e de sinais de eletrocardiograma com medições sendo realizadas até 125 kHz. A segunda proposta apresenta um ASIC (*Application Specific Integrated Circuit*) para tomografia medindo impedâncias numa faixa de 500 Hz até 700 kHz. Song et al. (2015) apresenta um ASIC para medição de glicose no sangue e usa espectroscopia de impedância e LEDs infravermelhos. A espectroscopia de impedância é realizada numa frequência máxima de 76 kHz utilizando varredura de seno.

Outro exemplo de projeto de circuito CMOS usado na análise de impedância de tecidos é proposto por Constantinou, Bayford e Demosthenous (2015). Este apresenta o projeto do circuito CMOS de um *driver* de corrente para alcançar a alta precisão necessária para a detecção de câncer colorretal. Esse gerador de corrente apresenta uma distorção harmônica total (THD) de 0,1% para a amplitude máxima da corrente de saída de 1 mAp-p. O erro na amplitude da corrente de saída fica abaixo do valor nominal de 0,5% até 800 kHz e abaixo de 0,86% a 1 MHz.

2.3.2 Sistemas portáteis e vestíveis em bioimpedância

O monitoramento da saúde, diagnóstico médico e a automonitoramento para atletas e entusiastas tem se tornado popular por conta dos dispositivos vestíveis capazes de medição de sinais biológicos e de padrões de atividade. Normalmente, os dispositivos vestíveis são encontrados sob a forma de pulseiras, *smartwatches*, cintas peitorais, sapatos, meias e óculos. Esses dispositivos estão evoluindo para utilização principal em monitoramento de padrões de atividade como o sono, a marcha ou a corrida, ou num instrumento médico capaz de quantificar uma variedade de sinais vitais. Os *wearables* comerciais atuais não são certificados para diagnósticos médicos. Apesar disso, a literatura apresenta estudos de viabilidade para determinar correlações entre os padrões de atividade física e o estilo de vida de uma pessoa com algumas doenças

Tabela 2 – Comparação entre os principais circuitos integrados acadêmicos para espectroscopia de impedância elétrica.

Referência	Tipo de análise	Tipo de excitação	Faixa de frequência	Aplicação
Valente, Jiang e Demosthenous (2015)	Domínio da frequência e, de forma limitada, do tempo.	Tensão senoidal.	Até 1 MHz	Plataforma para espectroscopia de impedância elétrica.
Palacio e Noiye (2016)	Domínio da frequência.	Fonte de corrente senoidal de amplitude fixa de 10 μ A.	100 Hz - 1 MHz	Detecção de câncer cervical. Apenas a fonte de corrente.
Huang et al. (2023)	Domínio da frequência.	Corrente senoidal e corrente retangular periódica.	11 - 54 kHz (senoidal) Até 500 kHz (retangular)	Tomografia por impedância elétrica.
Xu, Harpe e Hoof (2018)	Domínio do tempo utilizando sinais do tipo <i>Maximum Length Sequence</i> (MLS).	Fonte de corrente I-DAC com medição de tensão.	Até 125 kHz	Espectroscopia de bioimpedância, respiração e ECG.
Rao et al. (2018)	Não especificado (testes realizados com excitação senoidal).	Fonte de corrente tipo CCII com medição de tensão.	500 Hz - 700 kHz	Tomografia por impedância elétrica cardíaca.
Khan, Qaiser e Saadeh (2022)	Domínio da frequência.	Fonte de corrente VCCS (OTA) com medição de magnitude e fase.	500 Hz - 100 kHz	Detecção de proteínas (biossensores).
Pérez-Bailón et al. (2021)a	Domínio da frequência.	Sem excitação. Apenas medição de magnitude e fase.	6.7 - 87 MHz	Espectroscopia de impedância elétrica.

cardiovasculares (VIJAYAN et al., 2021; MIZUNO; CHANGOLKAR; PATEL, 2021; MIAO et al., 2023). A tecnologia vestível oferece a possibilidade de monitoramento não invasivo em tempo real de pacientes. Além disso, pode oferecer um alerta para uma tendência de o usuário adquirir uma doença crônica, um diagnóstico prematuro ou uma melhoria do desempenho para atletas (VIJAYAN et al., 2021).

A recente melhoria tecnológica dos *wearables* trouxe mais tipos de sensores que permitem a medição de alguns sinais biológicos como o ritmo cardíaco, o nível de oxigênio no sangue, o eletrocardiograma e a temperatura da pele. Alguns deles são comerciais, como os modelos da Apple, Samsung, Xiaomi, Fitbit, Garmin e outros estão em fase de pesquisa e desenvolvimento

(VIJAYAN et al., 2021; MIZUNO; CHANGOLKAR; PATEL, 2021). Outros parâmetros biológicos, como a glicose, não dispõem de uma opção comercial com desempenho comparável aos métodos eletroquímicos invasivos ou minimamente invasivos existentes no mercado. Este fato corrobora o esforço científico atual para conseguir um sistema não invasivo de medição da glicose (PEDRO; MARCÔNDES; BERTEMES-FILHO, 2020; PEDRO; BERTEMES-FILHO, 2021; HINA; SAADEH, 2022b; SHOKREKHODAEI et al., 2021; SANAI et al., 2023b).

Um sistema vestível para medição de sinais biomédicos, com precisão e exatidão, deve ter as mesmas características técnicas dos demais dispositivos vestíveis como, por exemplo, alimentação de tensão ultrabaixa, consumo de energia ultrabaixo e volume diminuto (CORBACHO et al., 2022; ABDOLRAZZAGHI et al., 2021; LIU et al., 2021; HESHAM; SOLTAN; MADIAN, 2021). Algumas pesquisas têm focado em esquemas de coleta de energia para redução de volume visando a equipar vestíveis de uso médico (HESHAM; SOLTAN; MADIAN, 2021).

No contexto, resumido na Tabela 1 e na Tabela 2, o desenvolvimento de um circuito integrado para um dispositivo de baixo consumo de energia, que apresente versatilidade na configuração dos sinais de excitação e que faça a medição tetrapolar diferencial, apresenta-se como uma alternativa para dispositivos vestíveis e portáteis para realizar as análises de espectroscopia de impedância elétrica. O ASIC (*Application Specific Integrated Circuit*) analógico, objeto deste trabalho, deve ser adequado para montagem com uma unidade de processamento digital e com *hardware* de conexão sem fio em um SoC (*System on Chip*). O uso de um dispositivo SoC permite uma funcionalidade por volume adequada para o uso em vestíveis e em portáteis.

A miniaturização do sistema de medição é obrigatória para a disseminação do uso de *wearables* para o rastreamento da saúde. Portanto, os circuitos integrados de aplicação específica (ASIC) e os sistemas em chip (SoC) são tão importantes quanto a tecnologia de circuito flexível para a massificação do uso de vestíveis. Em Lu et al. (2021) é apresentado o recente desenvolvimento de microssensores integrados em tecnologia CMOS para detecção eletroquímica de biomarcadores. O principal objetivo do uso da tecnologia de fabricação CMOS é a possibilidade de integrar em um único substrato o sensor, circuitos analógicos, circuitos de comunicação e circuitos digitais. Esse nível de integração proporciona aos vestíveis um baixo consumo de energia, baixo volume físico e alta capacidade de processamento de dados.

Outra direção de pesquisa sobre medição não invasiva vestível é a coleta de energia. Esses circuitos para coleta de energia são aplicáveis na extensão da vida útil da bateria, na recarga e na eliminação para proporcionar maior confiabilidade e usabilidade aos sistemas vestíveis. Em Hesham, Soltan e Madian (2021), é possível verificar várias iniciativas para tornar a coleta de energia a principal fonte de energia para vestíveis. Baterias são muito caras e precisam ser substituídas, tipicamente com a periodicidade de alguns poucos anos.

A espectroscopia de impedância é uma técnica promissora para realizar medidas não invasivas dos níveis de glicose no sangue (PEDRO; BERTEMES-FILHO, 2021). Devido à necessidade de miniaturização para a construção de *wearables*, a análise do projeto de circuitos CMOS para espectroscopia de impedância é de suma importância. Neste sentido, os trabalhos

de Corbacho et al. (2022) e Allegri et al. (2018) apresentam um projeto de circuito CMOS para espectroscopia de impedância, mas sem uso específico para medição de glicose. O primeiro mostra um amplificador de instrumentação CMOS programável para espectroscopia de bioimpedância. O trabalho de Corbacho et al. (2022) apresenta o histórico e os detalhes do projeto de um amplificador de instrumentação de ganho programável em que as alterações no ganho não afetem sua largura de banda. A precisão do ganho e a largura de banda são os principais recursos da espectroscopia de impedância devido à injeção de sinal de banda larga nos tecidos. A precisão do ganho e de sua programação é necessária para evitar a saturação do amplificador devido à variação das características da pele entre indivíduos. Os resultados experimentais consideram apenas os parâmetros gerais de desempenho do amplificador como tensão de alimentação, corrente de polarização, ganho, largura de banda, CMRR, THD e ruído. Não há discussão sobre seu uso em um sistema real completo. De maneira semelhante, Allegri et al. (2018) mostra um *front end* de medição de tensões e correntes para um analisador de impedância para aplicações biomédicas. A parte analógica usa um esquema de demodulação super-heteródino para obter a amplitude e a fase da impedância. O chip CMOS proposto tem o microcontrolador integrado na mesma pastilha de silício. A análise experimental é realizada com uma rede RC como carga (amostra) que é medida também por um equipamento de referência. Esses trabalhos são úteis para trazer uma visão geral de possíveis soluções e técnicas a serem consideradas no projeto que é objeto deste trabalho.

Embora a utilização de sinais DIBS em espectroscopia de impedância já tenha sido demonstrada experimentalmente, as soluções encontradas na literatura apresentam diferentes níveis de integração. Trabalhos anteriores demonstraram a aplicação de sinais DIBS em sistemas de bioimpedância e em outras aplicações de espectroscopia de impedância, evidenciando a capacidade dessa abordagem de obter informações espectrais a partir de uma única excitação de banda larga. Entretanto, as implementações disponíveis não apresentam, de forma integrada, uma fonte de corrente CMOS dedicada à geração e injeção de sinais DIBS juntamente com o estágio de aquisição necessário para a determinação da impedância.

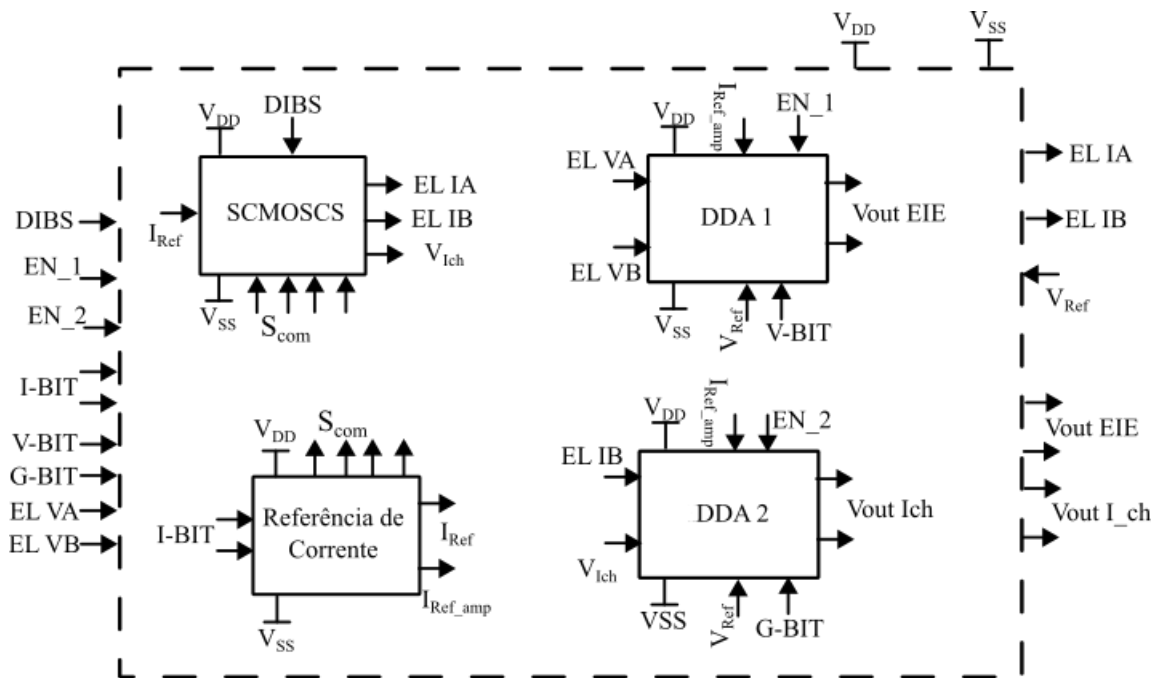
Nesse contexto, a literatura de circuitos integrados para espectroscopia de impedância concentra-se predominantemente em arquiteturas baseadas em excitação senoidal e análise no domínio da frequência, enquanto as soluções que empregam sinais de banda larga no domínio do tempo apresentam menor nível de integração. Essa diferença evidencia uma oportunidade para o desenvolvimento de uma arquitetura CMOS dedicada à espectroscopia de impedância no domínio do tempo, capaz de integrar a geração de corrente, a medição das grandezas elétricas e os recursos necessários para a análise de sinais DIBS.

3 PROPOSTA DE SISTEMA, MODELO DO TRANSISTOR E ESPECIFICAÇÕES DO FRONT-END ANALÓGICO CMOS

Um espectrômetro de impedância elétrica é tipicamente composto por uma fonte de corrente controlada e um estágio de medição de tensão, seguidos por blocos de aquisição de dados e processamento digital (ADLER; HOLDER, 2021). Esses elementos podem ser integrados em um *System-on-Chip* (SoC) ou em um *Application Specific Integrated Circuit* (ASIC), viabilizando a implementação de espectroscopia de impedância elétrica no domínio do tempo em tempo real (BERTEMES-FILHO; SILVA; MARCÔNDES, 2025a). Neste trabalho, o sinal de excitação adotado é do tipo DIBS, conforme descrito em Silva e Bertemes-Filho (2024b), Silva e Bertemes-Filho (2024a).

O *front-end* analógico do SoC proposto é apresentado na Figura 9. A arquitetura é composta por quatro blocos principais: uma referência de corrente, uma fonte de corrente chaveada do tipo CMOS (SCMOSCS) e dois amplificadores de instrumentação totalmente diferenciais. A referência de corrente é responsável por fornecer correntes de polarização estáveis ($I_{Ref-amp}$ e I_{Ref}) aos blocos ativos do sistema, garantindo robustez frente a variações de processo, tensão e temperatura.

Figura 9 – Diagrama de blocos funcional do sistema proposto.



Fonte: Elaborado pelo autor (2026).

O bloco SCMOSCS recebe uma corrente de referência contínua e a aplica à impedância sob teste, conectada entre os eletrodos EL IA e EL IB, realizando a inversão do sentido da corrente conforme o nível lógico do sinal de excitação DIBS. Essa abordagem permite a implementação de excitações diferenciais sem a necessidade de fontes analógicas convencionais baseadas em amplificadores operacionais, contribuindo para redução de consumo e aumento da faixa de

operação em frequência.

A aquisição dos sinais é realizada por dois amplificadores de instrumentação. O primeiro é responsável pela medição da tensão sobre a impedância sob teste. O segundo amplificador mede a tensão sobre um resistor *shunt* interno, utilizado para monitoramento da corrente injetada. A tensão diferencial sobre esse elemento é denotada por V_{Ich} ao longo deste trabalho.

A Figura 9 também apresenta os pinos de entrada e saída do *front-end* analógico. O sinal DIBS define a forma de onda de excitação, enquanto os sinais EN_1 e EN_2 controlam a habilitação dos amplificadores de instrumentação, permitindo operação em baixo consumo de potência. A amplitude da corrente injetada é programada por meio dos sinais I-BIT, ao passo que os sinais S_{Com} selecionam as pontes H internas do bloco SCMOCS. Os ganhos dos amplificadores de instrumentação são ajustados por meio dos sinais V-BIT e G-BIT.

Os sinais EL IA e EL IB são responsáveis pela injeção de corrente na impedância sob teste, enquanto EL VA e EL VB realizam a leitura da tensão diferencial na carga. O sinal V_{Ref} define o nível de modo comum do sistema, permitindo operação com alimentação simples. As saídas diferenciais dos amplificadores são disponibilizadas nos sinais $V_{out\ EIE+}$, $V_{out\ EIE-}$, $V_{out\ Ich+}$ e $V_{out\ Ich-}$, destinados à interface com conversores analógico-digitais (ADC). Os sinais representados por setas externas ao bloco principal correspondem às conexões de acesso ao circuito integrado, enquanto os sinais internos são restritos à interconexão entre os blocos funcionais.

A referência de corrente implementada é auto-polarizada e projetada para apresentar baixa sensibilidade a variações térmicas, sendo responsável pela polarização do bloco SCMOCS e dos amplificadores de instrumentação. O sistema opera com alimentação simples V_{DD} , sendo o nível de modo comum definido externamente por meio do sinal V_{Ref} , tipicamente ajustado para $V_{DD}/2$, garantindo simetria na excursão dos sinais diferenciais.

O bloco SCMOCS é responsável pela injeção de corrente na amostra, sendo alimentado por V_{DD} e polarizado por I_{Ref} . A amplitude da corrente de saída é programável por meio dos sinais I-BIT, enquanto o sinal DIBS controla a direção da corrente aplicada à carga. Os amplificadores de instrumentação são alimentados por V_{DD} , polarizados por I_{Ref_amp} e referenciados em V_{Ref} , apresentando ganhos programáveis por meio dos sinais V-BIT e G-BIT, respectivamente.

Os sinais digitais DIBS, EN, I-BIT, V-BIT e G-BIT são responsáveis pela configuração e controle do circuito integrado, enquanto os sinais analógicos EL IA, EL IB, EL VA e EL VB realizam a interface direta com os eletrodos. As saídas diferenciais devem ser conectadas a conversores analógico-digitais para posterior processamento digital dos dados. Recomenda-se o uso de capacitores externos para desacoplamento das tensões V_{DD} e V_{Ref} , garantindo estabilidade e redução de ruído no sistema.

3.1 MODELO ACM DO TRANSISTOR MOS

Para realizar projetos de circuitos integrados de forma analítica é utilizado um modelo físico/matemático do MOSFET. Este modelo relaciona tensões e correntes, utilizando parâmetros tecnológicos e dimensões físicas do transistor. O modelo do MOSFET aqui utilizado é o *Advanced Compact MOSFET* (ACM) (SCHNEIDER; GALUP-MONTORO, 2010; ADORNES et al., 2022; SIEBEL et al., 2007; MACHADO et al., 2011; COUTINHO et al., 2001; RADIN et al., 2008); suas equações são utilizadas para fundamentar os procedimentos de projeto dos circuitos que compõem o sistema integrado proposto. Para além das equações, outra informação necessária para o projeto utilizando modelos analíticos é o conjunto de parâmetros tecnológicos. Este conjunto de parâmetros permite que o projeto seja executado para determinada tecnologia de fabricação. O primeiro procedimento de verificação é o de extração de parâmetros do modelo ACM por simulação, utilizando parâmetros dos transistores oferecidos pelo fabricante.

3.1.1 Equações do modelo ACM

O modelo ACM é um modelo analítico para o transistor MOSFET que é fundamentado na densidade de cargas no canal do transistor. O modelo ACM apresenta equações únicas para as características elétricas com continuidade em todas as regiões de operação do transistor. Além disso, a simetria entre fonte e dreno é completamente preservada e o equacionamento respeita a conservação da carga. Diversos trabalhos têm provado a precisão dessas características (SCHNEIDER; GALUP-MONTORO, 2010; ADORNES et al., 2022; COUTINHO et al., 2001; RADIN et al., 2008; SIEBEL et al., 2007; MACHADO et al., 2011; SILVA et al., 2008). Uma característica importante do modelo é a quantidade relativamente pequena de parâmetros tecnológicos, tanto para o cálculo analítico quanto para a simulação, comparado com os demais modelos disponíveis (SCHNEIDER; GALUP-MONTORO, 2010).

O transistor MOSFET é um dispositivo semicondutor que apresenta quatro terminais, a saber: porta (*gate*), dreno (*drain*), fonte (*source*) e corpo (*bulk*). Para a notação das equações são utilizadas as letras definidas pelos nomes em Inglês, sendo *g* para porta, *d* para dreno, *s* para fonte e *b* para corpo.

O modelo ACM pode ser implementado em simuladores SPICE, ELDO (SIEBEL et al., 2007) e SPECTRE (ADORNES et al., 2022). O modelo ACM contém equações compactas, baseadas na física de semicondutores, em função da densidade de cargas no canal e precisas em todas as regiões de operação. As equações de (8) até (13) são aproximações, considerando o transistor de canal longo e operando em saturação. A equação (8) é o nível de inversão direto.

$$i_f = \frac{I_D}{I_S} \quad (8)$$

onde I_D é a corrente de dreno e I_S é a corrente específica que é dada pela equação (9).

$$I_S = I_{SQ} \frac{W}{L} = \frac{\mu_0 \cdot C'_{ox} \cdot n \cdot \phi_t^2}{2} \frac{W}{L} \quad (9)$$

onde I_{SQ} é a corrente específica por quadrado (dependente da tecnologia), W é a largura do canal, L é o comprimento do canal, μ_0 a mobilidade dos portadores, $C'_{ox} = \epsilon_{ox}/TOX$ é a capacitância de óxido por quadrado, n é o fator de rampa e $\phi_t = kT/q$ é a tensão térmica (onde k é a constante de Boltzmann, T é a temperatura absoluta e q a carga do elétron).

Outras equações importantes são aquelas que modelam o transistor em regime de saturação. A equação (10) fornece a transcondutância de porta.

$$g_{mg} = \frac{I_D}{n \cdot \phi_t} \frac{2}{\sqrt{1 + i_f} + 1} \quad (10)$$

A equação (11) estabelece a tensão dreno-fonte de saturação. Esta é a tensão V_{DS} mínima para garantir o transistor na região de saturação.

$$V_{DS(sat)} = \phi_t (\sqrt{1 + i_f} + 3) \quad (11)$$

A equação (12) do modelo unificado de controle de corrente (UICM) relaciona o nível de inversão direto à diferença entre a tensão de *pinch-off* e a tensão na fonte.

$$V_p - V_S = \phi_t [\sqrt{1 + i_f} - 2 + \ln(\sqrt{1 + i_f} - 1)] \quad (12)$$

Já a relação entre a tensão de *pinch-off*, a tensão de porta e a tensão de limiar (parâmetro tecnológico) é dada pela equação (13).

$$V_p = \frac{V_G - V_{TO}}{n} \quad (13)$$

Com as equações de (8) até (13) e os parâmetros que caracterizam a tecnologia (I_{SQ} , V_{TO} e n) pode-se realizar projetos em que os transistores estejam na região de saturação. Em projetos em que transistores operam na região linear, é necessário o uso de equações semelhantes, mas com inclusão da tensão de dreno. O modelo ACM tem equações adicionais que também modelam os efeitos de segunda ordem dos transistores, chamados efeitos de canal curto. Tais efeitos serão considerados em momento oportuno. Os parâmetros tecnológicos do modelo ACM mencionados anteriormente são apresentados na Tabela I, adaptada de (NETO et al., 2024). Os parâmetros físicos e tecnológicos aqui apresentados são sempre exigidos pelo simulador que esteja utilizando o modelo ACM.

Não existe um limiar claro na literatura para definir qual o comprimento de canal mínimo para que um transistor seja considerado de canal longo e as equações anteriores podem ser utilizadas. Uma opção que pode ser deduzida a partir do trabalho de Feng (2025) é que, durante a extração de parâmetros, se pode realizar simulações com vários comprimentos de canal. Com esses resultados, pode-se verificar em qual deles os parâmetros, como por exemplo, tanto V_{TO} quanto a transcondutância de dreno se mantêm constantes e independentes da variação do L .

A Tabela 3 apresenta os 5 parâmetros necessários para o uso do modelo ACM em projetos. Já os parâmetros e equações apresentadas anteriormente nessa seção são suficientes para o projeto analítico de polarização CC dos circuitos lineares. Na Tabela 3 estão incluídos parâmetros que são

Tabela 3 – Listagem dos parâmetros tecnológicos para o modelo ACM

Parâmetro	Descrição	Unidade
I_{SQ}	Corrente específica	A
V_{TO} (V_{T0})	Tensão de limiar ($V_{DB} = V_{SB} = 0$)	V
n	Fator de rampa	—
$ZETA$ (ζ)	Parâmetro associado a saturação de velocidade dos portadores	—
$SIGMA$ (σ)	Coefficiente DIBL	—

Fonte: Adaptado de Neto et al. (2024).

utilizados na modelagem de efeitos de canal curto ou também chamados de efeitos de segunda ordem. É o caso da redução da mobilidade, da velocidade limite dos portadores, do efeito DIBL (*Drain induced barrier lowering*) e o CLM (*Channel length modulation*). É importante salientar que ainda há outros parâmetros que não foram apresentados como de ruído e descasamento e que podem ser observados em Schneider e Galup-Montoro (2010). Este trabalho não tem por objetivo apresentar uma fundamentação exaustiva de teoria de semicondutores e nem de modelagem do transistor MOSFET, mas dar uma introdução às equações e parâmetros que serão utilizados adiante.

Parâmetros capacitivos devem ser levados em consideração para análise no domínio da frequência de circuitos com MOSFETs. São as capacitâncias do modelo quase-estático do MOSFET. A equação (14) relaciona capacitância porta-fonte à densidade de cargas no canal e ao parâmetro tecnológico C_{ox} .

$$C_{gs} = \frac{2}{3} \cdot C_{ox} \cdot \frac{1 + 2\alpha}{(1 + \alpha)^2} \cdot \frac{q'_{IS}}{1 + q'_{IS}} \quad (14)$$

onde $q'_{IS(D)} = \sqrt{i_{f(r)} + 1}$ é a densidade de cargas de inversão normalizada no lado da fonte (dreno) do canal, $C_{ox} = C'_{ox} \cdot W \cdot L$ é a capacitância de óxido, enquanto α é o coeficiente de linearidade dado pela relação entre a densidade de cargas do lado do dreno e do lado da fonte expresso pela equação (15).

$$\alpha = \frac{q'_{ID} + 1}{q'_{IS} + 1} \quad (15)$$

A capacitância C_{gd} é dada pela equação (16).

$$C_{gd} = \frac{2}{3} \cdot C_{ox} \cdot \frac{\alpha^2 + 2\alpha}{(1 + \alpha)^2} \cdot \frac{q'_{IS}}{1 + q'_{IS}} \quad (16)$$

enquanto a capacitância $C_{bs(d)}$ é dada pela equação (17).

$$C_{bs(d)} = (n - 1) \cdot C_{gs(d)} \quad (17)$$

A capacitância $C_{bg} = C_{gb}$ é calculada pela equação (18).

$$C_{bg} = C_{gb} = \frac{n-1}{n} \cdot (C_{ox} - C_{gs} - C_{gd}) \quad (18)$$

A capacitância entre fonte e dreno é dada pela equação (19).

$$C_{sd} = -\frac{4}{15} \cdot n \cdot C_{ox} \cdot \frac{\alpha + 3\alpha^2 + \alpha^3}{(1 + \alpha)^3} \cdot \frac{q'_{ID}}{1 + q'_{ID}} \quad (19)$$

A capacitância entre dreno e fonte é dada pela equação (20).

$$C_{ds} = -\frac{4}{15} \cdot n \cdot C_{ox} \cdot \frac{\alpha + 3\alpha + \alpha^2}{(1 + \alpha)^3} \cdot \frac{q'_{IS}}{1 + q'_{IS}} \quad (20)$$

As capacitâncias dreno-porta e porta-dreno estão relacionadas com as capacitâncias fonte-dreno e dreno-fonte da forma apresentada na equação (21).

$$C_{dg} - C_{gd} = C_m = \frac{(C_{sd} - C_{ds})}{n} \quad (21)$$

As equações de (14) até (21) são capacitâncias para o modelo de pequeno sinal quasi-estático, sendo boas aproximações para análise de sinais com frequência inferior a cerca de dez vezes a frequência de transição (f_T) do transistor, dada pela equação 22

$$f_T = \frac{\mu \cdot \phi_t}{2 \cdot \pi \cdot L^2} \cdot 2 \cdot (\sqrt{(1 + i_f)} - 1). \quad (22)$$

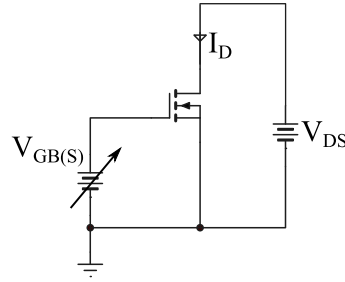
A equação (22) mostra que a frequência de transição é inversamente proporcional ao quadrado do comprimento do canal. A mobilidade é levemente dependente da polarização e decai com o aumento de temperatura. A equação (22) mostra que a frequência de transição aumenta com o aumento do nível de inversão. Para operação com frequências próximas ou maiores do que f_T o modelo a ser considerado é o modelo não-quase-estático.

3.1.2 Extração de parâmetros para a Tecnologia TSMC 65 nm

O método de extração de parâmetros tecnológicos para o modelo ACM via simulação foi realizado pelo método da razão de g_{mg}/I_D que pode ser verificado em Schneider e Galup-Montoro (2010), Adornes et al. (2022) e Siebel et al. (2007). A extração de parâmetros pelo método g_{mg}/I_D consiste em fazer uma varredura da tensão de porta do transistor enquanto ele é mantido na região linear ($V_{DS} \ll V_{DS(sat)}$). Neste caso utilizou-se uma tensão V_{DS} de 13 mV. O diagrama esquemático do teste em questão é apresentado na Figura 10 para o transistor NMOS. Para o transistor PMOS um arranjo semelhante é utilizado.

O método de extração $g_{mg}/I_D = \partial I_D / \partial V_G = \partial (\ln I_D) / \partial V_G$ é determinado através da variação da corrente de dreno com a tensão de porta. A Figura 11 apresenta o gráfico do teste para um transistor NMOS (Figura 11a) e para um transistor PMOS (Figura 11b). Na Figura 11a são apresentados os pontos de referência tanto da tensão de limiar quanto da corrente específica.

Figura 10 – Esquemático da simulação para extração de parâmetros pelo método g_{mg}/I_D .



Fonte: Elaborado pelo autor (2024).

Para se obter o parâmetro V_{TO} , utilizando o gráfico apresentado na Figura 11, encontra-se a tensão de porta V_{GS} correspondente a aproximadamente metade do valor máximo encontrado para a razão g_{mg}/I_D . Para determinar $I_S = I_{SQ}$ (para $W/L=1$), utiliza-se o valor de V_{GS} correspondente a V_{TO} , observando que o valor da corrente I_D lida corresponde a $I_D \cong 0,88I_S$.

Para calcular n , utiliza-se o valor máximo do gráfico de g_{mg}/I_D na equação (10) sabendo que, no ponto em que a razão g_{mg}/I_D é máxima, esta é igual a $1/n\phi_t$. O valor de ϕ_t é de aproximadamente 26 mV para a temperatura de 27 °C. Todos os resultados mostrados na Tabela 4 são para os transistores de óxido espesso de 2,5 V implementados em substrato p da tecnologia TSMC 65 nm com dimensões de $W = 1 \mu\text{m}$ e $L = 1 \mu\text{m}$. Foram realizadas simulações com comprimentos de canal menores do que $1 \mu\text{m}$ com o intuito de avaliar um valor de referência a partir de qual se poderia considerar o canal longo. Dois parâmetros foram considerados, a partir das conclusões de Feng (2025), a tensão de limiar e a transcondutância de dreno em saturação. Conclui-se que a partir de aproximadamente $0,8 \mu\text{m}$ é possível considerar o transistor de óxido espesso como de canal longo, pois tanto a transcondutância quanto a tensão de limiar se estabilizaram com relação às mudanças no valor do L. A curva $I_D \times V_{DS}$ para diferentes valores de L abaixo de $1 \mu\text{m}$ foram avaliadas para chegar nessa conclusão que é apenas uma referência prática e não um limite que pode ser generalizado.

Tabela 4 – Parâmetros de canal longo do modelo ACM para os transistores 2,5 V da tecnologia TSMC 65 nm com dimensões de $W = 1 \mu\text{m}$ e $L = 1 \mu\text{m}$.

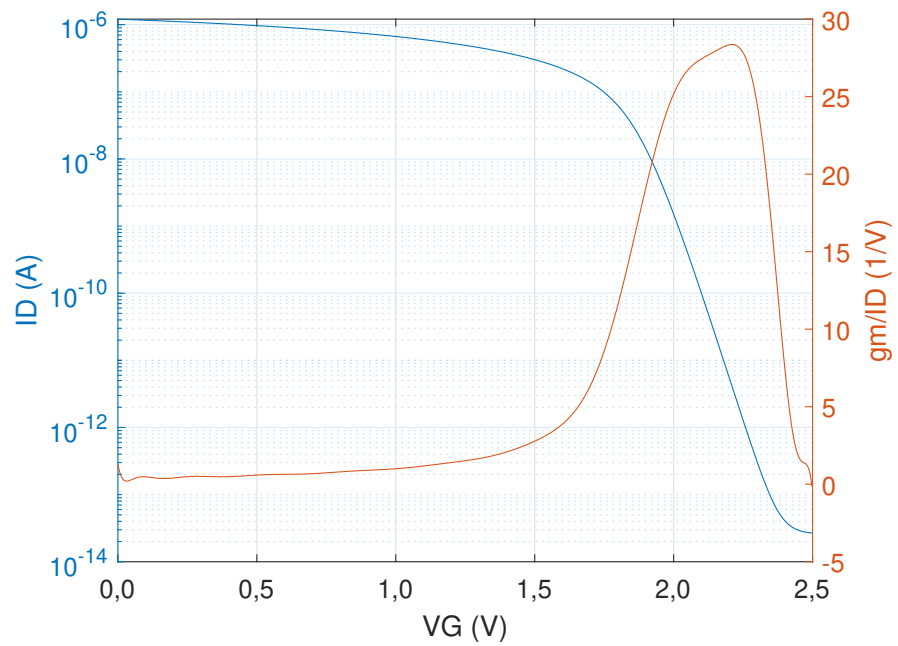
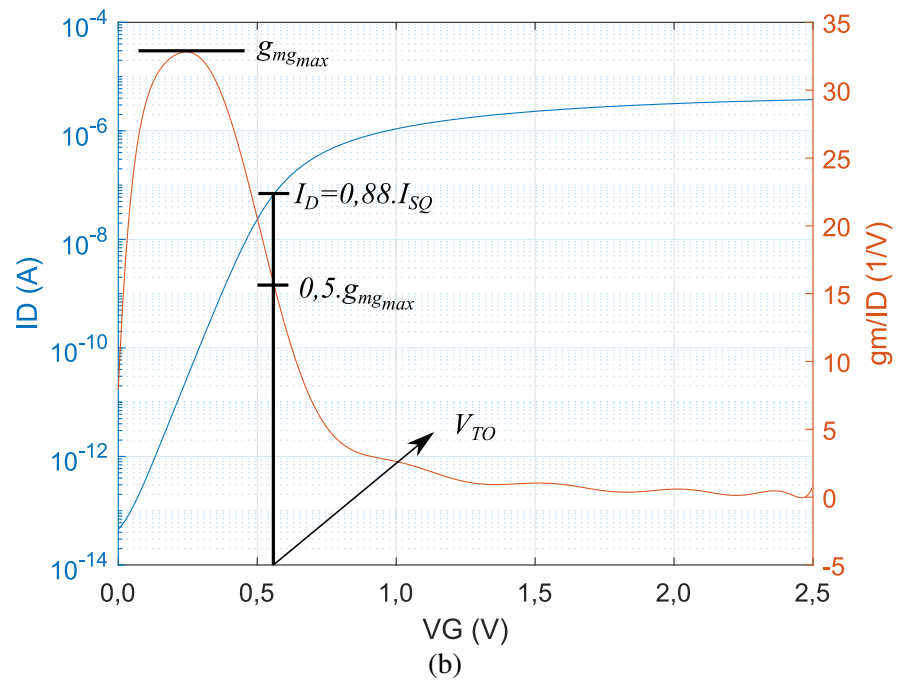
PARÂMETRO	NMOS	PMOS
I_{SQ}	86,7 nA	32,84 nA
V_{TO}	550,00 mV	665,00 mV
n	1,17	1,36

Fonte: Elaborado pelo autor (2026).

A Tabela 4 apresenta os resultados da extração de parâmetros de canal longo utilizando a metodologia g_{mg}/I_D . Todos os parâmetros foram extraídos via simulação com Cadence Spectre com o PDK (*Process Design Kit*) da tecnologia TSMC 65N MS/RF disponibilizado via serviço da Europractice. Os transistores de 2,5 V desta tecnologia foram utilizados como preferência por

Figura 11 – g_{mg}/I_D e I_D em função da tensão de porta para realizar a extração dos parâmetros tecnológicos. (a) Transistor NMOS de 2,5 V. (b) Transistor PMOS de 2,5 V.

(a)



Fonte: Elaborado pelo autor (2026).

apresentarem uma tensão de trabalho próxima da tensão de trabalho das baterias mais comuns para dispositivos vestíveis.

A escolha da tecnologia de 65 nm foi motivada pelo cronograma das rodadas de fabricação multiusuário oferecidas pela fabricante, que disponibilizava um maior número de oportunidades de submissão compatíveis com o cronograma de execução do projeto quando comparado às tecnologias de 180 nm e 130 nm.

3.2 ESPECIFICAÇÕES DO SISTEMA

Nesta seção é apresentado o processo de escolha das especificações da fonte de corrente e do amplificador de instrumentação. Além disso, são apresentadas as especificações dos demais circuitos que compõem o circuito integrado.

O sistema apresentado na Figura 9 é responsável por condicionar sinais do tipo pulsado, com transições rápidas entre os níveis de tensão de uma sequência binária, como o sinal DIBS. As especificações relacionadas ao comportamento dinâmico dos circuitos que processam o sinal DIBS são as mais relevantes e devem ser primeiramente consideradas.

A utilização de sinais do tipo DIBS para espectroscopia de impedância elétrica já foi demonstrada experimentalmente em sistemas não integrados. Sirtoli et al. (SIRTOLI et al., 2018) desenvolveram um sistema de bioimpedância baseado em DIBS, constituído por uma fonte de corrente, um sistema de aquisição, um microcontrolador e uma interface gráfica. O sistema foi experimentalmente caracterizado utilizando resistores entre 5 Ω e 5 k Ω , apresentando erros de aproximadamente 2% na magnitude da impedância e inferiores a 3° no ângulo de fase. Posteriormente, o sistema foi utilizado para a avaliação da bioimpedância do músculo peitoral durante exercícios isotônicos, demonstrando a aplicabilidade da técnica à detecção de fadiga muscular (SIRTOLI et al., 2018).

A aplicação de DIBS também foi posteriormente investigada em sistemas eletroquímicos. Tran, Roinila e Markkula (TRAN; ROINILA; MARKKULA, 2022) empregaram uma sequência DIBS para a medição em tempo real da impedância interna de baterias de íons de lítio, apresentando resultados experimentais obtidos a partir de uma célula comercial. Posteriormente, a utilização de DIBS para medição de impedância de baterias foi aprofundada em trabalhos que exploraram a injeção de banda larga e métodos de processamento no domínio da frequência (TRAN; ROINILA, 2023). Esses resultados demonstram experimentalmente que sinais DIBS podem ser empregados para a determinação da impedância de diferentes sistemas físicos, incluindo tecidos biológicos e dispositivos eletroquímicos.

Embora a utilização de DIBS em sistemas de medição de impedância já tenha sido demonstrada experimentalmente, não foram identificados, na literatura consultada, circuitos integrados CMOS especificamente desenvolvidos para a geração, injeção e aquisição de sinais DIBS destinados à espectroscopia de impedância. Nesse contexto, o presente trabalho busca contribuir para essa lacuna por meio do desenvolvimento de uma arquitetura CMOS integrada

capaz de operar com sinais pulsados do tipo DIBS em uma ampla faixa de frequência.

Uma análise do sinal DIBS é fundamental para compreender quais necessidades os circuitos devem suprir para processá-lo. A Figura 12a apresenta um sinal do tipo DIBS onde pode-se verificar uma sequência de pulsos igualmente espaçados no tempo de forma pseudoaleatória. Esse arranjo também permite que as frequências sejam espaçadas uniformemente no domínio da frequência considerando apenas a banda sob análise. No caso do sinal apresentado na Figura 12a, há 16 pulsos com duração $Dt = 50 \text{ ns}$ cada, resultando em um espectro na faixa de frequências de 1 a 10 MHz em intervalos de 1,25 MHz que pode ser verificado na Figura 12b.

A criação de um sinal DIBS com mais pulsos é possível, mas isso resulta em tempos menores entre pulsos, exigindo especificações mais rigorosas em relação ao tempo de transição entre os pulsos. Neste trabalho, o tempo de transição entre pulsos máximo é definido como um décimo do tempo de duração de um pulso. Nesse caso, para que se possa analisar frequências até 10 MHz, o circuito tanto da fonte de corrente quanto do medidor de tensão precisa ser suficientemente rápido para garantir um tempo de 5 ns na transição entre os níveis dos pulsos.

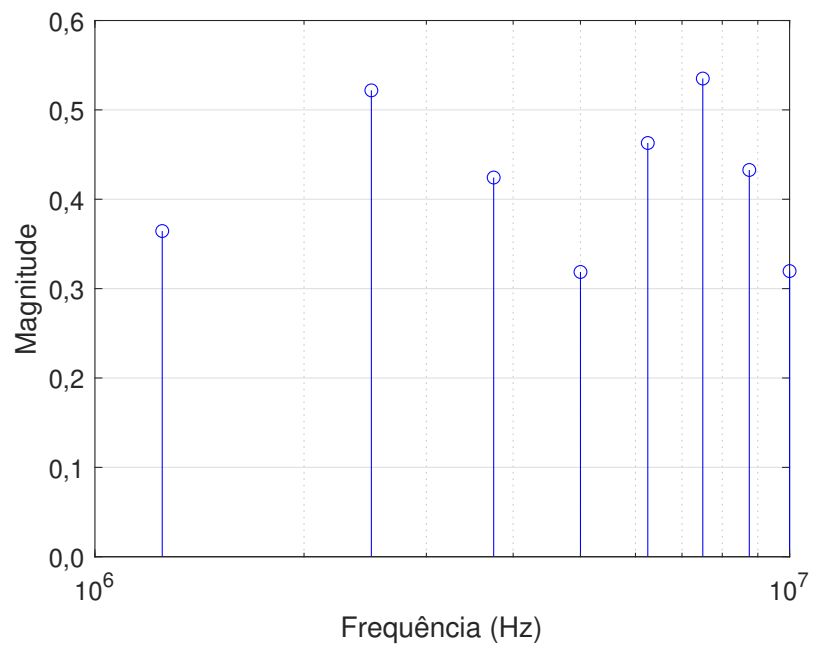
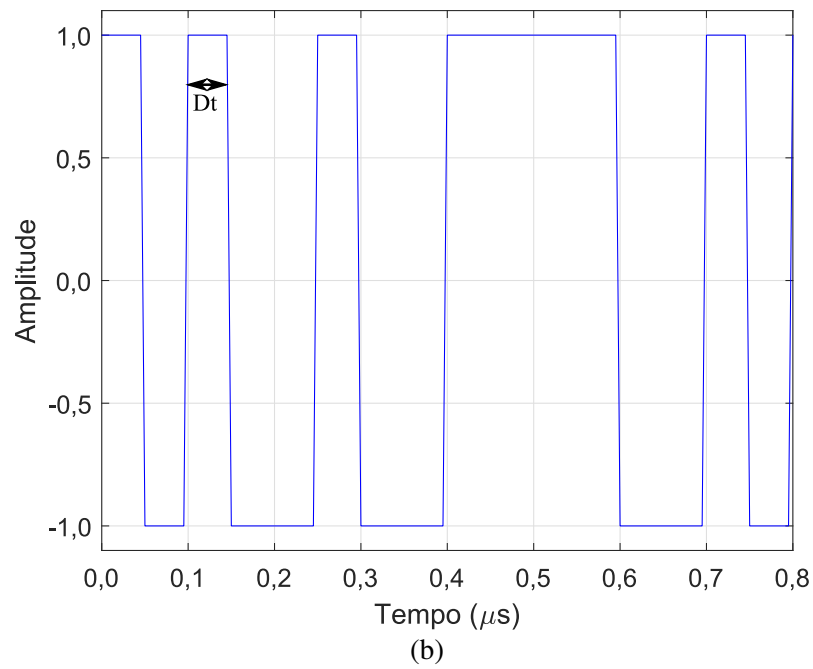
Outra opção para reduzir o tempo de subida seria diminuir o número de pulsos ou aumentar a quantidade de frequências dentro da banda de frequência. Essas conclusões podem ser obtidas por meio do uso da ferramenta *fdident* (Termo em Inglês para Ferramenta de identificação de sistemas no domínio da frequência (KOLLAR, 2019)) do software Matlab. Essa ferramenta permite que se faça a geração de sinais DIBS para uso em identificação de sistemas. Como parâmetros principais do DIBS, há o número de pulsos (NP), a frequência de transição entre os pulsos (Dt) (CF) e o intervalo entre frequências (df). A relação entre esses três parâmetros deve obedecer à relação $df = CF/NP$. O tempo entre os pulsos é dado por $1/CF$ e o tempo total da sequência é NP/CF . Tomando como exemplo o sinal apresentado na Figura 12a, tem-se um CF de 20 MHz para um df de 1,25 MHz e um NP de 16.

A partir da sequência de pulsos gerada pela ferramenta *fdident* criou-se um vetor de ponto em relação ao tempo da seguinte forma. Primeiramente criou-se um vetor de tempo com intervalos igualmente espaçados de $Dt/10$, ou seja, para cada intervalo de pulso do DIBS há dez pontos. Em seguida, respeitando o número de pontos do vetor de tempo foi construído um vetor de amplitude onde a cada um dos N valores da sequência são acrescentados 10 valores correspondentes ao nível alto ou baixo da sequência do DIBS. Isso se faz para cada uma das faixas de frequência de forma independente, pois cada faixa tem um Dt diferente, como pode ser verificado na Tabela 5, resultando nos vetores usados para construir as Figuras 12a, 12b e 13.

Para construir um espectro mais amplo, basta criar novos sinais com a mesma sequência, alterando-se o tempo entre pulsos e, consequentemente, o tempo total do trem de pulsos. No caso da faixa entre 100 kHz a 1 MHz, todos os tempos devem ser aumentados por um fator de 10, de modo que se obtenha um tempo entre pulsos de 500 ns e um tempo máximo de transição entre níveis de 50 ns. A mesma lógica foi utilizada para construir as demais faixas: de 0,1 a 1 kHz, de 1 a 10 kHz, de 10 a 100 kHz, de 0,1 a 1 MHz, de 1 a 10 MHz. Ao juntar os espectros de todas as bandas, obtém-se o espectro apresentado na Figura 13. Assim, para especificar o

Figura 12 – Sinal DIBS de banda 1 MHz a 10 MHz com 16 pulsos espaçados de 1,25 MHz em frequência. (a) No domínio do tempo. (b) No domínio da frequência.

(a)



Fonte: Elaborado pelo autor (2026).

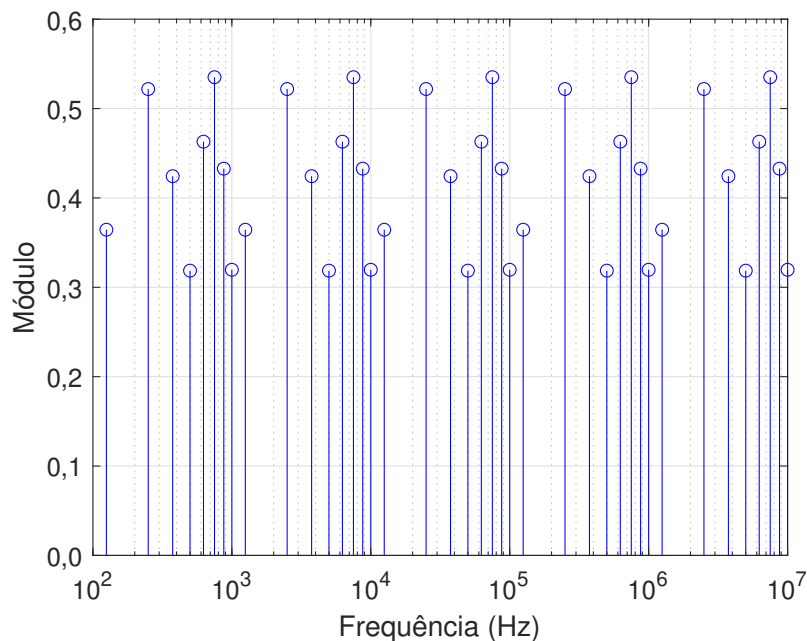
Tabela 5 – Tempos dos sinais DIBS para formar todo o espectro da Figura 13.

Faixa (kHz)	Tempo pulso	tempo de transição	Tempo total
0,1 a 1	500 μ s	50 μ s	8 ms
1 a 10	50 μ s	5 μ s	800 μ s
10 a 100	5 μ s	500 ns	80 μ s
100 a 1000	500 ns	50 ns	8 μ s
1000 a 10000	50 ns	5 ns	800 ns

Fonte: Elaborado pelo autor (2026).

comportamento dinâmico tanto da fonte SCMOSCS quanto do amplificador de instrumentação, deve-se observar a condição dos tempos da mais alta faixa de frequências do sinal. Todos os tempos estão resumidos na Tabela 5.

Figura 13 – Espectro completo fazendo a junção das cinco faixas apresentadas na Tabela 5.



Fonte: Elaborado pelo autor (2024).

Verifica-se na Figura 13 que o sinal DIBS não apresenta magnitude constante para todas as frequências. Apesar de parecer que isso poderia causar algum tipo de imprecisão na análise da impedância, esse comportamento não traz nenhum tipo de problema. Isso porque a impedância é calculada pela razão do espectro correspondente ao sinal de corrente que flui pela amostra e do sinal de tensão resultante.

Dado que o tempo de transição necessário para realizar uma análise até 10 MHz é de 5 ns e que a fonte de corrente fornece uma amplitude máxima de 2 mA. Então, a fonte SCMOSCS

deve apresentar uma capacidade de variação de corrente com relação ao tempo de $0,8 \text{ A}/\mu\text{s}$. Além disso, considerando que foram arbitradas quatro escalas de medida de impedância de 100Ω , $1 \text{ k}\Omega$, $10 \text{ k}\Omega$ e $100 \text{ k}\Omega$ com uma excursão de tensão de aproximadamente $\pm 200 \text{ mV}$ nos eletrodos da amostra, conclui-se que são necessárias amplitudes de corrente de excitação das impedâncias de 2 mA , $200 \mu\text{A}$, $20 \mu\text{A}$ e $2 \mu\text{A}$, respectivamente.

Tabela 6 – Especificações iniciais do sistema, todos os blocos estão no mesmo $V_{DD} = 2,5 \text{ V}$.

Circuito	Especificação	Valor	Unidade
Referência de corrente	$I_{Ref} (@\text{I-BIT-11})$	200	μA
	$I_{Ref} (@\text{I-BIT-10})$	20	μA
	$I_{Ref} (@\text{I-BIT-01})$	2	μA
	$I_{Ref} (@\text{I-BIT-00})$	0,2	μA
	I_{Ref_amp}	200	μA
SCMOSCS	$I_{Ref} (@\text{I-BIT-11})$	2	mA
	$I_{Ref} (@\text{I-BIT-10})$	200	μA
	$I_{Ref} (@\text{I-BIT-01})$	20	μA
	$I_{Ref} (@\text{I-BIT-00})$	2	μA
	$V_{out(swing)} (\text{Carga})$	$\pm 0,5$	V
	$V_{out(swing)} (R_{shunt})$	± 10	mV
	f_{max}	10	MHz
Amplificador de Instrumentação (DDA1)	Ganho (@V-BIT -0)	5	V/V
	Ganho (@V-BIT - 1)	11	V/V
	$V_{out(swing)} (\text{diferencial})$	± 1.5	V
	SR	40	$\text{V}/\mu\text{s}$
	GBW	300	MHz
	$C_L(\text{diferencial})$	4	pF
Amplificador de Instrumentação (DDA2)	Ganho (@G-BIT - 00)	25	V/V
	Ganho (@G-BIT - 01 ou 10)	55	V/V
	Ganho (@G-BIT - 11)	121	V/V
	$V_{out(swing)} (\text{diferencial})$	± 1.5	V
	SR	40	$\text{V}/\mu\text{s}$
	GBW	300	MHz
	$C_L(\text{diferencial})$	4	pF

Fonte: Elaborado pelo autor (2026).

A fonte SCMOSCS necessita de uma referência de corrente para que esta seja aplicada à

amostra. Essa referência de corrente será do tipo autopolarizada com baixa dependência com a temperatura. Para que este bloco de referência de corrente seja eficiente em consumo de corrente e em área, optou-se por ter um ganho de corrente interno ao bloco SCMOSSCS de 10. Isso reduz a exigência de corrente consumida pelo bloco da referência de corrente e também reduz a necessidade de área caso esse bloco precise operar com transistores em regime de inversão fraca ou moderada. Assim sendo, as especificações da saída de corrente para a referência de corrente serão de $200\ \mu\text{A}$, $20\ \mu\text{A}$, $2\ \mu\text{A}$ e $0,2\ \mu\text{A}$. Essas correntes serão derivadas de dois ramos de correntes que a fonte autopolarizada em questão proporcionará por meio de espelhos de corrente que são chaveados para a fonte SCMOSSC (I_{Ref} da Figura 9). Uma das derivações não é chaveada e é direcionada aos amplificadores de instrumentação (I_{Ref_amp} da Figura 9). Assim sendo, as correntes que serão utilizadas para o projeto da referência de corrente foram arbitradas em $1\ \mu\text{A}$ e $10\ \mu\text{A}$.

Já para o amplificador de instrumentação identificado como DDA1 na Figura 9, este deve ter um *slew rate* de $40\ \text{V}/\mu\text{s}$, considerando que a excursão máxima de tensão de saída é de $2\ \text{V}$ e o tempo de subida especificado para a máxima frequência é de $50\ \text{ns}$. Além disso, se considerarmos um ganho 10 e uma largura de banda de $10\ \text{MHz}$, então o produto ganho-banda deve ser acima de $100\ \text{MHz}$. Outra característica desse amplificador de instrumentação é que ele é do tipo DDA (Differential Difference Amplifier) totalmente diferencial. O amplificador em malha aberta deve apresentar alta impedância de entrada. Considerando que os ganhos serão programados por um bit entre os valores 10 e 5, os resistores para realimentação do DDA são implementados internamente ao circuito integrado e têm valores da ordem de dezenas de $\text{k}\Omega$. A carga arbitrada para o amplificador o DDA1 é da ordem de $4\ \text{pF}$, valor típico da capacitância de entrada de conversores analógicos para digitais de aproximadamente $1\ \text{GS/s}$. Um conversor A/D com essa especificação possivelmente servirá como interface entre a saída do amplificador e o processador que determinará a DFT do sinal de saída do amplificador.

A fonte SCMOSSCS deve ter resistores de derivação (*shunt*) para que seja realizada a medida de corrente na carga. Esses resistores serão chaveados juntamente com as diferentes pontes H projetadas para cada uma das quatro escalas de impedância. Os valores são tais que mantenham a excursão de $\pm 10\ \text{mV}$ para a entrada do DDA2 para qualquer uma das correntes programadas.

O bloco DDA2 é responsável por medir a corrente de saída da fonte SCMOSSCS com o auxílio dos resistores de derivação. Nesse caso, pode-se verificar na Tabela 6 que ele tem as características dinâmicas iguais às aquelas apresentadas para o DDA1. Isso porque o bloco DDA2 será composto por dois DDA1 em cascata. Assim, se pode alcançar maiores ganhos para uma amplitude de entrada de $10\ \text{mV}$. Os parâmetros dinâmicos do DDA2 devem ser os mesmos porque o sinal de corrente tem as mesmas características do sinal DIBS de entrada.

4 PROJETOS ELÉTRICOS REALIZADOS

Neste capítulo são apresentados os projetos dos blocos apresentados na Figura 9. Eles são: referência de corrente autopolarizada e fonte de corrente SCMOSS, o amplificador de instrumentação (DDA1) e o amplificador de instrumentação (DDA2). Neste capítulo também são apresentados os detalhes do projeto físico (leiaute) de cada um dos estágios citados e do *tape-out* submetido para a fabricação no programa mini@sic da Europractice na tecnologia TSMC 65 nm.

4.1 REFERÊNCIA DE CORRENTE

O circuito de referência de corrente é de fundamental importância para a polarização de circuitos integrados (CIs), uma vez que o desempenho desses circuitos depende do valor da corrente (SCHNEIDER; GALUP-MONTORO, 2010). Em contraste com implementações utilizando componentes discretos comerciais, a referência de corrente proposta neste trabalho não necessita de um conversor tensão-corrente. Por meio do uso de espelhos de corrente, a corrente de referência pode ser distribuída para os blocos do sistema polarizados por corrente.

De acordo com (CASAÑAS et al., 2022), existem três características principais requeridas para que referências de corrente forneçam correntes de polarização a outros circuitos com precisão suficiente: robustez frente às variações de processo (que podem variar entre 1% e 20%); independência da tensão de alimentação (particularmente relevante em dispositivos alimentados por bateria ou sistemas que utilizam estratégias de coleta de energia) e baixa sensibilidade às variações de temperatura (com coeficientes térmicos variando de 1,5 a 700 ppm/°C).

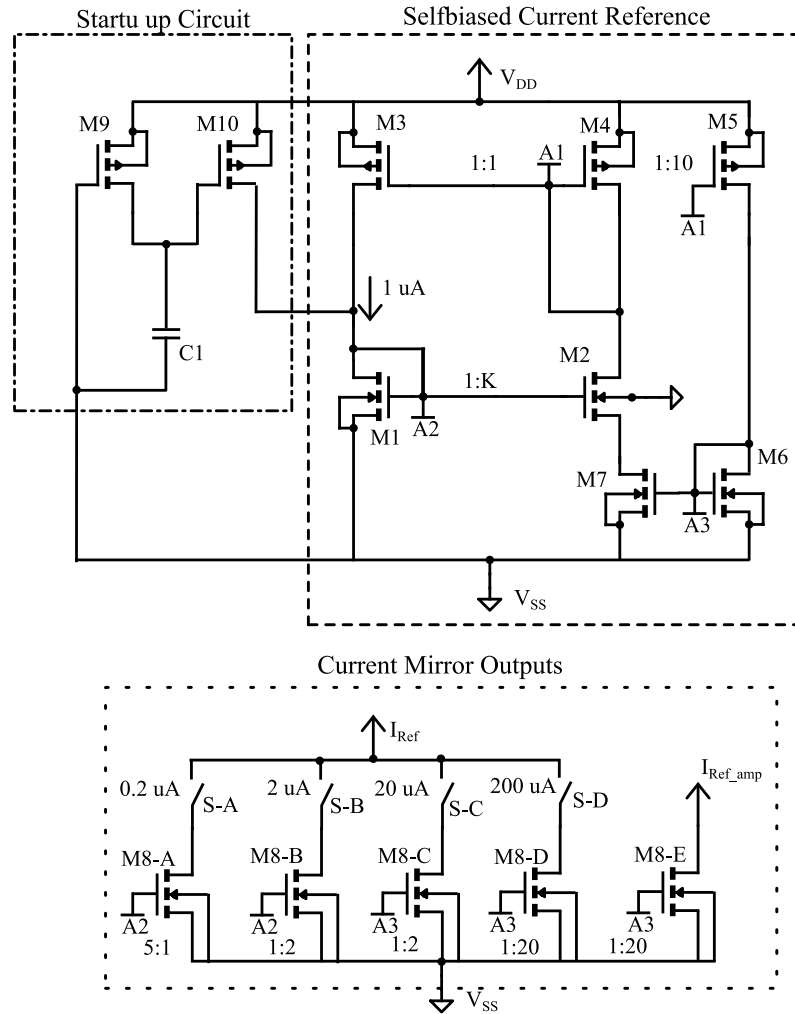
Existe uma ampla variedade de topologias de referência de corrente, variando desde estruturas simplificadas com poucos componentes até arquiteturas mais complexas compostas por dezenas de dispositivos. As topologias mais simples empregam transistores e um resistor, enquanto outras utilizam apenas transistores (SCHNEIDER; GALUP-MONTORO, 2010; CASAÑAS et al., 2022).

Para o projeto da referência de corrente do sistema proposto, foi adotada a referência autopolarizada clássica apresentada em (OGUEY; AEBISCHER, 1997). O diagrama esquemático da referência de corrente é mostrado na Figura 14. Essa solução mostrou-se eficaz na geração de uma corrente com baixo coeficiente térmico. A fonte de corrente apresentada na Figura 14, além de ser bastante simples, é capaz de gerar uma corrente muito baixa, a qual é replicada para alimentar a fonte de corrente SCMOSS e os amplificadores de instrumentação.

Para o projeto do circuito mostrado na Figura 14, foram empregadas as equações do modelo ACM (SCHNEIDER; GALUP-MONTORO, 2010). Quando o transistor M1 opera em inversão fraca (SCHNEIDER; GALUP-MONTORO, 2010), a aproximação apresentada em (23) é válida

$$\frac{V_{S2}}{\phi_t} \cong \ln K \quad (23)$$

Figura 14 – Diagrama esquemático da referência de corrente autopolarizada.



Fonte: Elaborado pelo autor (2026).

onde V_{S2} é a tensão de fonte de M2. Neste caso, M2 é composto por K transistores M1 conectados em paralelo.

O transistor M7 da Figura 14 opera como um resistor, cuja resistência é determinada pelas dimensões de M7 e pela tensão aplicada à porta. As equações necessárias para o cálculo do valor dessa resistência podem ser encontradas em (OGUEY; AEBISCHER, 1997). Assim como definido na Tabela 6, o circuito foi projetado para uma corrente igual a $1 \mu\text{A}$ através do transistor M4; consequentemente, a corrente em M5 é igual a $10 \mu\text{A}$.

Também importante é a relação entre os níveis de inversão dos transistores M1 e M7 que é dada pela equação (24), onde S_i corresponde à razão de aspecto W_i/L_i dos transistores M_i apresentados na Figura 14.

$$i_{f7} = \frac{S_5}{S_4} \frac{S_1}{S_6} i_{f1} \quad (24)$$

O transistor M7 deve operar na região linear. Assim, a relação entre o nível de inversão reverso (i_{r7}) e o nível de inversão direto (i_{f7}) para o transistor M7 pode ser calculado pela equação (25).

$$\frac{i_{r7}}{i_{f7}} = \left(1 - \frac{S_4 S_6}{S_5 S_7}\right) \quad (25)$$

Para o transistor M7 operar na região linear, pode-se relacionar os níveis de inversão com a equação (26).

$$\ln K = \sqrt{1 + i_{f7}} - \sqrt{1 + i_{r7}} + \ln \left(\frac{\sqrt{1 + i_{f7}} - 1}{\sqrt{1 + i_{r7}} - 1} \right) \quad (26)$$

As equações (23) a (26), juntamente com a relação $I_{Ref}(I_{SQ}S_1i_{f1})$, permitem definir todas as razões de aspecto necessárias para que o circuito apresente a corrente de referência nos transistores M1 e M2. Para o projeto em questão, a corrente nos transistores M1, M2, M3 e M4 foi definida como $1 \mu A$, com i_{f1} igual a 1 e i_{f7} igual a 100. Segundo (SCHNEIDER; GALUP-MONTORO, 2010; OGUEY; AEBISCHER, 1997), os transistores M1 e M7 operam em inversão fraca e moderada, respectivamente. Diversas iterações entre projeto manual e simulações foram feitas para chegar às dimensões dos transistores.

A partir da relação $I_{Ref}(I_{SQ}S_1i_{f1})$ e considerando que a corrente específica I_{SQ} do transistor NMOS da tecnologia de 65 nm utilizada neste projeto é de 86 nA (vide Tabela 4), calcula-se S_1 como sendo igual a 11,1. Para definir S_2 , optou-se por arbitrar a relação V_{S2}/ϕ_t igual a 2, resultando em um valor de K de aproximadamente 7,39; para o projeto, foi utilizado o valor arredondado de 8. Assim, multiplicando-se K por S_1 , obtém-se S_2 igual a 88,8. Utilizando a equação (25), obtém-se um valor de i_{r7} de aproximadamente 50.

Como os transistores M3 e M4 são casados, operam em inversão fraca ou moderada e possuem razão de aspecto igual a 160, obtém-se um valor de 0,02 para a relação $(S_4/S_5)/(S_6/S_7)$ por meio da equação (25). Além disso, optou-se por um valor de S_5 igual a 1600, o que resulta em S_6 igual a 1,25 (ou 1,1 para os valores ajustados de $K = 8$), conforme a equação (24). A razão de aspecto S_7 , igual a 0,22, foi obtida a partir da equação (25). A Tabela 7 apresenta as dimensões utilizadas para os transistores da referência de corrente autopolarizada mostrada na Figura 14. Ressalta-se que N representa o número de transistores em paralelo, enquanto M representa o número de transistores conectados em série para compor a razão de aspecto total.

Os transistores M8-A até M8-D foram dimensionados para distribuir correntes de saída de 200 nA, $2 \mu A$, $20 \mu A$ e $200 \mu A$, respectivamente, a partir dos ramos disponíveis de $1 \mu A$ e $10 \mu A$ da referência de corrente. Isso resultou em espelhos de corrente de ganhos 5:1, 1:2, 1:2 e 1:20, conforme ilustrado na Figura 14. Esses níveis de corrente de saída são dez vezes menores que aqueles requeridos na saída do SCMOCS, uma vez que o SCMOCS possui um ganho interno de corrente igual a 10 (vide especificações na Tabela 6).

Tabela 7 – Dimensões dos transistores da Figura 14.

MOSFET	M	L(μm)	N	W(μm)	S
M1	1	2	4	6	12
M2	1	2	32	6	96
M3 - M4	1	0.5	16	5	160
M5	1	0.5	160	5	1600
M6	1	2	1	2	1
M7	5	2	1	2	0.2
M8-A	5	2	4	6	2.4
M8-B	1	2	8	6	24
M8-C	3	2	7	2	2.3
M8-D	1	2	24	2	24
M9	1	0.28	1	0.4	1.4
M10	10	0.28	1	0.4	14

Fonte: Elaborado pelo autor (2026).

A corrente aplicada à saída I_{Ref} é selecionada pelas chaves S-A até S-D, as quais são controladas por uma lógica combinacional cujas entradas são dois bits de controle (I-BIT) e cujas saídas correspondem aos quatro sinais de controle (S_{Com}) mostrados na Figura 9. Esses mesmos sinais também controlam as chaves de seleção do SCMOSCS. O projeto do circuito lógico, que é puramente combinacional, não está dentro do escopo deste trabalho.

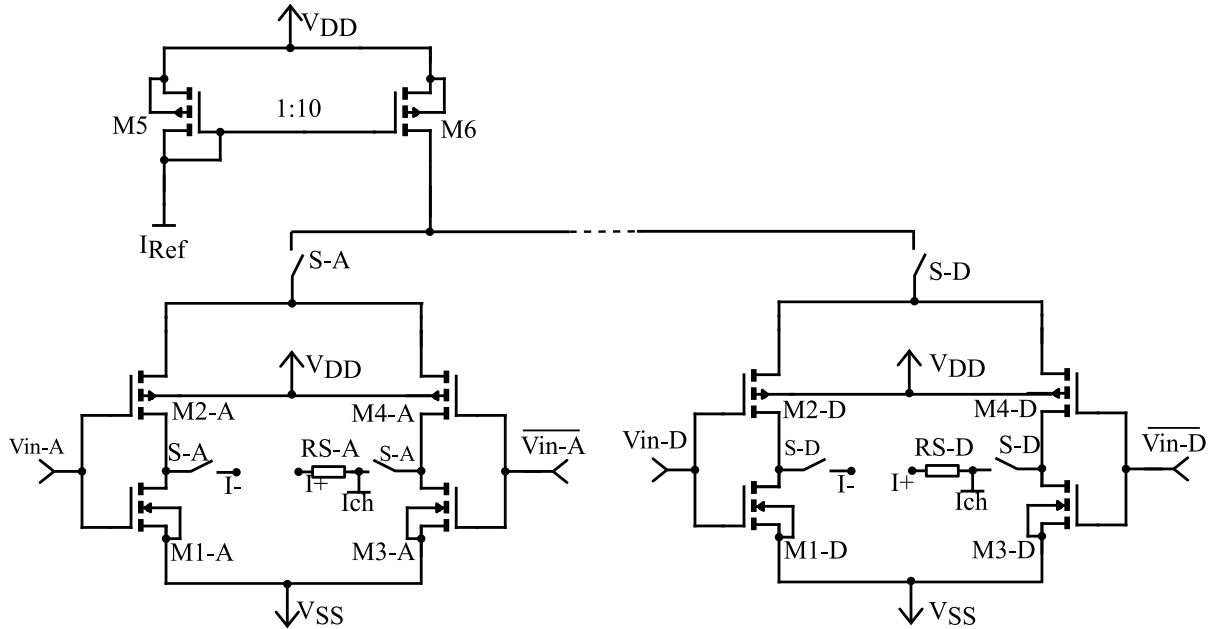
A saída I_{Ref_amp} possui valor fixo de $200 \mu\text{A}$. Portanto, o transistor M8-E possui as mesmas dimensões de M8-D. Os transistores M9 e M10, juntamente com o capacitor $C1 = 1.2 \text{ pF}$, implementado como uma matriz 3×2 de capacitores, cada um com dimensões de $10 \mu\text{m} \times 10 \mu\text{m}$, compõem o circuito de inicialização (*startup*) necessário para a referência de corrente.

4.2 FONTE SCMOSCS

O SCMOSCS consiste em quatro pontes H combinadas com um espelho de corrente cascode acionado por uma referência de corrente auto-polarizada, I_{Ref} apresentada na Figura 9 e no diagrama esquemático da Figura 14. O SCMOSCS demonstrou ser eficaz para o processamento de sinais DIBS, conforme apresentado em (SILVA; BERTEMES-FILHO, 2024b), apresentando melhor desempenho que uma fonte de corrente do tipo Howland aprimorada. O circuito mostrado na Figura 15 emprega um espelho de corrente PMOS com ganho igual a 10. Assim, o SCMOSCS fornece correntes de saída de $2 \mu\text{A}$, $20 \mu\text{A}$, $200 \mu\text{A}$ e 2 mA . Como a corrente de saída é definida pela razão do espelho e por I_{Ref} , sua amplitude é independente das

características de tensão do sinal DIBS de entrada, diferentemente das topologias baseadas na fonte de Howland (SILVA; BERTEMES-FILHO, 2024b).

Figura 15 – Diagrama esquemático da fonte SCMOSSCS.



Fonte: Elaborado pelo autor (2026).

A única ponte H apresentada em (SILVA; BERTEMES-FILHO, 2024b) foi expandida para quatro pontes H, com o objetivo de otimizar o desempenho nas quatro faixas de corrente. Cada ponte H, composta por inversores CMOS, inverte a direção da corrente espelhada através da carga conectada entre os terminais I^+ e I^- em resposta às transições do sinal DIBS (SANCHEZ et al., 2012; SILVA; BERTEMES-FILHO, 2024b). Sinais de controle complementares garantem que, enquanto um par de transistores conduz, o par oposto permanece desligado, permitindo fluxo bidirecional de corrente através da carga. Essa configuração possibilita medições tetrapolares utilizando alimentação simples ($+V_{DD}$ e GND). As chaves analógicas S-A até S-D sincronizam a ponte H selecionada com o ramo de I_{Ref} escolhido por meio dos sinais S_{Com} . Os resistores shunt RS-A até RS-D são escalados de acordo com o nível de corrente e a faixa de medição.

A precisão da corrente de saída depende principalmente de I_{Ref} e da impedância de saída do espelho de corrente. Diferentemente das fontes de corrente do tipo Howland aprimoradas, não é necessária corrente adicional de polarização além da corrente da carga, o que representa uma vantagem para sistemas alimentados por bateria (SILVA; BERTEMES-FILHO, 2024b). Além disso, a tensão sobre a carga apresenta excursão simétrica em operação com alimentação simples, conforme expresso em (27).

$$V_{Load} < \pm(V_{DD} - V_{(mirror)-sat} - V_{on-M2(M4)} - V_{on-M1(M3)} - V_{RS} - 3V_S) \quad (27)$$

onde $V_{(mirror)-sat}$ é a tensão mínima necessária para manter M6 em saturação. $V_{on-M2(M4)}$ e $V_{on-M1(M3)}$ correspondem às quedas de tensão nos interruptores condutores da ponte H, enquanto

V_{RS} é a tensão sobre o resistor shunt. Adicionalmente, V_S representa a queda de tensão sobre as chaves S-A até S-D.

Para o projeto de M6 e M5 define-se um valor para $V_{(mirror)-sat}$ e utiliza-se a equação (11) para se obter o nível de inversão para esses transistores. Em seguida, utiliza-se as equações (8) e (9) juntamente com os parâmetros tecnológicos apresentados na Tabela 4 para definir as dimensões do transistor. Como o espelho de corrente é fixo para todas as quatro correntes da fonte, esse cálculo é feito para a corrente de 2 mA. Já para uma estimativa do projeto das chaves da ponte H pode-se utilizar

$$R_{ON} = \frac{1}{\mu C'_{ox} \frac{W}{L} (V_G - V_{TO} - nV_S)} \quad (28)$$

onde R_{ON} é a resistência de canal com o transistor atuando como chave fechada, V_G é a tensão de porta, V_S é a tensão na fonte, n é o fator de rampa, V_{TO} é a tensão de limiar e $\mu C'_{ox}$ é obtido a partir da equação (9). Os últimos três valores são obtidos na Tabela 4.

As dimensões dos transistores, listadas na Tabela 8, foram determinadas por meio de cálculos manuais (SCHNEIDER; GALUP-MONTORO, 2010) e simulações iterativas. As chaves analógicas CMOS foram dimensionadas para cada escala de corrente utilizando uma razão PMOS/NMOS de 3:1, de forma a compensar a menor mobilidade das lacunas. Os valores de W e L das chaves analógicas foram definidos considerando a queda de tensão nas mesmas. Essa queda de tensão pode reduzir a excursão de tensão na saída da fonte SCMOSES. Assim, foi considerada uma queda de tensão máxima de 100 mV, valor verificado por meio de simulações.

Tabela 8 – Dimensões dos transistores da Figura 15.

Transistor	M	L (μm)	N	W (μm)	S
M1-A / M3-A	1	0.28	1	0.4	1.4
M2-A / M4-A	1	0.28	3	0.4	4.2
M1-B / M3-B	1	0.28	1	0.4	1.4
M2-B / M4-B	1	0.28	3	0.4	4.2
M1-C / M3-C	1	0.28	40	0.4	57
M2-C / M4-C	1	0.28	120	0.4	171
M1-D / M3-D	1	0.28	50	1	178
M2-D / M4-D	1	0.28	150	1	534
M5	1	1	5	10	50
M6	1	1	50	10	500

Fonte: Elaborado pelo autor (2026).

Os resistores shunt foram definidos para produzir ± 10 mV entre seus terminais, como

pode ser verificado na Tabela 6. Dessa forma, foram adotados valores de 5 k Ω , 500 Ω , 50 Ω e 5 Ω para correntes de 2 μ A, 20 μ A, 200 μ A e 2 mA, respectivamente. Os valores dos resistores são definidos por $RS = \frac{M \cdot L}{N \cdot W} \cdot R_{sh}$. O valor de R_{sh} para o resistor n-poly (RS-A até RS-C) é aproximadamente 15 Ω /quadrado e, para o resistor n-well (RS-D), é aproximadamente 705 Ω /quadrado. A Tabela 9 apresenta as dimensões utilizadas no projeto de layout dos resistores shunt.

Tabela 9 – Dimensões dos resistores da Figura 15.

Scale	M	L (μ m)	N	W (μ m)	R (Ω)
RS-A	1	14.2	1	2	5005.5
RS-B	5	13.5	1	2	506.25
RS-C	1	14	2	2	52.5
RS-D	1	3	3	3	5

Fonte: Elaborado pelo autor (2026).

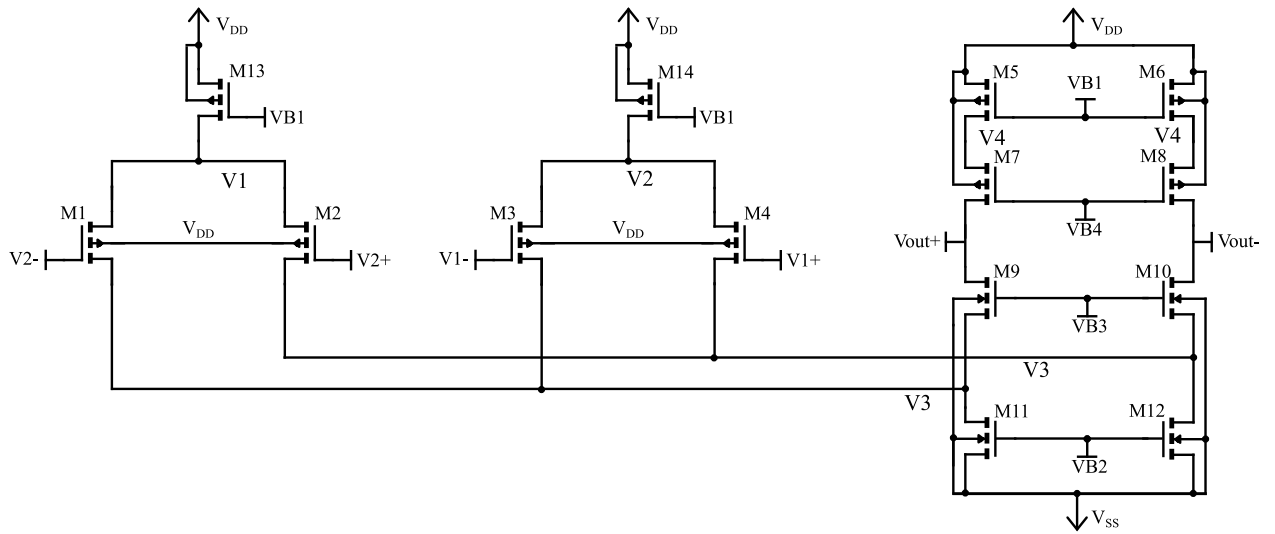
4.3 AMPLIFICADORES DE INSTRUMENTAÇÃO (DDA1 E DDA2)

Para o projeto dos amplificadores de instrumentação DDA1 e DDA2 foi escolhida a topologia denominada *differential difference amplifier* (DDA). Esse amplificador possui dois pares diferenciais de entrada, conforme apresentado em Sackinger e Guggenbuhl (1987), Hung et al. (1997), Alzaher e Ismail (2001), Avoli et al. (2018), Adornes et al. (2025), Lima (2009). Uma das principais vantagens dessa topologia é a elevada impedância de entrada (AVOLI et al., 2018). Em implementações CMOS, essa impedância é predominantemente capacitiva. Além disso, a topologia apresenta elevada rejeição de modo comum, característica particularmente desejável em sistemas de instrumentação Avoli et al. (2018). Uma variação dessa estrutura é o *fully differential difference amplifier* (FDDA), originalmente derivado da topologia proposta por Sackinger e Guggenbuhl (1987), porém com saída diferencial e circuito interno de realimentação de modo comum (ADORNES et al., 2025; ALZAHER; ISMAIL, 2001; AVOLI et al., 2018).

A Figura 16 apresenta o diagrama esquemático do FDDA *folded cascode* projetado para condicionar os sinais de tensão para serem amostrados. Os transistores de M1 até M4 formam os dois pares diferenciais de entrada. Um desses pares diferenciais será utilizado como entrada diferencial de tensão e outro será utilizado para realizar a realimentação para definição do ganho do amplificador. Os transistores de M5 até M12 formam o espelho do tipo *folded cascode* que atua como carga ativa dos amplificadores diferenciais e de estágio de saída diferencial. Por fim, os transistores M13 e M14 formam espelhos de corrente com os transistores do circuito de polarização para oferecer a corrente de cauda para os pares diferenciais de entrada.

Para iniciar o projeto do circuito da Figura 16 utilizam-se as equações (29), do produto ganho-banda (GBW), e a equação (30), do *slew rate* (SR), para se definir qual será a transcon-

Figura 16 – Diagrama elétrico do FDDA com carga *folded cascode*.



Fonte: Elaborado pelo autor (2026).

dutância dos transistores M1 até M4 e a corrente de dreno de cada um deles (SCHNEIDER; GALUP-MONTORO, 2010).

$$g_{mg} = 2 \cdot \pi \cdot GBW \cdot C_L \quad (29)$$

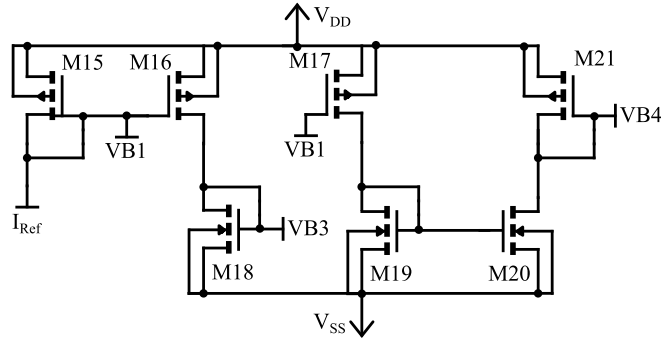
onde GBW é a especificação de produto ganho-banda, C_L é a especificação da capacitância de carga entre os terminais diferenciais de saída e g_{mg} é a transcondutância de porta para o transistor na região de saturação. Por sua vez,

$$I_T = SR \cdot C_L \quad (30)$$

onde SR é a especificação de *slew rate*, I_T é a corrente de polarização do par diferencial de entrada e C_L é a capacitância de carga entre os terminais diferenciais de saída.

Utilizando as especificações de SR e de C_L apresentadas na Tabela 6 e a equação (30), obtém-se uma corrente de aproximadamente $160 \mu A$. Calculando a transcondutância necessária para obter o GBW especificado obtém-se um valor de aproximadamente $15 mS$. Utilizando a equação (10), se conclui que não será possível alcançar o GBW requisitado com a corrente mínima necessária para se alcançar o SR especificado. Então, optou-se por definir um nível de inversão i_f , dado pela equação (8), de aproximadamente 40, e calcular a corrente necessária para se obter o GBW especificado. Dessa forma a corrente de polarização do par diferencial resultou em aproximadamente $4 mA$. O elevado valor de corrente, 25 vezes maior do que a corrente necessária para atingir o SR , obtido a partir da especificação de GBW evidencia que o projeto é limitado principalmente pela largura de banda de passagem do amplificador, e não pela especificação de *slew rate*. O nível de inversão de 40 foi escolhido para alcançar um compromisso entre linearidade dos transistores de entrada e a excursão de sinal da entrada, já que

Figura 17 – Diagrama elétrico do circuito de polarização.



Fonte: Elaborado pelo autor (2026).

$$VCM_{in(max)} = V_{DD} - V_{DSsat(M13,14)} - V_{GSmin(M1-4)} \quad (31)$$

onde $VCM_{in(max)}$ é a tensão de modo comum máxima que mantém os transistores do par diferencial na região de saturação, $V_{DSsat(M13,14)}$ é a tensão de saturação de dreno-fonte dos transistores de calda e $V_{GSmin(M1-4)}$ é a tensão mínima entre porta e fonte dos transistores dos pares diferenciais para que estes não saiam da operação em saturação.

Com a corrente definida e o nível de inversão pode-se, com a equação (9), definir a razão de aspecto dos transistores dos pares diferenciais de entrada. Os transistores do espelho de calda são calculados para manter um $V_{DSsat} = 300$ mV para limitar a área ocupada pelos dispositivos, pois a corrente de 4 mA é aproximadamente um milhão de vezes maior do que a corrente I_{SQ} do transistor PMOS apresentado na Tabela 4 desta tecnologia. O nível de inversão para esses transistores e para os espelhos *folded cascode* utilizaram a equação (11) e os mesmos valores de V_{DSsat} para todos.

A Figura 17 tem os transistores M15 até M17 formando espelhos de corrente para replicar a corrente de referência (I_{Ref_amp}) de 200 μ A para os valores de 4 mA que fluem pelos ramos de M5, M6, M13 e M14. Ou seja, esses espelhos têm ganho de corrente de 20 vezes. Os transistores M19 e M20 formam um espelho de corrente de ganho unitário com objetivo de replicar a corrente de referência para o transistor M21. Este último, por sua vez, define a tensão VB4 que polariza os transistores M7 e M8 na região de saturação e mantendo os transistores M5 e M6 no limiar da saturação. Segundo Schneider e Galup-Montoro (2010) a condição deduzida a partir da equação (12) seria

$$\left[\sqrt{1 + i_{f(M21)}} - 1 + \ln \left(\sqrt{1 + i_{f(M21)}} - 1 \right) \right] = \left[\sqrt{1 + i_{f(M5-6)}} + 3 \right] + \left[\sqrt{1 + i_{f(M7-8)}} - 1 + \ln \left(\sqrt{1 + i_{f(M7-8)}} - 1 \right) \right] \quad (32)$$

onde $i_{f(MX)}$ se refere ao nível de inversão do transistor em questão. Seguindo a mesma lógica o transistor M18 foi projetado para polarizar o espelho *cascode* formado por M9 e M10.

Tabela 10 – Dimensões dos transistores utilizadas para o leiaute do FDDA.

Transistor	M	L (μm)	N	W (μm)	S
M1 - 4 / M23 - 24	1	0,5	20	10	400
M5-8 / M13-14 / M22	1	0,5	80	10	1600
M9-10	1	0,5	28	10	560
M11-12	1	0,5	32	10	640
M15-17	1	0,5	4	10	80
M18	1	2	1	7	3,5
M19-20	1	1	8	10	80
M21	1	2	7	1	3,5
M27-28	1	0,5	16	10	320

Fonte: Elaborado pelo autor (2026).

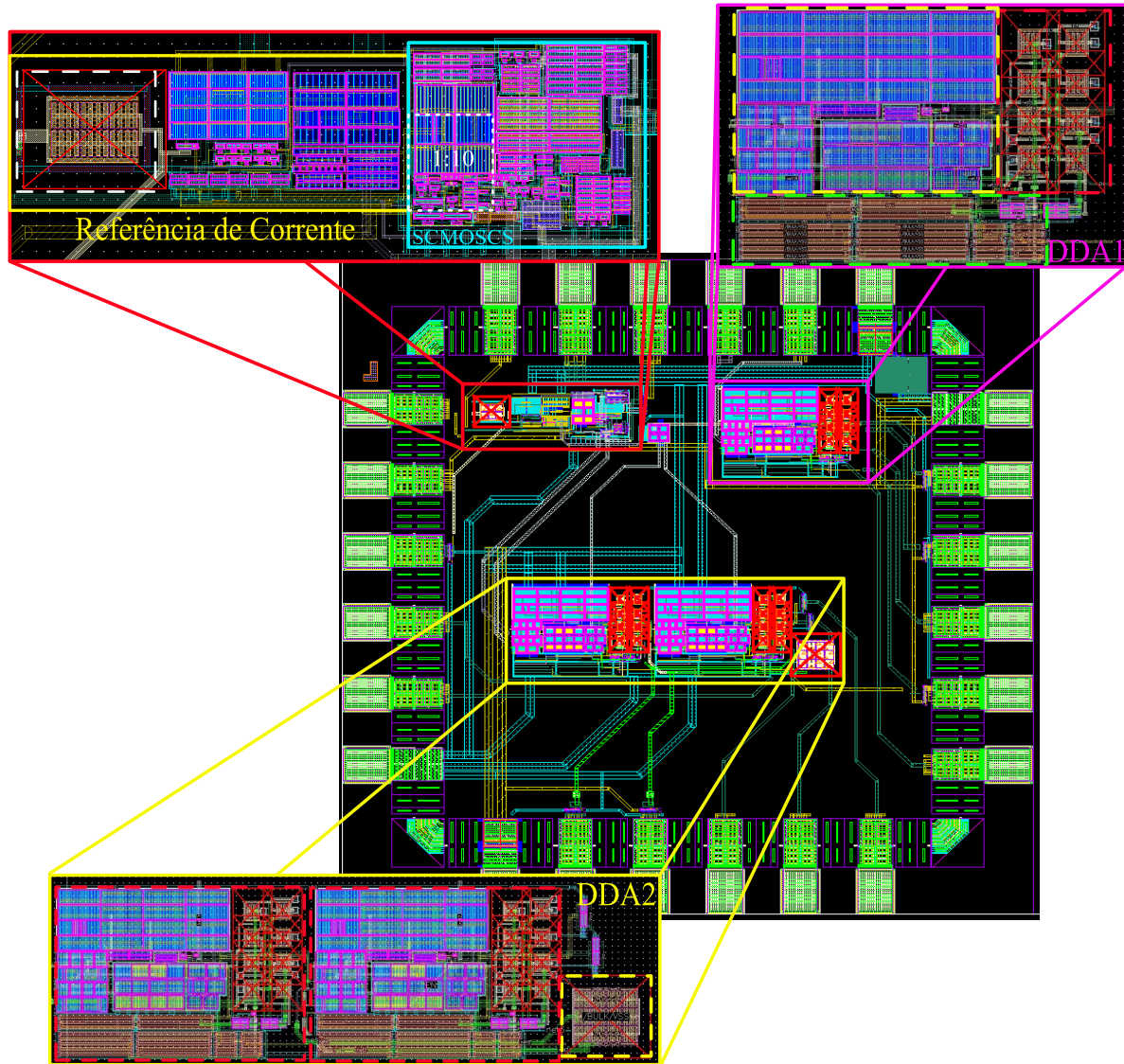
madamente. Já o resistor RF foi projetado com cinco resistores com dimensões de $W = 2 \mu\text{m}$, $L = 57 \mu\text{m}$ (20,1 k Ω cada) em série, resultando em uma resistência de aproximadamente 100 k Ω . O resistor R2 é composto por três resistores, conectados em série, das mesmas dimensões de R1, resultando em uma resistência total de aproximadamente 15,9 k Ω . Antes da utilização dos resistores da tecnologia em questão foram realizadas diversas simulações para avaliar linearidade do mesmo com relação a tensão aplicada. Para fazer esses testes uma varredura de tensão de -2,5 V até 2,5 V enquanto a corrente foi medida para construir uma curva $I \times V$ dos resistores. No que diz respeito a linearidade, não foram encontrados indícios de não linearidades dentro da faixa de tensão testada. Além da avaliação de linearidade para todos os resistores disponíveis na tecnologia, foi possível conferir os valores de resistência por quadrado.

Quando o sinal V-BIT está em nível lógico baixo, a chave controlada por V-BIT permanece aberta e a chave complementar permanece fechada. Nessa condição, o ganho diferencial do amplificador é configurado em 5 V/V e o capacitor de compensação assume valor aproximado de 200 fF. Quando V-BIT está em nível lógico alto, ocorre a configuração complementar das chaves, resultando em ganho diferencial de 11 V/V e capacitância de compensação de aproximadamente 50 fF.

O circuito DDA2 foi implementado utilizando dois amplificadores DDA1 conectados em cascata. Para o primeiro estágio foi adicionada uma capacitância de carga de aproximadamente 3,88 pF, implementada por meio de um arranjo de 12 capacitores conectados em paralelo, organizados em uma matriz (4×3). Cada capacitor possui dimensões $W = 12 \mu\text{m}$ e $L = 13 \mu\text{m}$, resultando em capacitância individual aproximada de 323 fF.

O ganho total do DDA2 é definido pelos sinais digitais G1 e G2 apresentados na Figura 9. Como cada estágio pode assumir ganhos de 5 V/V ou 11 V/V, os ganhos totais em cascata

Figura 20 – Leiaute do chip para o *tape-out* com destaque para os diferentes projetos individuais.



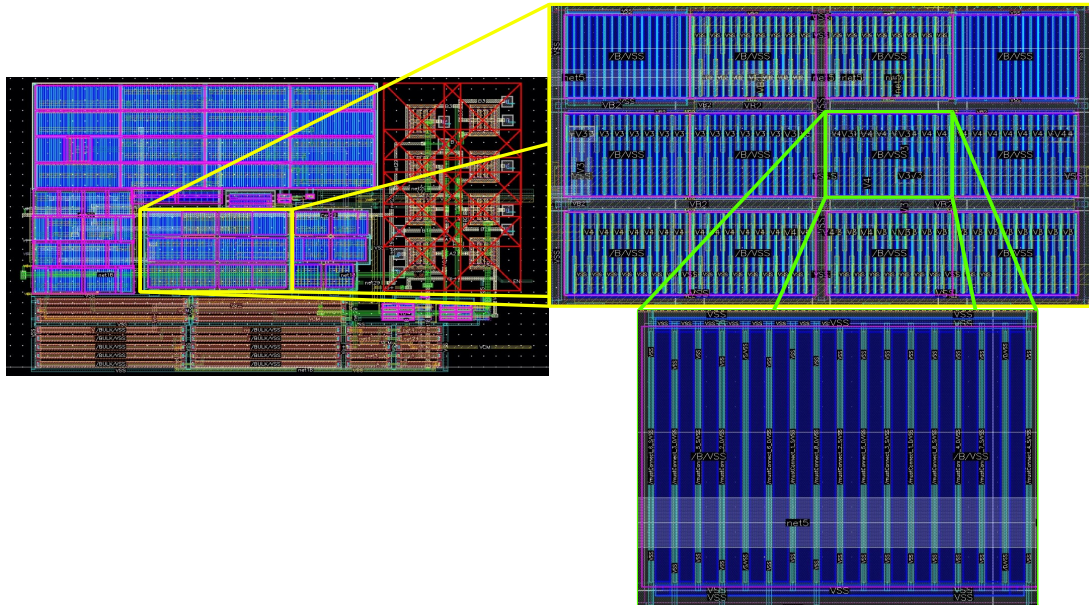
Fonte: Elaborado pelo autor (2026).

4.4 PROJETO FÍSICO

O projeto físico de um circuito integrado compreende o desenho do leiaute para sua efetiva fabricação. A Figura 20 apresenta a visão completa do *tape-out* realizado pelo programa multiusuário mini@sic da Europractice na tecnologia de 65 nm da TSMC. O retângulo vermelho destaca a estrutura da fonte de corrente, que corresponde à combinação da referência de corrente com o circuito SCMOSCS, enquanto o restante da área corresponde aos demais circuitos do *front-end* apresentados na Figura 9. A fonte de corrente ocupa aproximadamente $235 \mu\text{m} \times 80 \mu\text{m}$, correspondendo a uma área de $0,0188 \text{ mm}^2$. Uma parcela significativa da área de silício é dedicada aos *pads* de entrada e saída.

No retângulo vermelho destacado na Figura 20, observa-se uma região ampliada contendo

Figura 21 – Detalhes do leiaute buscando o melhor casamento entre transistores, otimização de área consumida e alta densidade dos materiais.



Fonte: Elaborado pelo autor (2026).

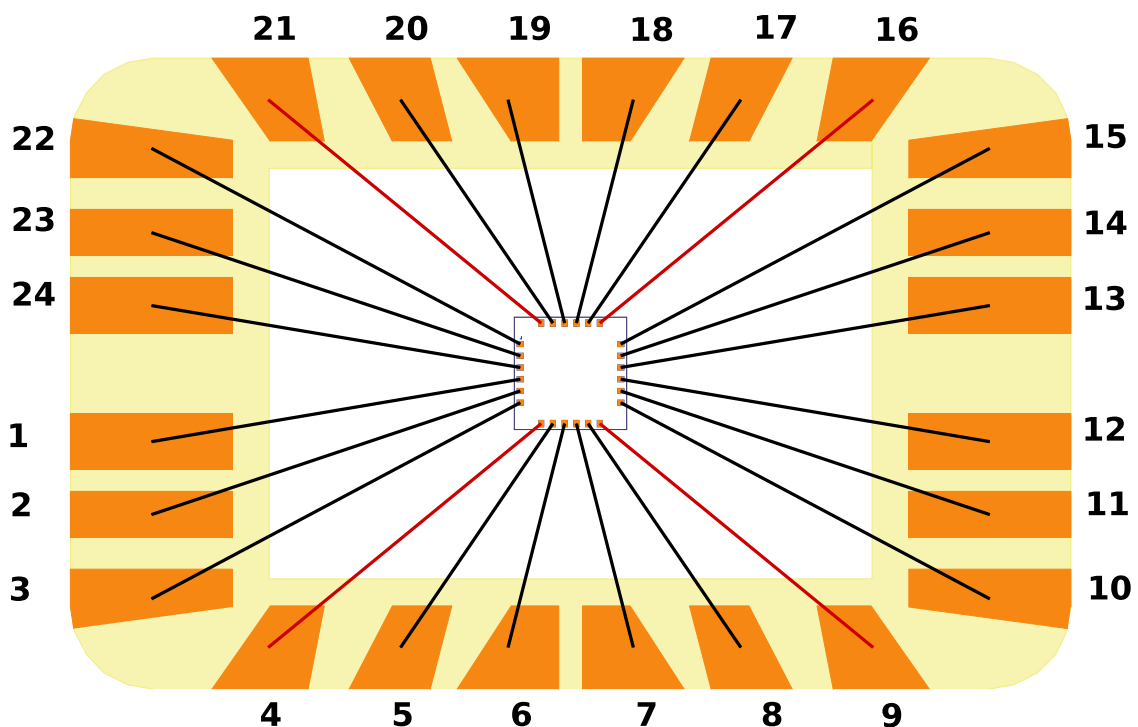
dois retângulos, um em amarelo e outro em azul. O retângulo amarelo evidencia o leiaute do circuito de referência de corrente, cujo diagrama esquemático é apresentado na Figura 14. A estrutura localizada à esquerda, delimitada por um retângulo branco tracejado, corresponde ao capacitor C1. A região central, caracterizada por alta densidade de dispositivos, contém os transistores PMOS da referência de corrente. No lado direito, foram posicionados os transistores NMOS da referência de corrente e dos espelhos de corrente de saída. A região menos densa localizada na parte inferior central corresponde aos circuitos lógicos responsáveis pelo controle das chaves NMOS. O retângulo azul destaca a fonte de corrente SCMOSSCS, cujo diagrama esquemático é mostrado na Figura 15. Os transistores M5 e M6, que compõem o espelho de corrente 1:10, estão posicionados dentro da área branca pontilhada. As quatro pontes H, as chaves e os resistores shunt foram distribuídos ao redor do espelho de corrente de forma a obter uma geometria compacta e aproximadamente quadrada, reduzindo os comprimentos dos caminhos de corrente e as perdas ôhmicas. Dispositivos *dummy* e segmentação de transistores foram empregados para melhorar o casamento entre dispositivos.

Na ampliação em magenta, observa-se o detalhe ampliado do leiaute do módulo chamado de DDA1 no diagrama da Figura 9 e no diagrama esquemático da Figura 19. A linha tracejada em vermelho destaca os capacitores empregados na estabilização do ganho em altas frequências, enquanto o retângulo tracejado em verde delimita a região que contém os resistores de realimentação de ganho e a de modo comum. O retângulo em linha tracejada amarela envolve os pares diferenciais de entrada e os espelhos de corrente que correspondem às dimensões apresentadas na Tabela 10. Esse bloco ocupa uma área de $206 \mu\text{m} \times 136 \mu\text{m}$, o que corresponde a aproximadamente $0,028 \text{ mm}^2$.

Na ampliação correspondente ao DDA2, destacada em um retângulo amarelo da Figura 20, observam-se dois estágios DDA1 delimitados por linhas tracejadas vermelhas, além do capacitor de carga do primeiro estágio da cascata, destacado em amarelo. Esse leiaute apresenta área de $482 \mu\text{m} \times 144 \mu\text{m}$, equivalente a aproximadamente $0,069 \text{ mm}^2$. Somando todas as áreas, os circuitos ocupam 11,5% da área total disponibilizada pelo programa mini@sic que é de 1 mm^2 . O restante da área é ocupado pelas conexões entre os blocos e a coroa de PADS, pelos circuitos de proteção e pelas interconexões internas do chip. Os PADS e circuitos de proteção de descargas eletrostáticas que compõem a coroa de PADS foram construídos utilizando as bibliotecas disponibilizadas pela fabricante TSMC.

A Figura 21 apresenta um exemplo de arranjo desenvolvido para melhorar o casamento dos transistores dos espelhos de corrente e, simultaneamente, otimizar a área ocupada. Essa estratégia é utilizada nos espelhos de corrente presentes nos diferentes circuitos do sistema. Observa-se uma matriz de 4×3 transistores conjugados dentro do leiaute do DDA1. Cada estrutura conjugada é formada por 16 transistores com o dreno e a fonte compartilhados (destacado no retângulo verde). Estes transistores formam, junto com outros conjuntos com dimensões iguais, o arranjo destacado em amarelo. O objetivo desta disposição é o de distribuir os conjuntos de modo que os centroides geométricos efetivos dos dispositivos pertencentes a um mesmo espelho de corrente coincidam espacialmente. Além disso, busca-se agrupar transistores de mesmas dimensões em arranjos com geometria próxima à quadrada. Dessa forma, obtém-se uma utilização mais eficiente da área disponível. Muitas vezes transistores *dummies* são agregados para manter a densidade de materiais uniforme no arranjo.

Figura 22 – Diagrama de fiação do encapsulamento.



Fonte: Elaborado pelo autor (2026).

Todos os transistores utilizados neste projeto são dispositivos de óxido espesso (*thick-oxide*) com tensão nominal de 2,5 V. Além dos transistores explicitamente mostrados, dispositivos *dummy* também foram empregados para formar arranjos retangulares. Essa e outras estratégias de leiaute foram adotadas para otimizar a utilização da área de silício e melhorar o desempenho de casamento nos espelhos de corrente. Uma dessas técnicas consiste em segmentar transistores com larguras muito elevadas em relação ao comprimento em dispositivos menores, permitindo a implementação de estruturas do tipo *common-centroid*.

As resistências e capacitâncias parasitas introduzidas pelas interconexões entre dispositivos e blocos do circuito foram extraídas, gerando uma *netlist* SPICE para simulações pós-leiaute. Essas simulações foram utilizadas para avaliar o impacto dos parasitas do leiaute no desempenho do circuito. Todos os resultados apresentados neste trabalho correspondem a simulações pós-leiaute baseadas na *netlist* extraída.

A Figura 22 mostra o posicionamento do *die* em relação à janela do encapsulamento.

Tabela 12 – Descrição dos pinos do circuito proposto.

Pino	Nome	Descrição
1	G1	Bit menos significativo de controle de ganho do DDA2 (G-BIT).
2	G2	Bit mais significativo de controle de ganho do DDA2 (G-BIT).
3 e 15	V_{SS}	Menor potencial da fonte de alimentação (GND em alimentação simples). Conectados juntos na PCB.
4 e 16	V_{DD}	Maior potencial da fonte de alimentação (máximo de 2,5 V em alimentação simples). Conectados juntos na PCB.
5	C+	Saída do primeiro estágio do DDA2. Permite conexão de capacitor externo para ajuste da capacitância de carga. Se não houver necessidade, não conectar.
6	C-	Saída do primeiro estágio do DDA2. Permite conexão de capacitor externo para ajuste da capacitância de carga. Se não houver necessidade, não conectar.
7	EN_2	Pino de habilitação do DDA2. Nível lógico 1 habilita o canal; nível lógico 0 desabilita o canal.
8	Vout_I+	Saída diferencial positiva do DDA2.
9	Vout_I-	Saída diferencial negativa do DDA2.
10	V-BIT	Bit de controle de ganho do DDA1. Nível lógico 1 seleciona ganho 11 e nível lógico 0 seleciona ganho 5.
11	V_{Ref}	Tensão de modo comum utilizada pelos amplificadores de instrumentação.
12	EN_1	Pino de habilitação do DDA1. Nível lógico 1 habilita o canal; nível lógico 0 desabilita o canal.

Tabela 12 – Descrição dos pinos do circuito proposto (continuação).

Pino	Nome	Descrição
13	Vout_V+	Saída diferencial positiva do DDA1.
14	Vout_V-	Saída diferencial negativa do DDA1.
17	EL VA	Terminal para conexão de eletrodo. Entrada do DDA1.
18	EL VB	Terminal para conexão de eletrodo. Entrada do DDA1.
19	EL IA	Terminal para conexão de eletrodo. Saída da SCMOSES.
20	EL IB	Terminal para conexão de eletrodo. Saída da SCMOSES.
21	A	I-BIT mais significativo para seleção da corrente de saída.
22	B	I-BIT menos significativo para seleção da corrente de saída.
23	DIBS	Entrada do sinal DIBS. Níveis de tensão entre 0 V e 2,5 V.
24	X1	Reservado para aumentar a capacitância C1 da referência de corrente e também para medir a tensão no dreno de M1.

Nota: Os níveis lógicos considerados correspondem à faixa de 0 V a 2,5 V para alimentação simples de 2,5 V.

Além disso, mostra a fiação conectando os PADs do *die* com os PADs internos do encapsulamento juntamente com a numeração dos pinos. Já a Tabela 12 apresenta a relação da pinagem, nome e sua descrição.

Os pinos G1 e G2 são bits digitais que escolhem o ganho do DDA2 segundo as informações da Tabela 11. Ressalta-se que os níveis de tensão máximos nas entradas desse chip são de 2,5 V. Os pinos 4 e 16 correspondem à alimentação V_{DD} , enquanto os pinos 3 e 15 correspondem à alimentação V_{SS} . Nas PCBs destinadas à integração do chip, é indicada a interligação entre os pinos 3 e 15 e entre os pinos 4 e 16. Foram usados dois pinos por conta de uma exigência do manual de uso das bibliotecas de circuitos de proteção ESD oferecidos pela TSMC.

Os pinos 5 e 6 podem permanecer sem conexão ou receber um capacitor externo. A necessidade ou não desse capacitor externo dependerá de ensaios de bancada. Esses ensaios não puderam ser realizados no escopo deste trabalho, uma vez que os processos de fabricação, encapsulamento e transporte do circuito integrado não foram concluídos em tempo hábil. Já os pinos EN_1 e EN_2 devem ser excitados com níveis digitais que comandam a habilitação ou desabilitação dos amplificadores de instrumentação, visando à redução do consumo energético em aplicações alimentadas por bateria.

Os pinos Vout_I+ e Vout_I- são pinos de saída do DDA2, por sua vez os pinos Vout_V+ e Vout_V- são os pinos de saída do DDA1. Estes devem ser conectados a conversores analógico-digitais (ADCs) com capacitância de entrada de no máximo de 4 pF. Capacitâncias de entrada superiores a 4 pF impactam diretamente o desempenho do sistema, reduzindo a largura de banda

dos amplificadores de instrumentação. Os pinos EL VA e EL VB são as entradas do DDA1 e devem ser usados nos eletrodos que medem a tensão na amostra. As entradas do DDA2 são ligadas internamente aos resistores de derivação do circuito SCMOSCS.

O pino V-BIT comanda o ganho do DDA1 e deve receber um sinal lógico de no máximo 2,5 V. A configuração de ganho para cada nível lógico aplicado é apresentada na Tabela 11. Por sua vez, o pino V_{Ref} deve receber a tensão de modo comum para os amplificadores de instrumentação e esta pode ser do valor $V_{DD}/2$. Os pinos EL IA e EL IB correspondem às saídas do estágio SCMOSCS para conexão com os eletrodos de aplicação da corrente. Relacionados ao mesmo circuito, têm-se os pinos A e B que são dois bits digitais responsáveis por comandar qual corrente de referência será enviada para a fonte SCMOSCS. As combinações possíveis desses bits e as respectivas correntes de saída estão resumidas na Tabela 11. O pino DIBS corresponde à entrada de sinal do sistema. Os níveis de tensão do sinal de entrada também devem ser de 0 V ou de 2,5 V. O pino X1 foi disponibilizado para permitir a monitoração da tensão no nó associado ao circuito de partida da referência de corrente e, se necessário, possibilitar a adição de capacitância externa ao circuito de partida.

5 RESULTADOS E DISCUSSÕES

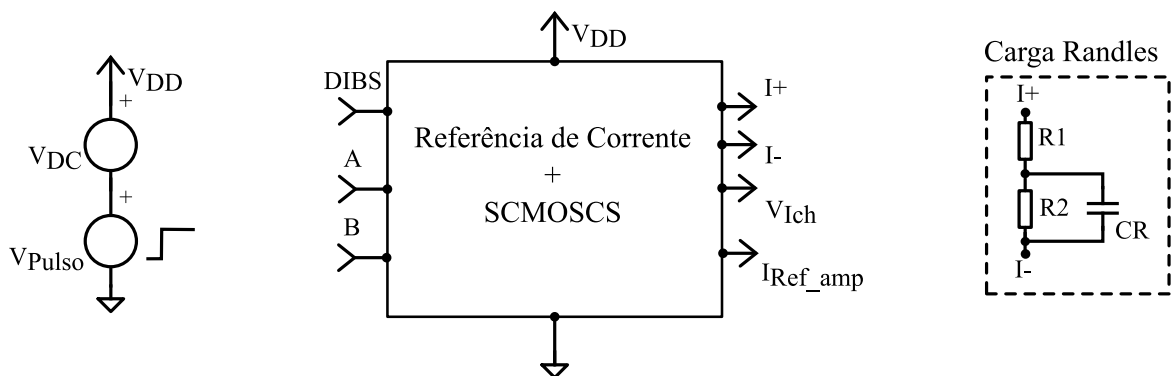
Neste capítulo serão apresentadas as condições e métodos utilizados nas simulações pós-leiaute dos circuitos projetados, juntamente com os resultados das simulações. Os leiautes considerados para as simulações são aqueles destacados na Figura 20, sem inclusão dos PADS e dos circuitos de proteção de entrada, porque as bibliotecas utilizadas para o projeto da coroa de PADS foram fornecidas pelo fabricante apenas com as vistas de leiaute, inviabilizando o processo de extração de parasitas da ferramenta Cadence.

5.1 REFERÊNCIA DE CORRENTE E SCMOSSCS

A Figura 23 apresenta um diagrama esquemático simplificado para o teste da referência de corrente combinada com a SCMOSSCS. A fonte de tensão de alimentação (V_{DD}) pode ser tanto uma tensão contínua, V_{DC} , quanto uma fonte de tensão pulsada, V_{Pulso} . V_{DC} , igual a 2,5 V, alimenta o circuito durante as simulações DC e transitórias quando um sinal DIBS é aplicado. Quando uma das fontes de tensão está ativa, a outra é zerada. A fonte de tensão V_{Pulso} é utilizada para testar o circuito de partida da referência de corrente (ver Figura 14) a fim de verificar quanto tempo o circuito da referência de corrente leva para atingir o regime permanente. O modelo elétrico de *Randles* é amplamente aceito em sistemas LOC ou de análise de bioimpedância elétrica para descrever a impedância da interface amostra-eletrodo e é utilizado como carga. Além dessa carga, alguns testes como, por exemplo, de faixa de tensão de saída são utilizados um resistor ou uma fonte de tensão em corrente contínua como carga para a fonte SCMOSSCS. Para o teste de excursão de tensão de saída o resistor ou a fonte são configurados para fazer uma varredura de valores.

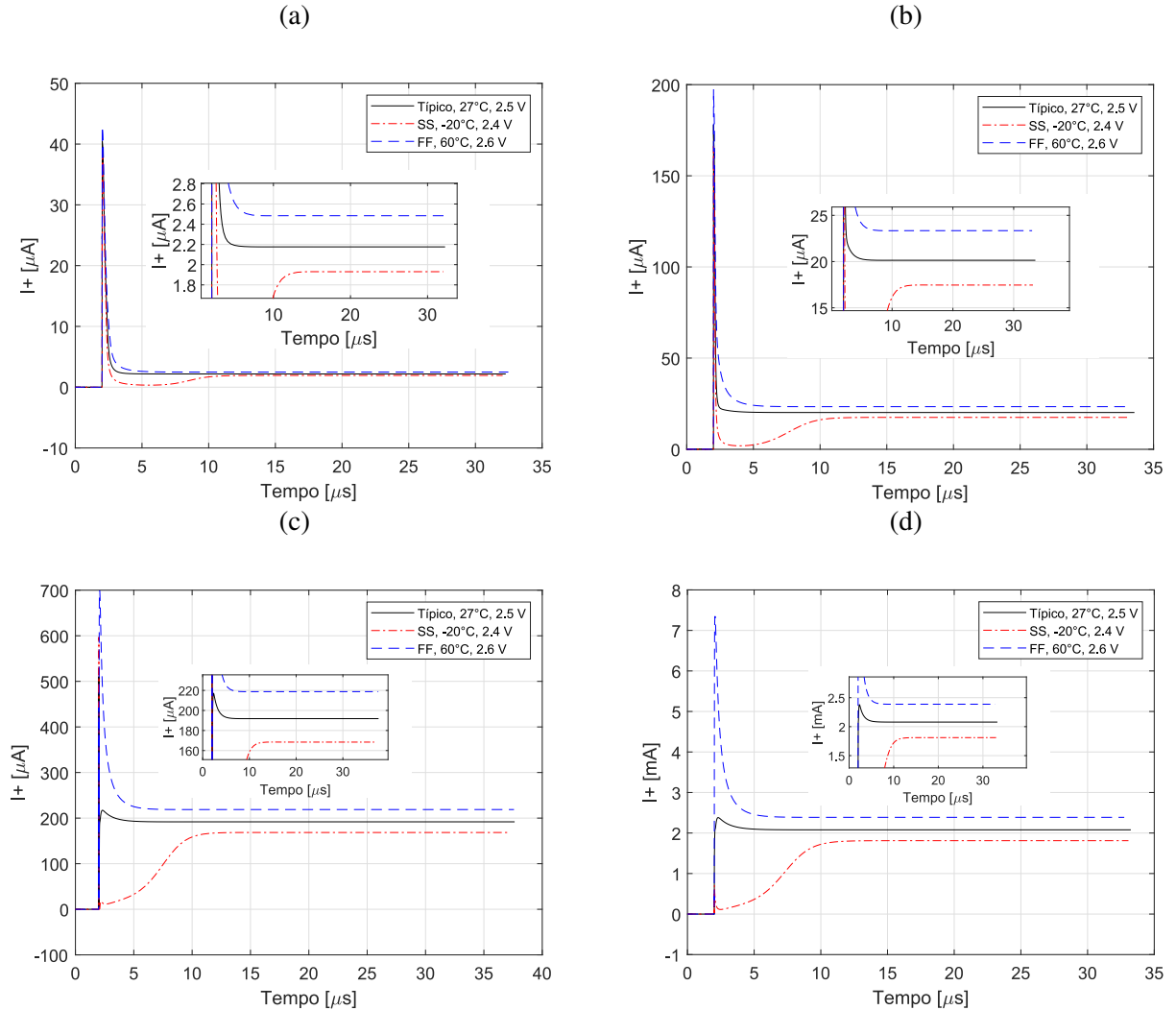
Os pinos A e B recebem níveis lógicos correspondentes a V_{DD} ou zero volts para selecionar o nível de amplitude da corrente de saída, o que indiretamente, seleciona a escala de medição de impedância. As saídas $I+$, $I-$ e I_{Ref_amp} correspondem, respectivamente, à saída diferencial conectada aos eletrodos de medição e à corrente de referência utilizada para polarizar

Figura 23 – Diagrama esquemático para o teste da referência de corrente em conjunto com a SCMOSSCS.



Fonte: Elaborado pelo autor (2026).

Figura 24 – Resultados do teste de partida (a) Para saída de $2\ \mu\text{A}$. (b) Para saída de $20\ \mu\text{A}$. (c) Para saída de $200\ \mu\text{A}$. (d) Para saída de $2\ \text{mA}$.



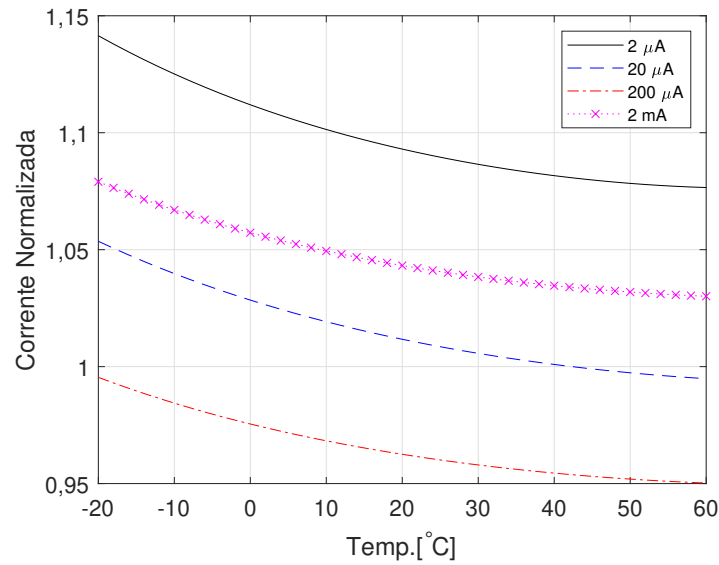
Fonte: Elaborado pelo autor (2026).

os amplificadores de instrumentação. Os pinos V_{Ich} e $I+$ são utilizados para medir a tensão sobre o resistor de derivação interno.

Para o teste do circuito de partida, a fonte V_{Pulse} aplica $2,5\ \text{V}$ ao circuito $2\ \mu\text{s}$ após o início da simulação, a fim de avaliar o tempo de estabilização, enquanto V_{DC} é ajustada para zero. Testes de partida foram realizados para todos os níveis de corrente de saída utilizando os cantos de processo típico, slow-slow (SS) e fast-fast (FF), temperaturas de -20°C , 27°C e 60°C , e tensões de alimentação de $2,5\ \text{V}$, $2,4\ \text{V}$ e $2,6\ \text{V}$. Para todos os casos, o tempo de partida ficou ligeiramente abaixo de $10\ \mu\text{s}$, conforme os resultados de simulação pós-layout mostrados nas Figuras 24a, 24b, 24c e 24d, indicando baixa sensibilidade às variações de processo, tensão e temperatura.

Com relação à variação da corrente de saída com processo, tensão de alimentação e temperatura, os resultados mostrados nas Figuras 24a, 24b, 24c e 24d indicam desvio máximo inferior a $\pm 14\%$ em relação ao caso típico (ver área ampliada em cada gráfico). Como os

Figura 25 – Corrente de saída normalizada em função da temperatura.



Fonte: Elaborado pelo autor (2026).

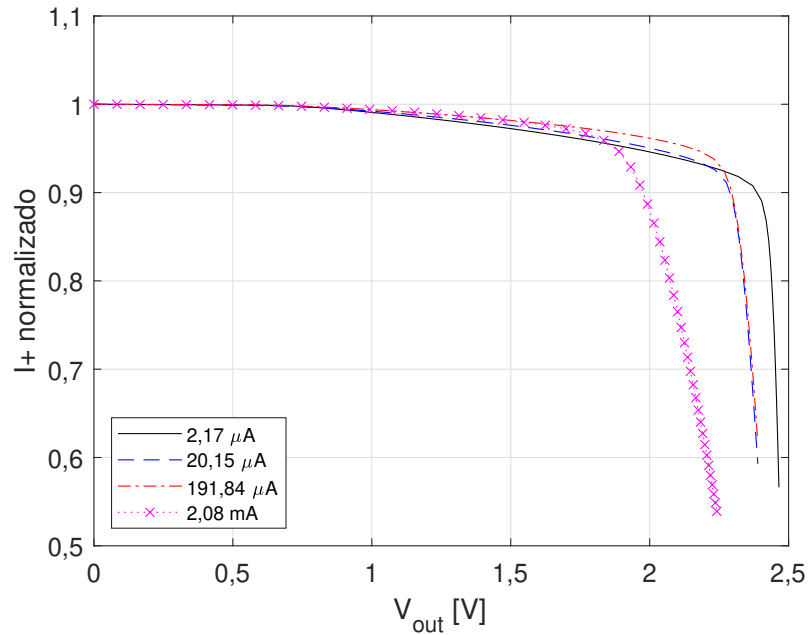
cantos SS e FF representam condições extremas do processo de fabricação, espera-se que dispositivos típicos apresentem desvios inferiores aos observados nessas simulações. A análise utilizando cantos extremos de processo permite avaliar a robustez do circuito frente às variações de fabricação.

A Figura 25 apresenta a variação da corrente de saída, normalizada em relação ao valor nominal, em função da temperatura. A variação da corrente com a temperatura é de aproximadamente 5% para a faixa de temperatura de -20°C até 60°C. Esse resultado demonstra que a variação de processo de fabricação tem mais relevância nos desvios encontrados nos dados apresentados nas Figuras 24a, 24b, 24c e 24d. Além disso, se o sistema fornecer medição de corrente, esses desvios tornam-se irrelevantes para o resultado final da impedância, pois podem ser compensados.

A Figura 26 apresenta a resposta em corrente contínua da saída da SCMOSS, normalizada pela corrente de saída em curto circuito, em função da tensão diferencial sobre a carga, V_{Load} . Para traçar as curvas apresentadas, a corrente de saída foi monitorada enquanto uma varredura DC da tensão da carga era aplicada. Nesse teste, é possível avaliar a linearidade. Especificamente, deve-se determinar a tensão máxima para a qual a corrente de saída se desvia, por exemplo, em 1% do seu valor inicial (com tensão de carga igual a zero volts). Enquanto uma restrição de linearidade de 1% limita a excursão de saída a aproximadamente $\pm 0,5$ V, uma faixa mais ampla de ± 1 V pode ser tolerada se os requisitos de linearidade da aplicação forem menos rigorosos. Outro ponto importante é que, embora o eixo da tensão de saída apresente apenas valores positivos, o comportamento do circuito permanece equivalente para ambas as polaridades da tensão.

Neste trabalho, a tensão de saída, diretamente relacionada à impedância máxima da carga,

Figura 26 – Excursão da corrente normalizada de saída em função da tensão de saída.



Fonte: Elaborado pelo autor (2026).

foi mantida dentro de aproximadamente ± 200 mV para preservar uma linearidade de tensão aceitável. A combinação entre a amplitude da corrente e a máxima excursão permitida da tensão de saída define a faixa de impedância em escala plena. Por exemplo, com uma corrente de 2 mA e uma excursão de tensão de 200 mV, obtém-se uma impedância de escala plena de 100 Ω . Observe que a característica simétrica da tensão diferencial de saída é uma vantagem significativa da SCMOSSCS em relação à fonte de Howland aprimorada (SILVA; BERTEMES-FILHO, 2024b).

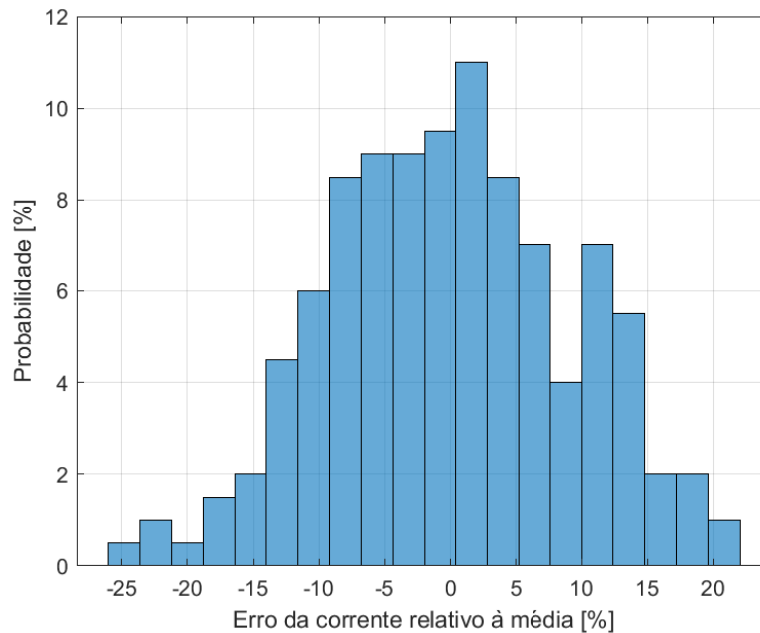
As simulações de Monte Carlo, considerando o mismatch entre transistores sob condições de operação em corrente contínua (DC), foram realizadas. Os resultados de 200 simulações para a configuração de corrente de saída de 2 mA são apresentados na Figura 27. As demais condições de simulação foram a excitação DIBS, uma tensão de alimentação de $V_{DD} = 2.5$ V e temperatura de 27°C.

O erro relativo da corrente de saída em relação ao seu valor médio foi avaliado com base na probabilidade de ocorrência dentro da população de amostras. Conforme apresentado na Figura 27, um erro dentro de $\pm 15\%$ abrange aproximadamente 90% das amostras simuladas, enquanto um erro dentro de $\pm 10\%$ abrange mais de 70% delas. Comportamento estatístico semelhante foi observado para as demais faixas de corrente de saída.

Embora esses resultados sejam consistentes com a arquitetura proposta e com o mismatch esperado para esse tipo de circuito, o impacto dessas variações estatísticas na medição de impedância é significativamente reduzido, pois a corrente de excitação é medida durante o processo de aquisição e incorporada ao cálculo da impedância.

O comportamento no domínio do tempo foi avaliado aplicando uma resistência igual ao

Figura 27 – Análise de Monte Carlo (descasamento) para a fonte de corrente configurada para 2 mA.

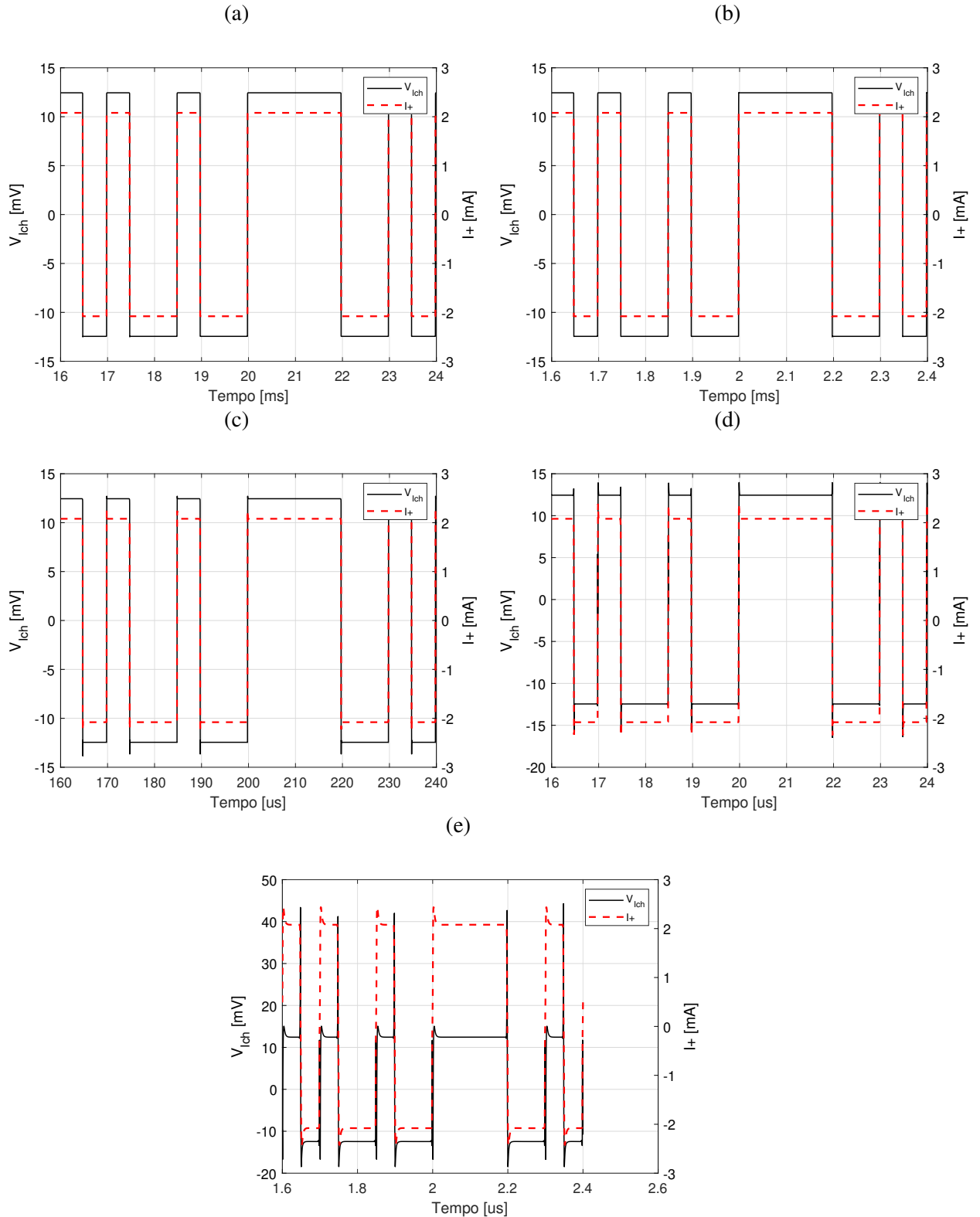


Fonte: Elaborado pelo autor (2026).

valor de fundo de escala entre os terminais de aplicação de corrente. O sinal DIBS foi excitado com sinais com as características apresentadas na Tabela 5 e com a mesma sequência de bits apresentada na Figura 12a. Outra observação importante é que, para cada um dos gráficos contidos na Figura 28, a escala de tempo do sinal é diferente. No entanto, ela inicia em um múltiplo de 16 e termina em um múltiplo de 24. Isso indica o intervalo de tempo total como múltiplos de 8, assim como mostrado na Tabela 5. O intervalo considerado é o terceiro ciclo de DIBS aplicado para eliminar qualquer imprecisão causada por transitórios que possam existir por conta de capacitâncias parasitas.

Nota-se, tanto na Figura 28a quanto da Figura 28c, que as respostas da fonte de corrente são praticamente iguais ao sinal de referência apresentado na Figura 12a. Isso indica comportamento próximo ao ideal dentro da faixa analisada para esses dois sinais DIBS. Já o sinal na faixa entre 10 kHz e 100 kHz apresenta pequeno sobressinal nas transições. Esse tipo de distorção pode introduzir erros no cálculo da impedância, principalmente na estimativa da fase. A Figura 28d apresenta maior sobressinal e na Figura 28e algumas distorções mais proeminentes. Em todas as figuras, os bits do sinal DIBS e o formato retangular da forma de onda permaneceram preservados. Os sobressinais mais proeminentes são resultado da influência de capacitâncias parasitas dos transistores da ponte H e do espelho de corrente da SCMOCS. Os resultados são consistentes com o valor de corrente CC avaliado nos resultados das simulações tanto de arranque quanto as de faixa dinâmica de saída e de dependência com a temperatura. Isso pode ser verificado nos níveis de corrente para todos os gráficos apresentados.

Figura 28 – Tensão no resistor de desvio e corrente de saída SCMOSCS com o sinal DIBS aplicado na entrada. **(a)** Faixa de 100 Hz - 1 kHz. **(b)** Faixa de 1 kHz - 10 kHz. **(c)** Faixa de 10 kHz - 100 kHz. **(d)** Faixa de 100 kHz - 1 MHz. **(e)** Faixa de 1 MHz - 10 MHz.



Fonte: Elaborado pelo autor (2026).

5.2 AMPLIFICADORES DE INSTRUMENTAÇÃO

Nesta seção são apresentados os resultados de simulação pós-leiaute para o DDA1 e o DDA2. Os resultados indicados aqui são provenientes do processo de extração dos componentes dos leiautes apresentados na Figura 20 e que estão em destaque nos retângulos em magenta e amarelo, respectivamente.

5.2.1 DDA1

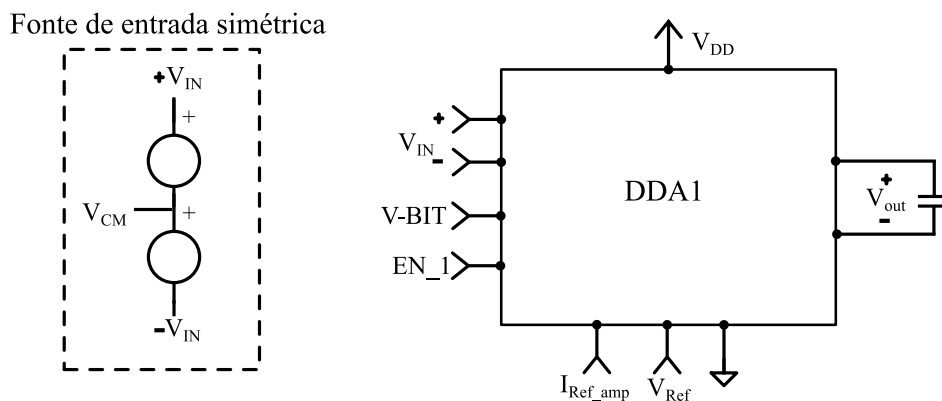
No diagrama esquemático da Figura 29 o módulo DDA1 apresenta uma entrada de $I_{\text{Ref_amp}}$ que recebeu uma corrente de polarização CC de $200 \mu\text{A}$, uma entrada V_{Ref} que recebeu o valor de tensão CC de $1,25 \text{ V}$, uma entrada EN_1 que recebeu um valor de tensão CC $2,5 \text{ V}$ assim como V_{DD} . Já o sinal V-BIT recebeu tanto zero volts quanto $2,5 \text{ V}$, dependendo do ganho que se pretende testar. A entrada diferencial V_{IN} , que corresponde aos sinais EL VA e EL VB na Figura 9, foi conectada a uma fonte de tensão CC usada para fazer a varredura de tensão CC.

A Figura 30 apresenta resultados utilizando uma simulação sob cantos de processo, tensão de alimentação e temperatura (PVT - *Process, voltage and Temperature*). O canto nominal tem o processo típico, V_{DD} de $2,5 \text{ V}$ e temperatura de 27°C . Já o canto chamado de C_0 utiliza os parâmetros de processo SS, tensão de alimentação de $2,4 \text{ V}$ e temperatura de -20°C . Além disso, os parâmetros de processo FF, $2,6 \text{ V}$ de tensão de alimentação e a temperatura de 60°C são as configurações do canto C_1 .

A tensão de entrada diferencial V_{in} teve uma varredura configurada para valores entre $-0,5 \text{ V}$ até $+0,5 \text{ V}$, a tensão de saída (V_{out}) foi monitorada, resultando no gráfico da Figura 30, com ganhos medidos de $4,5$ e $9,2$, correspondentes aos ganhos projetados de 5 e de 11 , respectivamente.

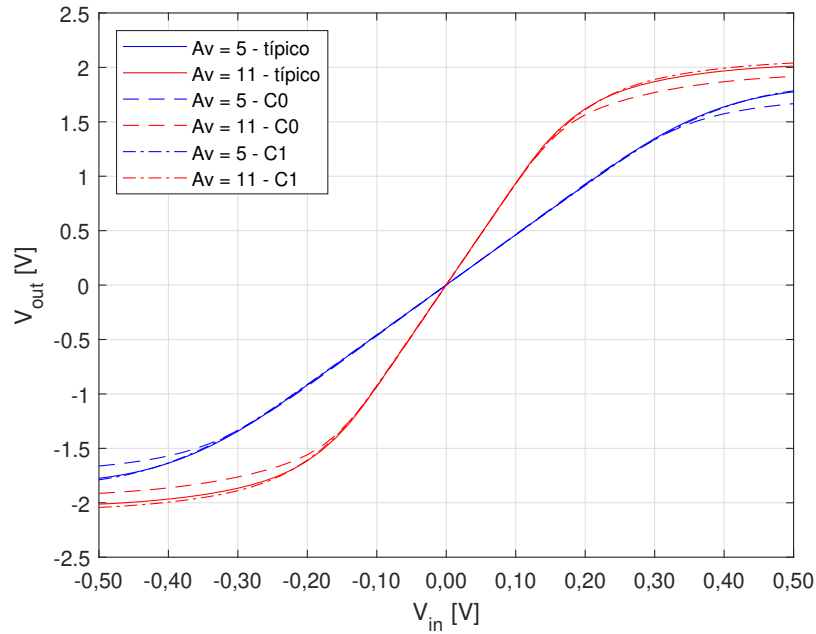
A curva de transferência CC da Figura 30 serve para avaliar qual a excursão máxima da tensão de saída para manutenção adequada da linearidade do amplificador. Neste caso, a excursão máxima para a tensão de saída é de aproximadamente $\pm 1,4 \text{ V}$ para ambos os ganhos

Figura 29 – Diagrama esquemático dos testes do DDA1.



Fonte: Elaborado pelo autor (2026).

Figura 30 – Curva de transferência CC do DDA1.



apresentados.

O desempenho no domínio da frequência em amplificadores são avaliados tipicamente utilizando simulações do tipo AC. Na Figura 29 as fontes que formam a tensão diferencial de entrada foram configuradas para fazer uma varredura da frequência de um sinal senoidal com

Figura 31 – Ganho e fase em função da frequência do amplificador DDA1.

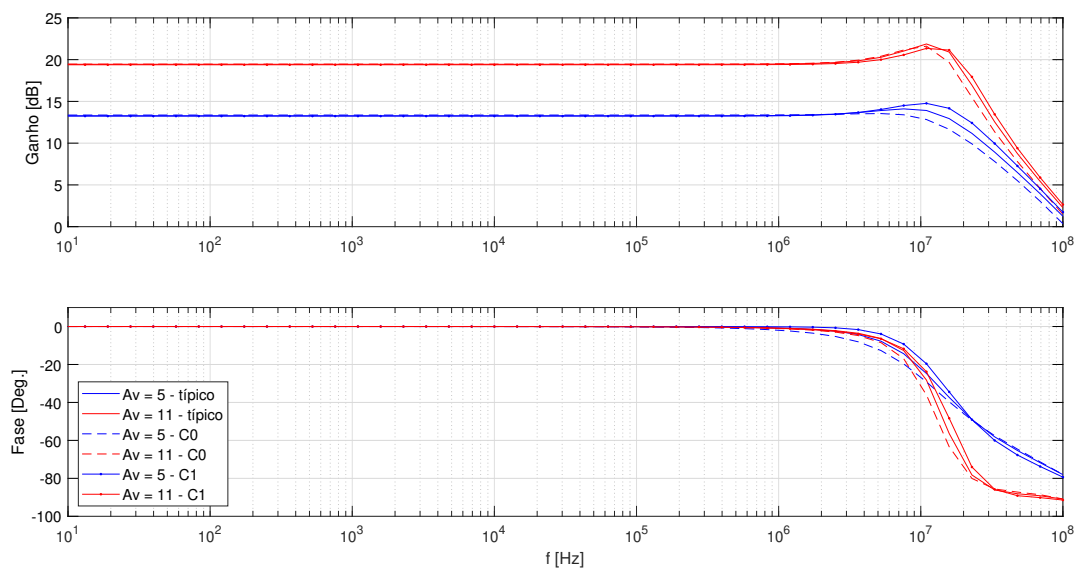
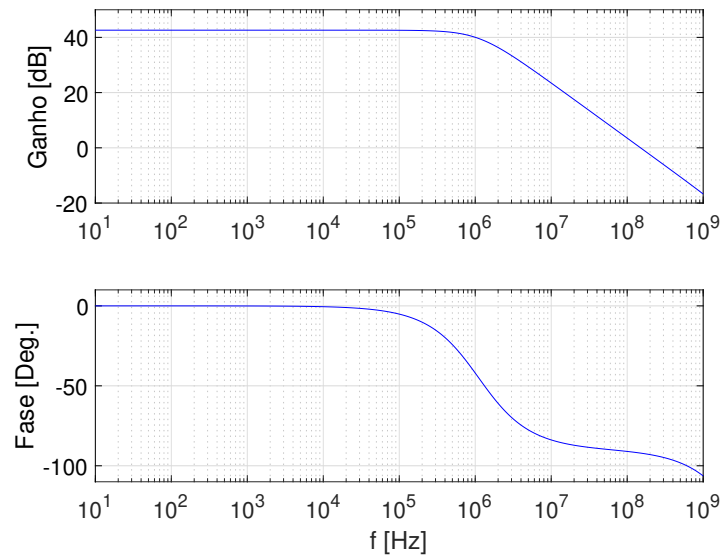


Figura 32 – Ganho e fase em função da frequência do amplificador FDDA em malha aberta.



Fonte: Elaborado pelo autor (2026).

amplitude mantida constante. O ganho do sistema juntamente com a diferença de fase entre o sinal de entrada e de saída são traçados em função da frequência. Nessa simulação pós-leiaute foram configurados os mesmos cantos apresentados para a simulação da curva de transferência CC.

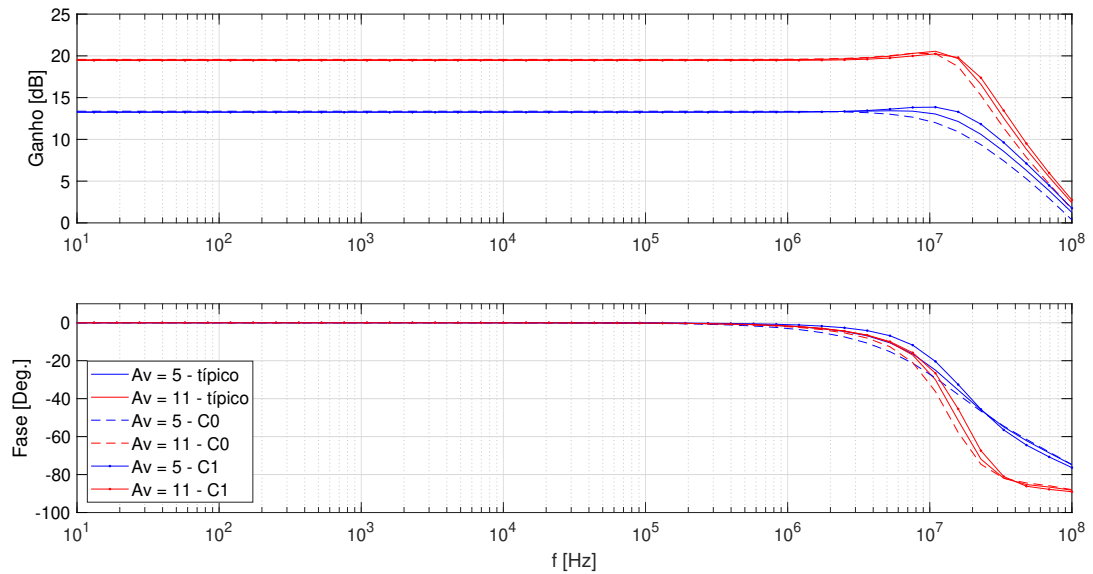
A Figura 31 apresenta o resultado dessa simulação em um mesmo gráfico de ganho e de ângulo de fase em função da frequência. Observa-se nas curvas de ganho que a partir de aproximadamente 1 MHz o ganho começa a aumentar levemente apresentando um comportamento que indica margem de fase relativamente baixa. Esse comportamento pode apresentar tendência à distorção por *ringing* para sinais pulsados. No caso do ganho 5, em análise, há variação de aproximadamente 1 dB enquanto para o ganho de 11 há uma variação que pode chegar a 2 dB. Para frequências abaixo de 5 MHz, o amplificador se comporta apresentando uma banda plana com ganhos de aproximadamente de 4,5 e de 9,2.

Segundo a simulação em malha aberta do amplificador FDDA, apresentada no Capítulo 4 e mostrada na Figura 32, a margem de fase é de aproximadamente 88° , indicando comportamento estável para o amplificador isolado. Entretanto, quando a realimentação é incluída, os resultados sugerem a introdução de polos adicionais ou o deslocamento de polos pré-existentes, reduzindo a margem de fase e dando origem a comportamento subamortecido, que afeta a integridade de sinal dos pulsos de alta frequência.

O produto ganho-banda (GBW – *Gain-Bandwidth Product*) obtido foi de aproximadamente 154 MHz, valor inferior ao especificado na Tabela 6. Essa limitação reduz o desempenho em altas frequências para amplificador com ganho elevado e se deve às capacitâncias parasitas e próprias dos transistores dos espelhos de saída.

Nas simulações pré-leiaute, o amplificador DDA1 já apresentava tendência à redução

Figura 33 – Ganho e fase em função da frequência do amplificador DDA1 simulação pré-leiaute.



Fonte: Elaborado pelo autor (2026).

da margem de estabilidade. Diversas iterações de projeto foram realizadas considerando as especificações da Tabela 6, porém não foi encontrada uma solução que eliminasse completamente esse comportamento utilizando os transistores disponíveis no processo adotado.

A solução implementada consistiu na adição de capacitores em paralelo aos resistores de realimentação apresentados na Figura 19, com o objetivo de reduzir o ganho na faixa entre 1 MHz e 10 MHz.

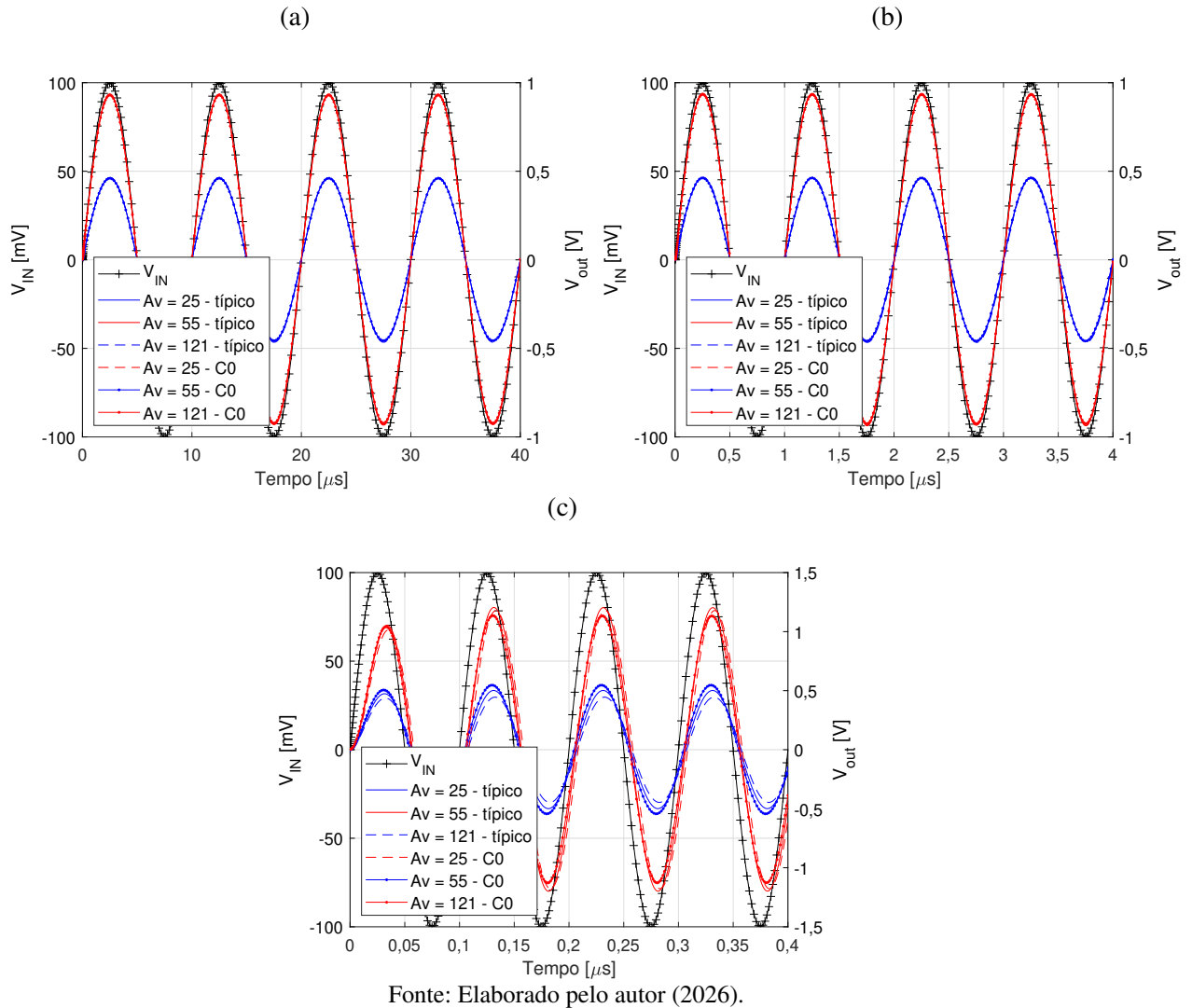
A comparação entre as simulações pré (vide Figura 33) e pós-leiaute (vide Figura 31) sugere que os valores efetivos das capacitâncias CF1 e CF2 após a extração podem ser inferiores aos considerados no projeto original. Entretanto, esse comportamento ainda necessita de validação experimental, não sendo possível estabelecer conclusões definitivas apenas com os resultados de simulação.

Com relação ao comportamento do ângulo de fase apresentado, tanto na Figura 31 quanto na Figura 33, vê-se um desvio de fase a partir da frequência de 1 MHz e que chega até um valor próximo de 30° na frequência de 10 MHz. Esse giro se deve ao limite de atuação do amplificador em 10 MHz, considerando o ganho utilizado. O ganho inicia o desvio em relação ao ganho de banda próximo de 1 MHz até chegar a um pico de menos de 1 dB com relação ao ganho de banda plana na Figura 33. Os resultados da simulação pós-leiaute mostram um desvio no ganho maior com relação aos resultados da simulação pré-leiaute.

Para testar o funcionamento dinâmico do DDA1, foram aplicados às entradas sinais senoidais de frequências 100 kHz, 1 MHz e 10 MHz com amplitude de 0,1 V. Os resultados das simulações transientes podem ser verificados na Figura 34.

As Figuras 34a e 34b apresentam resultados praticamente iguais, corroborando os re-

Figura 34 – Simulação no domínio do tempo para entrada do tipo senoidal. (a) Frequência de 100 kHz. (b) Frequência de 1 MHz. e (c) Frequência de 10 MHz.

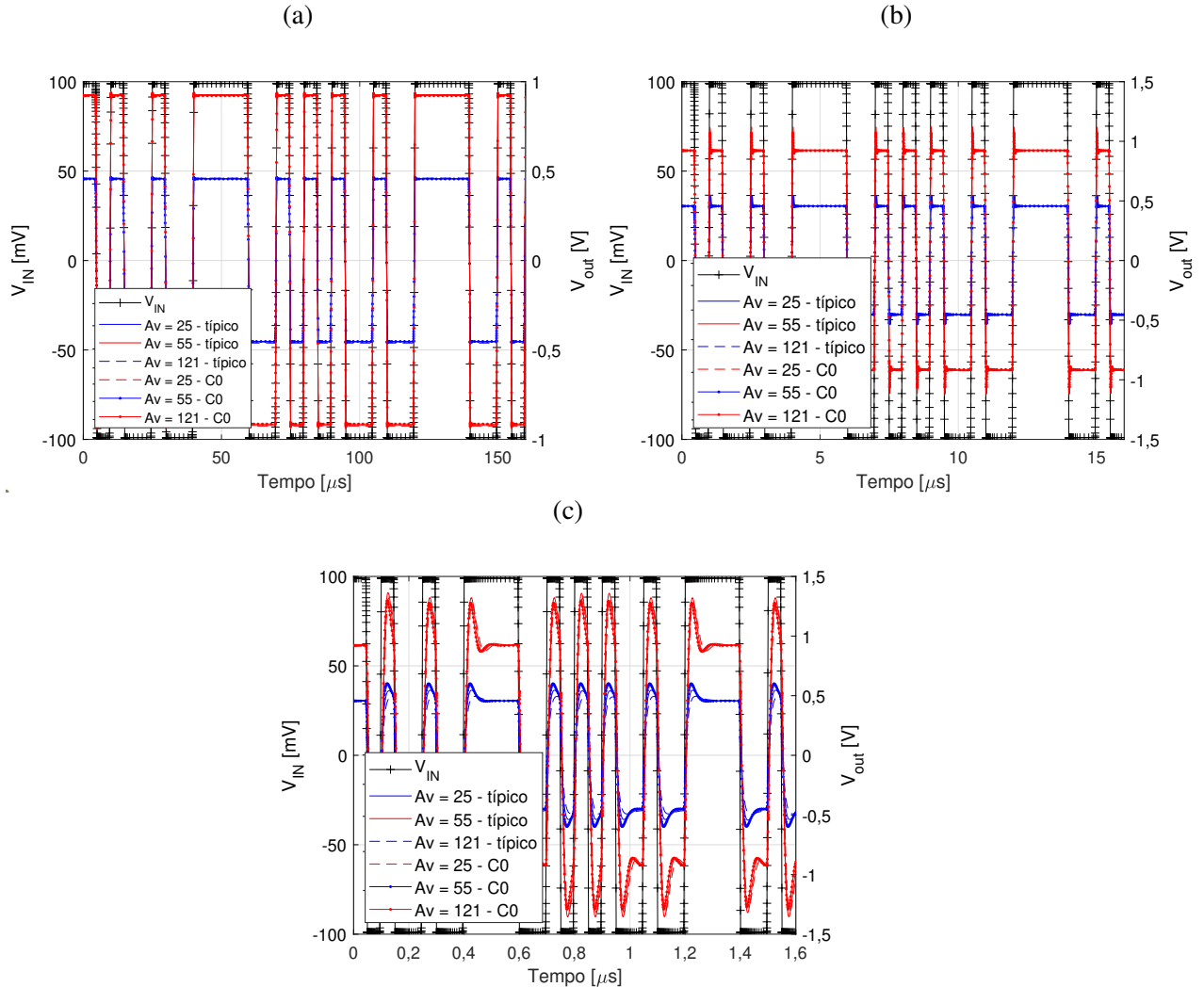


sultados no domínio da frequência apresentados na Figura 31. Os valores de ganho calculados a partir dos gráficos coincidem tanto com os resultados CC quanto para os resultados AC. A diferença dos valores de ganho com relação aos valores teóricos de projeto de 5 e 11 se mantém nas simulações transientes, como era de se esperar.

A Figura 34c mostra de forma evidente o aumento do ganho apresentado na simulação AC na frequência de 10 MHz. Além disso, é possível perceber o deslocamento de fase entre entrada e saída. Também é perceptível a maior sensibilidade aos cantos típico, C0 e C1 apresentando variabilidade tanto no ganho como no deslocamento de fase. Embora a análise AC indique redução da margem de estabilidade, não foram observadas oscilações sustentadas nas simulações transientes realizadas. Isso mostra que a compensação do ganho com os capacitores CF1 e CF2, apresentados na Figura 19, mostrou-se eficaz.

Para confirmar o correto funcionamento mesmo com sinais do tipo DIBS aplicados, foram realizadas simulações com sinais de entrada DIBS diferenciais. Neste caso se utilizou para as

Figura 35 – Simulação no domínio do tempo com entrada de sinal DIBS. (a) Faixa de 10 kHz até 100 kHz. (b) Faixa de 100 kHz até 1 MHz. (c) Faixa de 1 MHz até 10 MHz.



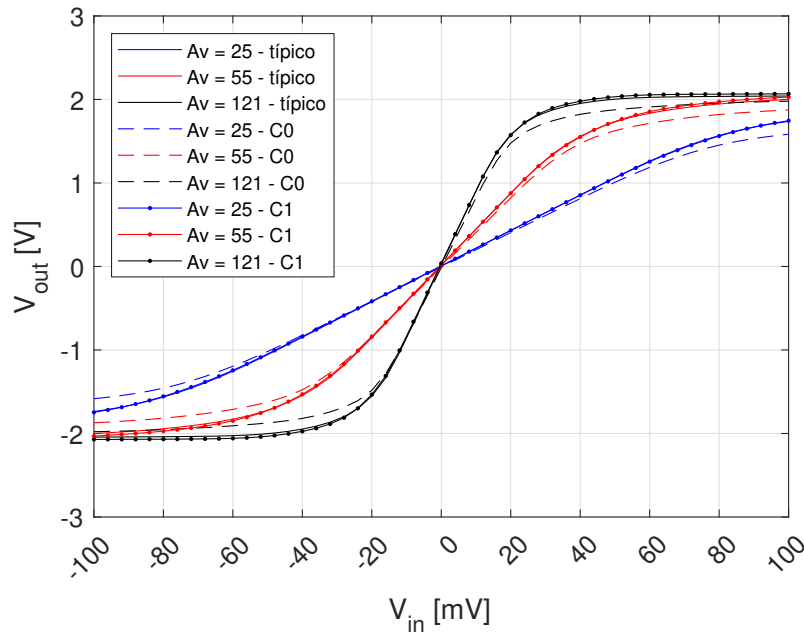
Fonte: Elaborado pelo autor (2026).

fontes de tensão de entrada. apresentadas na Figura 29, um gerador de sinal arbitrário que define o sinal por meio de arquivos de pontos fornecidos ao simulador. Para esta simulação transiente foram analisados três sinais DIBS de faixas diferentes, conforme os dados apresentados na Tabela 5, de 10 kHz até 100 kHz, de 100 kHz até 1 MHz e de 1 MHz até 10 MHz. Os sinais DIBS têm intervalos de tempo múltiplos de oito, no caso, para evitar qualquer tipo de transiente do sinal aplicado no início da simulação, a sequência DIBS foi repetida. Assim sendo, todos os resultados mostrados serão em intervalos de tempo múltiplos de dezesseis.

Na Figura 35 são apresentados os resultados das simulações com sinais DIBS. Observa-se nas Figuras 35a e 35b que o sinal apresenta baixa distorção em relação ao sinal de referência mostrado na Figura 12a, tanto para o ganho de 5 quanto para o ganho de 11. Nessa condição, os sobressinais máximos observados foram de aproximadamente 200 mV.

Para a faixa entre 1 MHz e 10 MHz, passam a ser perceptíveis os efeitos do aumento de ganho e do deslocamento de fase observados na análise AC. Nessa condição, foram observados

Figura 37 – Característica de transferência CC do amplificador DDA2.



Fonte: Elaborado pelo autor (2026).

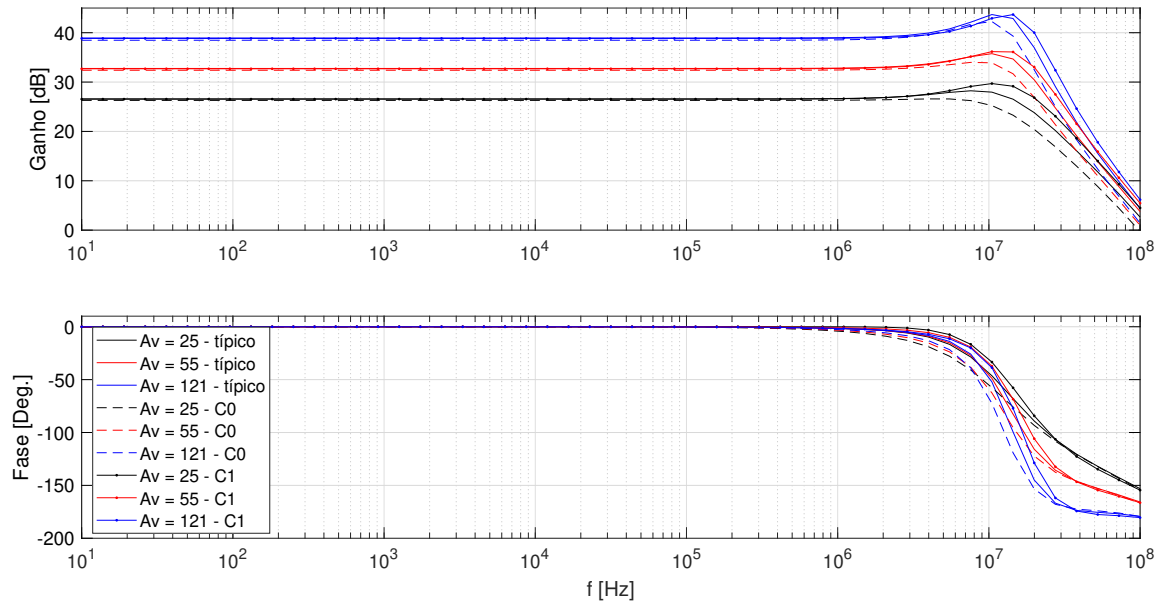
ganho projetado de 55 e ± 52 mV para o ganho projetado de 25.

Com relação aos ganhos obtidos na simulação pós-leiaute esses são de aproximadamente 21, 42 e 85. Esses resultados são coerentes com os ganhos individuais determinados a partir dos resultados do amplificador DDA1. A explicação para esse comportamento foi dada na seção anterior.

Os resultados de análise AC no domínio da frequência para o DDA2 são mostrados na Figura 38. Observa-se, tanto nas curvas para os três ganhos programáveis quanto para os três cantos mencionados, que para todas as situações possíveis, obtém-se ganhos de banda plana constantes e nos mesmos valores apresentados na curva de transferência CC até a frequência de aproximadamente 5 MHz. Já para as frequências entre 5 MHz e 10 MHz, os resultados apresentam uma elevação de ganho. Essa ressonância pode ser um indício de instabilidade. Esse comportamento também foi apresentado na análise AC do DDA1, no entanto, as simulações transientes não apresentaram nenhum tipo de instabilidade do sistema realimentado, mas sim um comportamento subamortecido para sinais pulsados.

Para a maioria dos casos a elevação de ganho é maior do que em relação ao DDA1. Para o ganho projetado de 25 a elevação com relação ao ganho de banda plana é aproximadamente de 4 dB para o canto C1, pior caso nessa simulação. Nos cantos típico e C0 temos uma elevação de aproximadamente 1 dB e redução de menos de 1 dB respectivamente. Mostrando que o canto C0 se mostra o mais estável. É importante salientar que, como verificado nos resultados do DDA1, os capacitores equivalentes extraídos parecem ser menores do que aqueles que foram projetados. E que isso não necessariamente irá se reproduzir na bancada.

Figura 38 – Ganho e fase em função da frequência do amplificador DDA2.



Fonte: Elaborado pelo autor (2026).

Para os ganhos projetados de 55 e 121, as elevações máximas de ganho observadas foram da ordem de 4 dB e 5 dB, respectivamente. Em todos os casos, o canto C0 apresentou o comportamento mais estável.

Os desvios de fase obtidos para o DDA2 foram superiores aos observados no DDA1, comportamento coerente com a utilização de amplificadores em cascata.

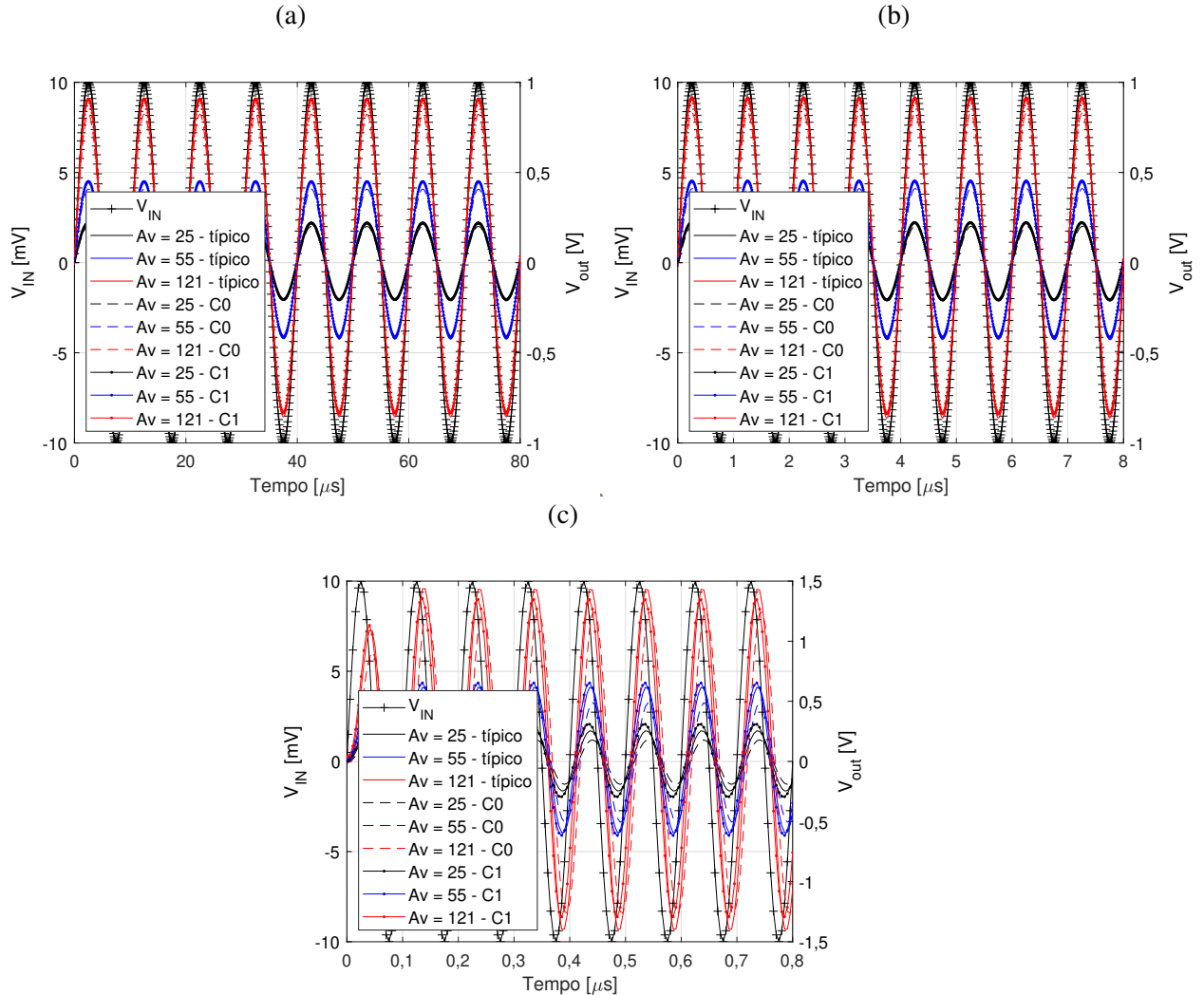
Considerando os resultados obtidos, tanto o DDA1 quanto o DDA2 podem operar adequadamente até aproximadamente 5 MHz sem degradação significativa de desempenho. A operação até 10 MHz implica tolerância a erros adicionais de ganho e fase.

O produto ganho-banda do DDA2 apresentou valores coerentes com os resultados do DDA1, embora com maior sensibilidade às variações de processo, tensão e temperatura. O impacto dessas limitações sobre o cálculo da impedância será discutido na próxima seção.

Com relação ao desvio de fase, constata-se um desvio máximo de aproximadamente 70° e mínimo de 38° na frequência de 10 MHz. O desvio mínimo ocorre com a escolha de ganho de 25. Ou seja, este ganho parece ser o que apresentará menor impacto de erro de fase para o cálculo da impedância. Portanto, este será utilizado para os testes da próxima seção. Além do mais, as curvas de ganho para esta condição apresentam menores variações de ganho a 10 MHz em relação ao ganho de banda plana.

Para verificar o comportamento do amplificador no domínio do tempo foram realizadas simulações transientes para todas as condições e que foram realizadas as simulações anteriores utilizando como entradas sinais senos de 100 kHz, 1 MHz e de 10 MHz. Outro sinal aplicado foi o DIBS das faixas 10 kHz até 100 kHz, 100 kHz até 1 MHz e 1 MHz até 10 MHz. A Figura

Figura 39 – Simulação no domínio do tempo para entrada do tipo senoidal. (a) Frequência de 100 kHz. (b) Frequência de 1 MHz. e (c) Frequência de 10 MHz.



Fonte: Elaborado pelo autor (2026).

39 apresenta os resultados para a aplicação dos senos de amplitude de ± 10 mV, já a Figura 40 apresenta os resultados com a aplicação do sinal de DIBS com amplitude de ± 10 mV.

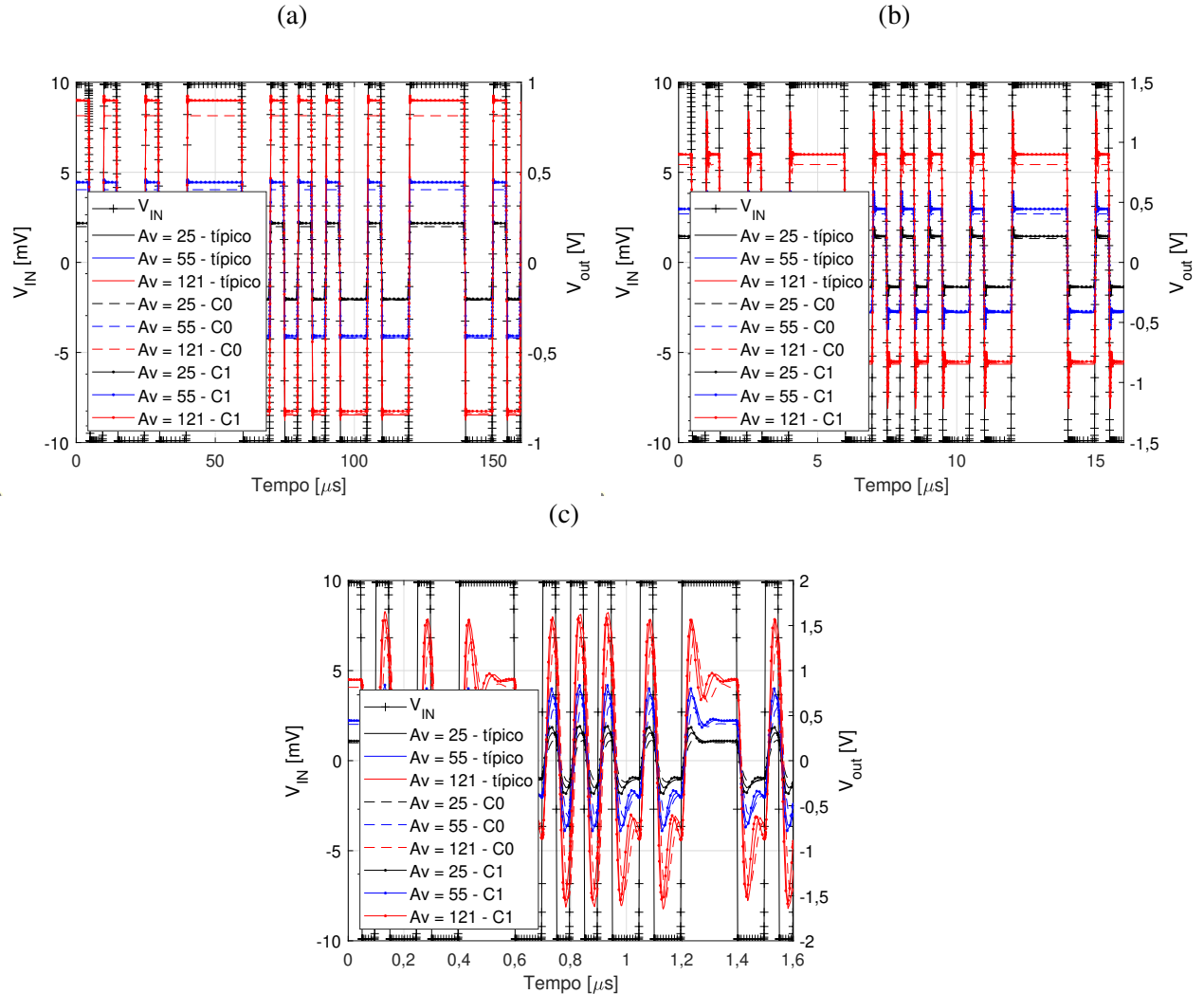
As Figuras 39a e 39b apresentam resultados praticamente iguais, consistentes com os resultados no domínio da frequência apresentados na Figura 38. Os valores de ganho calculados a partir dos gráficos coincidem tanto com os resultados CC quanto com os resultados AC.

No caso da Figura 39c ocorre elevação de ganho, já mostrada na análise AC e também a variabilidade do deslocamento de fase entre os diferentes cantos de simulação. Os resultados não apresentam qualquer tipo de oscilação que indique instabilidade no amplificador.

Para confirmar o correto funcionamento, mesmo com sinais do tipo DIBS aplicados, realizaram-se simulações com sinais de entrada DIBS diferenciais, adotando a mesma metodologia utilizada para o teste do bloco DDA1. A única diferença foi a amplitude do sinal de entrada que foi de ± 10 mV.

A Figura 40 apresenta os resultados para essas simulações. Pode-se observar nas Figuras

Figura 40 – Simulação no domínio do tempo com entrada de sinal DIBS. (a) Faixa de 10 kHz até 100 kHz. (b) Faixa de 100 kHz até 1 MHz. (c) Faixa de 1 MHz até 10 MHz.



Fonte: Elaborado pelo autor (2026).

40a e 40b que o sinal DIBS é muito bem reproduzido até a faixa de 100 kHz a 1 MHz para qualquer um dos ganhos programáveis. A diferença com relação aos resultados apresentados para o DDA1 é o aparecimento de sobressinal máximo de 600 mV para o ganho de 121, principalmente na Figura 40b.

Já para a faixa de 1 MHz até 10 MHz, cujos resultados são apresentados na Figura 40c, aparecem os efeitos do desvio de fase e da elevação do ganho. Para todos os ganhos programáveis, o tempo de acomodação do *ringing* é de aproximadamente 130 ns, o que é mais de duas vezes o intervalo de tempo de um bit da sequência binária.

Os sobressinais de aproximadamente 300 mV e de 100 mV, observados na Figura 40, para os ganhos de 55 e 25, respectivamente, mostram que estas são as configurações mais adequadas para realizar as medidas de impedância. Isso porque esses *overshoots* causam erros principalmente na avaliação da magnitude e da fase, sendo que o sobressinal e o tempo de acomodação são maiores para o ganho de 121, como observado na Figura 40c. No entanto,

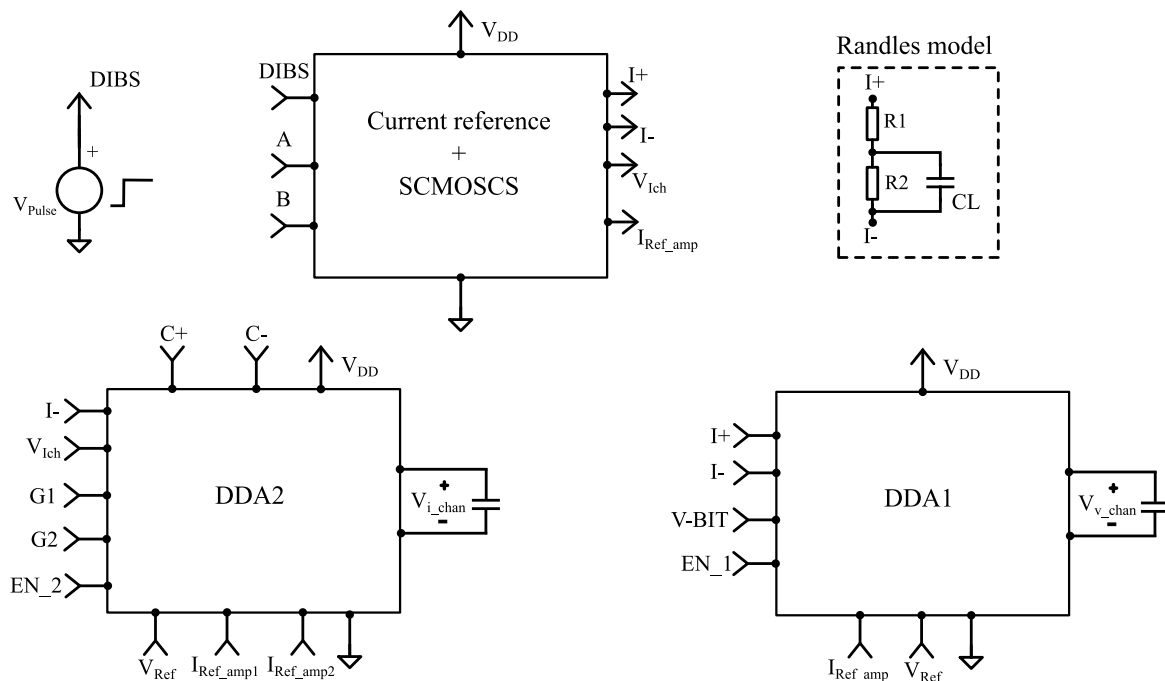
observa-se que, boa parte da integridade do sinal é preservada na condição típica do ganho de 25, pois o sobressinal e o tempo de acomodação são menores com relação às outras situações apresentadas na Figura 40c. Assim sendo, o efeito definitivo para o cálculo da impedância será analisado, posteriormente na seção 5.3, utilizando esta condição de ganho 25 e canto típico. Já os casos apresentados, tanto na Figura 40a quanto para a Figura 40b, mostram que o tempo de acomodação não altera significativamente o formato do sinal DIBS por este ser muito menor do que o tempo de largura de pulso mínima do sinal DIBS.

O *slew rate*, medido com o sinal DIBS, apresentou um valor compatível com o DDA1, de aproximadamente $85 \text{ V}/\mu\text{s}$ que é mais que o dobro da especificação apresentada na Tabela 6. Isso ocorre porque a especificação atendida prioritariamente foi a de GBW.

5.3 MEDIDA DE IMPEDÂNCIAS A PARTIR DO *FRONT-END*

O diagrama de blocos mostrando como os módulos de circuito foram conectados para realizar uma simulação conjunta da medição de uma impedância é apresentado na Figura 41. O sinal DIBS foi aplicado ao respectivo pino da SCMOSSCS. Aos pinos A e B foram aplicados níveis de tensão de 0 V ou 2,5 V, conforme a corrente de saída ($I+$) desejada. Aos pinos $I+$ e $I-$ foram conectados, em paralelo, a impedância a ser medida e as entradas do DDA1. A saída V_{Ich} e o pino $I-$ foram conectados às entradas do DDA2. Já a saída $I_{Ref-amp}$ foi distribuída, por meio de espelhos de corrente de ganho unitário, para o DDA1 e o DDA2, nas entradas $I_{Ref-amp1}$ e $I_{Ref-amp2}$, respectivamente.

Figura 41 – Diagrama de blocos para as simulações do *front-end* para medição de impedância elétrica.



Fonte: Elaborado pelo autor (2026).

No caso dos DDAs, foi aplicada a tensão de $V_{DD}/2$ aos pinos V_{Ref} . Já aos pinos V-BIT foi aplicada a tensão de 0 V, configurando ganho igual a 5, assim como aos pinos G1 e G2, configurando ganho igual a 25. Nos pinos EN_1, EN_2 e V_{DD} foi aplicada a tensão de 2,5 V.

A escolha do ganho do DDA1 para este teste está baseada na excursão máxima permitida na saída do amplificador, já que a tensão que excursiona nos pinos I+ e I- é de ± 200 mV. Assim, considerando a configuração de ganho 5, a tensão de saída do DDA1 será de ± 1 V. Essa excursão está próxima do limite de excursão do DDA1, que é de aproximadamente $\pm 1,3$ V. Já para o DDA2, o ganho escolhido foi aquele que apresentou, em altas frequências, menor sobressinal na análise transiente com sinal do tipo DIBS.

Para o cálculo da impedância foram utilizados os sinais diferenciais V_{i_chan} e V_{v_chan} que correspondem à corrente e à tensão aplicadas à impedância a ser medida. Esses sinais foram obtidos a partir de simulações transitórias pós-leiaute utilizando a combinação dos cinco sinais DIBS mostrados na Figura 12a e na Tabela 5 como entrada. Para a análise espectral até a frequência de 10 MHz o número de repetições do sinal DIBS até que o sistema entre em regime permanente foi de três a cinco repetições da sequência do DIBS.

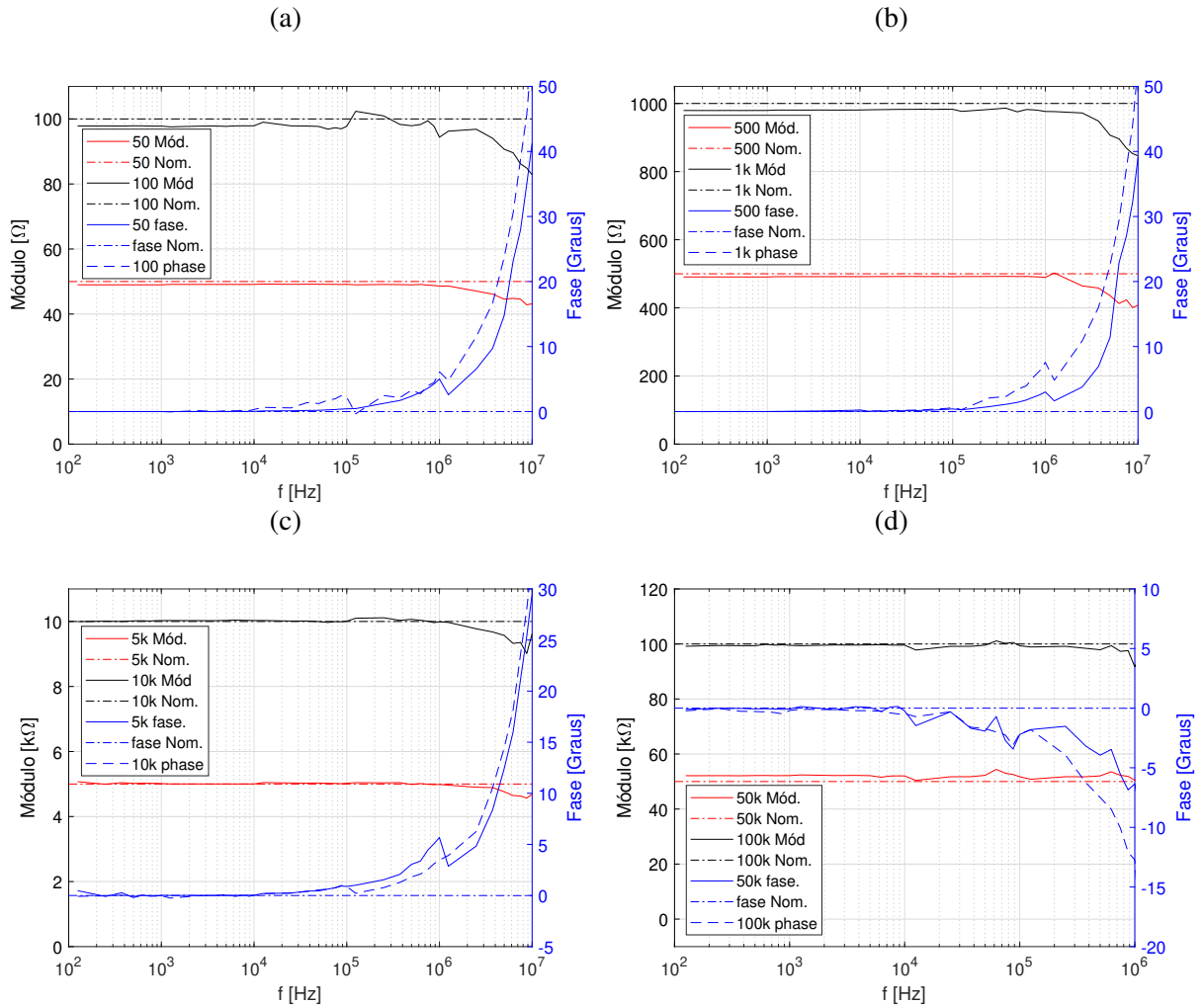
Em seguida, a Transformada Rápida de Fourier (FFT) é calculada apenas para o último período, evitando erros devido aos transitórios, principalmente em cargas com componentes capacitivos. Além disso, para evitar erros transitórios na carga do modelo de Randles (ver Figura 41), cinquenta ciclos foram impostos ao sinal DIBS para a faixa de 1–10 MHz, sendo a FFT dos sinais de corrente e tensão calculada para o último ciclo da análise transitória. Depois disso, ambas as FFTs, que contêm as informações de magnitude e fase da tensão e da corrente, são utilizadas para calcular o espectro de impedância. Para gerar os espectros de impedância apresentados nesta seção, foram utilizadas as funções *ABS* e *angle*.

Para determinar os valores de conversão da tensão para a corrente e o ganho da medida de tensão foi realizada uma calibração inicial. Para o canal de medida de corrente formado pelo resistor de derivação e o ganho do amplificador DDA2 pode ser realizada uma medição de corrente CC para cada escala de medida de impedância e uma medida da tensão de saída do DDA2. Assim, pode-se relacionar a tensão de saída do amplificador de instrumentação com o valor de corrente que flui pelo resistor. Para cada uma das escalas foi determinado um valor de conversão para ser aplicado no cálculo da impedância. Para o DDA1 pode-se aplicar uma tensão diferencial CC nas entradas e medir a tensão diferencial de saída para determinar o ganho que será utilizado nos cálculos da impedância.

5.3.1 Medidas de resistências puras

A Figura 42 apresenta os resultados de resistores fixos medidos utilizando o sistema apresentado na Figura 41. No lugar do modelo de Randles, foram utilizados, como dispositivos sob teste, um resistor no valor da escala de medida máxima e um resistor do valor da metade da escala de medida. Por exemplo, para a escala que mede até 100Ω foi medido um resistor desse mesmo valor e outro de 50Ω . Essa lógica se repete para as demais escalas.

Figura 42 – Magnitude e fase da impedância em função da frequência para resistores em quatro escalas. (a) 100 Ω . (b) 1 k Ω (c) 10 k Ω . (d) 100 k Ω .



Fonte: Elaborado pelo autor (2026).

Na Figura 42a, verifica-se que, para frequências até 1 MHz, a medida do módulo da impedância das simulações pós-leiaute acompanham os valores nominais com um desvio máximo de 6% para a impedância de 100 Ω e de no máximo 2% para a impedância de 50 Ω . Já na última faixa de frequências há uma tendência de desvio maior, chegando a aproximadamente 16% de desvio da impedância medida com relação à nominal para a frequência de 10 MHz. Quando se observa a fase, os desvios do valor nominal de zero graus são observados desde a faixa entre 10 kHz até 100 kHz se intensificando até chegar a aproximadamente 50° na frequência de 10 MHz. Esse desvio positivo pode ser explicado observando-se as Figuras 31 e 38, nas quais pode-se verificar que o giro de fase da resposta AC do DDA2 é maior em relação ao giro apresentado pelo DDA1, principalmente para frequências acima de 5 MHz. Assim, faz sentido que o desvio de fase seja positivo, pois a FFT do sinal do DDA2 (canal de medição de corrente) é dividida pela FFT do sinal do DDA1 (canal de medição de tensão) para a obtenção do valor da impedância. Efeitos de distorção podem acentuar ainda mais esse desvio positivo.

Já na Figura 42d, o desvio de fase aparece como negativo. Nesse caso específico, o

comportamento dominante não está relacionado ao desempenho dos amplificadores em altas frequências, pois, para as magnitudes de impedância aplicadas à carga, não foi possível realizar medições até 10 MHz. Assim, esse desvio pode ser explicado por um polo capacitivo resultante da interação entre as impedâncias de saída da fonte de corrente e o elevado valor da impedância utilizada como carga (amostra).

Essa análise pode se estender para as Figuras 42b e 42c com certas variações de valores. Esse resultado pode ser explicado pelo comportamento dinâmico tanto da fonte de corrente quanto dos amplificadores DDA1 e DD2 na faixa de 1 MHz até 10 MHz. Observam-se comportamentos subamortecidos tanto no sinal pulsado de corrente quanto nas saídas dos amplificadores DDA1 e DDA2. Essas distorções acabam refletindo em erros em módulo e fase na medida de impedância. Além disso, nessa faixa de frequências há os desvios de fase adicionados pelos amplificadores DDA1 e DDA2 como verificado nas Figuras 31 e 38.

Para a escala de 100 k Ω , os resultados da análise foram aceitáveis até a frequência de 1 MHz, pois, em frequências superiores, os erros apresentados tanto pelos sinais da corrente quanto de tensão tornaram a medida de impedância incoerente. Na frequência de 1 MHz o desvio de fase atinge o valor de 13°.

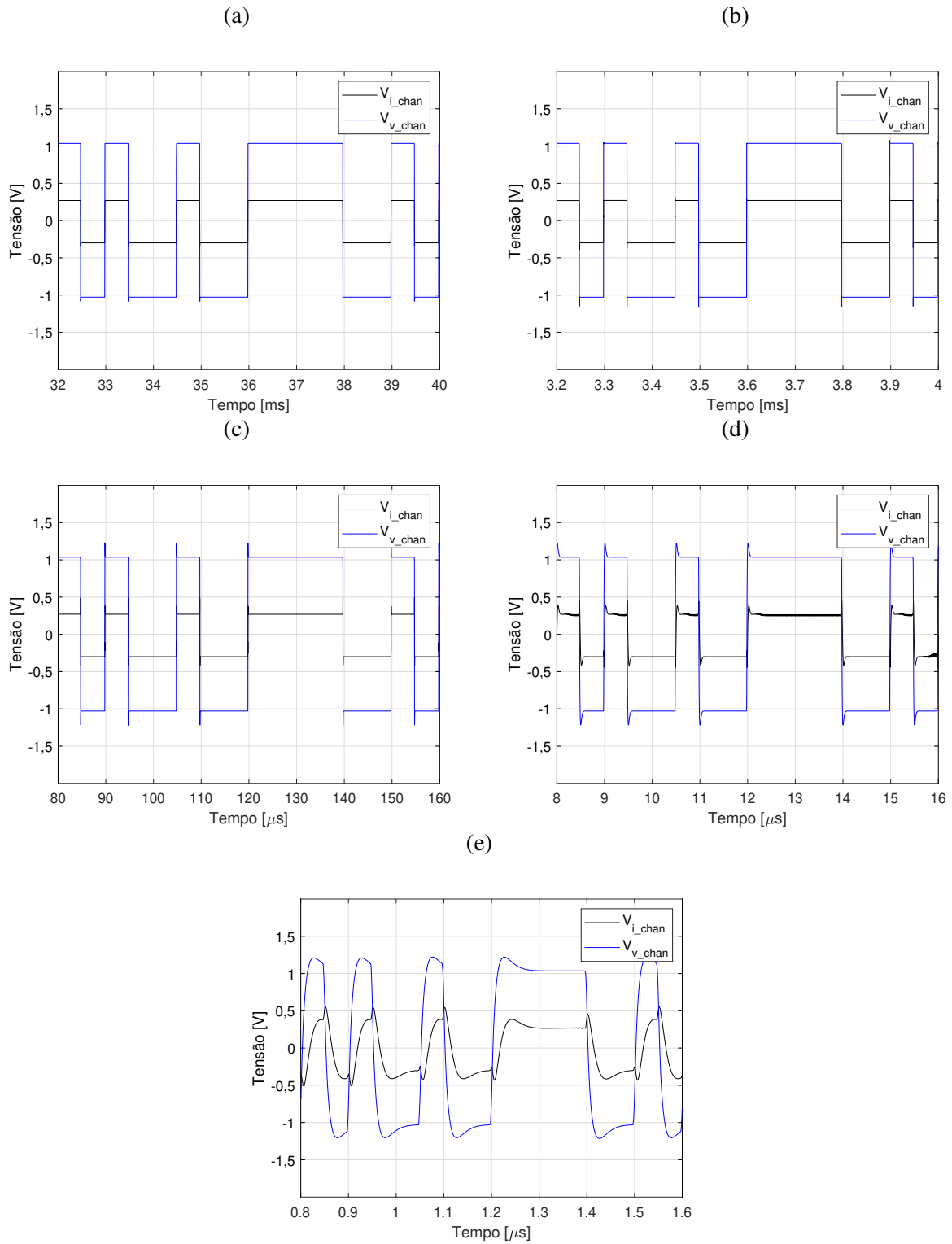
A Figura 43 apresenta os resultados de simulação transiente utilizados para determinar as curvas de impedância mostradas na Figura 42a. Tanto o sinal da tensão na amostra quanto a tensão referente à corrente que flui através do resistor de derivação apresentam maior distorção conforme as frequências envolvidas aumentam. Parte destas distorções, relacionadas a comportamento subamortecido, é decorrente da própria fonte de corrente (Figuras 43b e 43c), mas, em frequências mais elevadas, o comportamento dinâmico dos amplificadores de instrumentação contribui com as distorções apresentadas nas Figuras 43d e 43e. Esses resultados explicam os desvios observados na Figura 42.

As medições da magnitude da impedância demonstram que o sistema analógico de medição proposto é capaz de fornecer resultados com exatidão, sob calibração dos ganhos dos canais de corrente e de tensão via protocolo previamente apresentado, comparável ou superior à de outros sistemas de medição de impedância para diversas aplicações (DOUSSAN; HALTER, 2026; CHIRIACò et al., 2018; YANG et al., 2009; ZHANG et al., 2025).

5.3.1.1 *Medição de impedâncias com modelo elétrico de tecidos biológicos de Randles*

A Figura 44 mostra os resultados de impedância para o modelo de Randles, um circuito elétrico amplamente utilizado em aplicações de biossensoriamento que empregam espectroscopia de impedância elétrica (LAZANAS; SIMÓN, 2025; ZHANG et al., 2025). Esse modelo consiste em uma resistência em série conectada a uma rede RC em paralelo, conforme mostrado na Figura 41. Os modelos de Randles foram configurados para apresentar a impedância máxima da escala em baixas frequências, reduzindo-se progressivamente até a impedância mínima em frequências mais elevadas. Esse procedimento permite a excursão de uma escala inteira em apenas uma análise, o que significa uma variação de uma década do valor da magnitude da impedância em

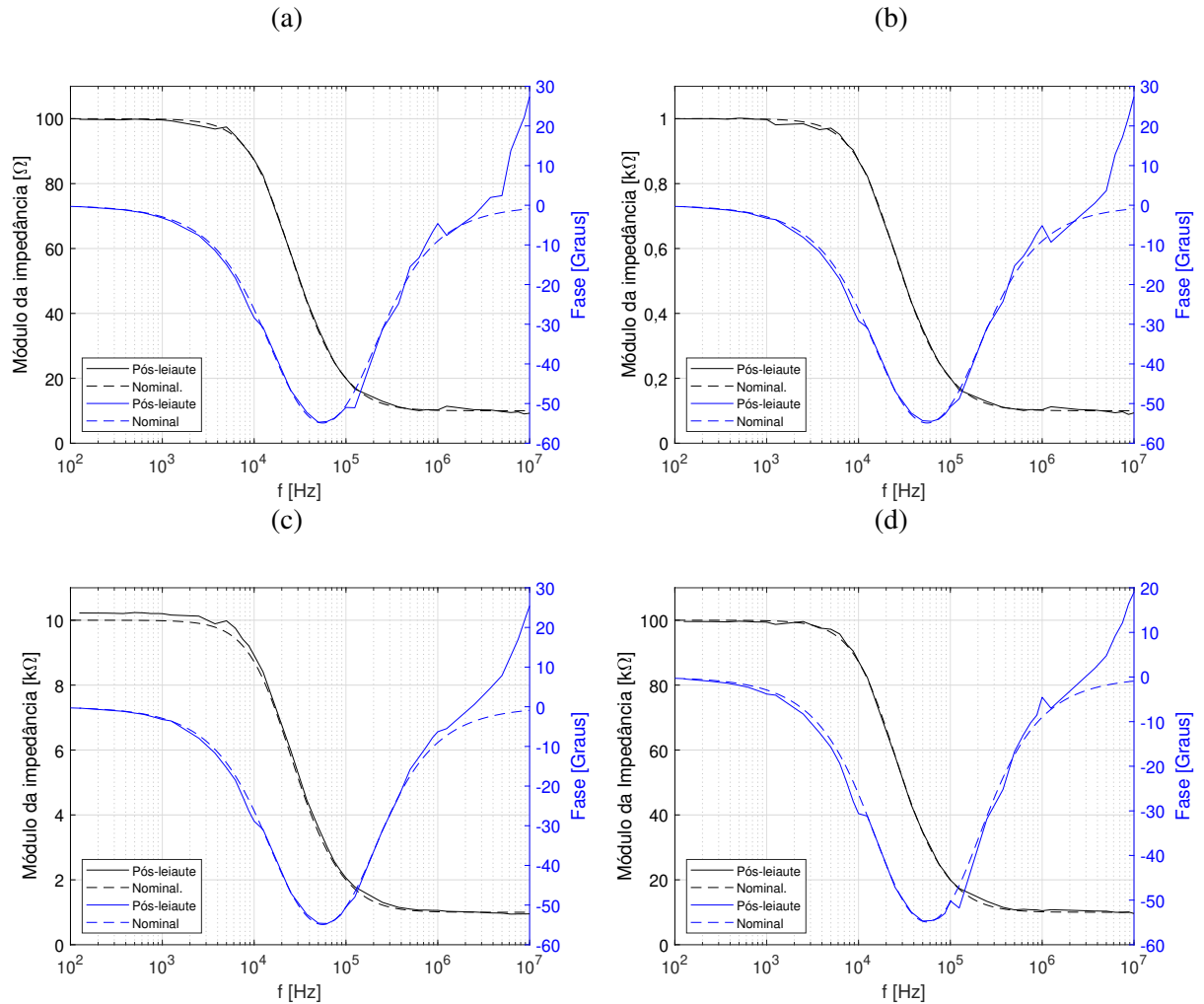
Figura 43 – Tensão de saída do DDA1 e do DDA2 em função do tempo para uma resistência de carga de $100\ \Omega$. (a) Banda de 1 kHz. (b) Banda de 10 kHz. (c) Banda de 100 kHz. (d) Banda de 1 MHz. (e) Banda de 10 MHz.



Fonte: Elaborado pelo autor (2026).

testes. Especificamente, para os resultados da Figura 44a, foram utilizados $R1 = 10\ \Omega$, $R2 = 90\ \Omega$ e $CL = 100\ \text{nF}$. Em concordância com a análise da Figura 42a, a simulação pós-leiaute

Figura 44 – Magnitude e fase da impedância em função da frequência para resistores em quatro escalas utilizando o modelo de Randles. (a) 100 Ω . (b) 1 k Ω . (c) 10 k Ω . (d) 100 k Ω .



Fonte: Elaborado pelo autor (2026).

reproduz uma impedância de aproximadamente 100 Ω em baixas frequências. O sistema mostra capacidade de acompanhar com exatidão o comportamento do módulo da impedância nominal para toda a faixa de frequências analisada.

Um modelo com $R_1 = 100 \Omega$, $R_2 = 900 \Omega$ e o $CL = 10 \text{ nF}$ foi utilizado como impedância sob teste para o traçado do gráfico da Figura 44b. Nesse caso, o sistema foi capaz de acompanhar com exatidão toda a variação de módulo da impedância nominal em toda a faixa de frequências analisada. Já para a Figura 44c, o modelo *Randles* tem $R_1 = 1 \text{ k}\Omega$, $R_2 = 9 \text{ k}\Omega$ e $CL = 1 \text{ nF}$. E, para a Figura 44d os valores de resistores seguem a mesma lógica de serem multiplicados por dez e o capacitor dividido por dez para cada aumento da escala de medida.

Os gráficos apresentados na Figura 44 demonstram também que o *front-end* analógico projetado permite a medição da fase com exatidão em quase toda a banda de frequências em que a medição é realizada. O erro de fase cresce significativamente para frequências superiores a 5 MHz para todas as escalas de medida de impedância chegando a valores máximos de até 30° de desvio positivo com relação aos valores nominais de referência. Como explicado anteriormente,

esse desvio pode ser atribuído principalmente a dois fatores: o deslocamento de fase introduzido pelos amplificadores de instrumentação em frequências superiores a 1 MHz e os efeitos de distorção presentes nos sinais do domínio do tempo, conforme ilustrado na Figura 40c.

Como trabalho futuro, pode-se investigar a aplicação de técnicas de filtragem analógica ou digital para reduzir os efeitos do ringing observados nos sinais adquiridos. A avaliação da eficácia dessas abordagens, bem como do impacto sobre a largura de banda e a exatidão das medições, está fora do escopo desta tese.

Os resultados comparados entre a Figura 42 e a Figura 44 mostram que as menores discrepâncias entre os valores de referência e os valores estimados ocorreram para as impedâncias representadas pelo modelo de *Randles*, dentre as condições de teste consideradas neste trabalho.

Durante o intervalo de tempo em que o circuito analógico está ativo ele consome uma potência de aproximadamente 158 mW. Esse consumo de potência é quase todo drenado pelos DDAs. Como mencionado no capítulo 4, o valor de corrente quiescente foi necessário para que o GBW, considerando uma carga de 4 pF, fosse suficiente para alcançar as especificações de banda plana para um ganho de aproximadamente 11.

5.4 COMPARAÇÃO DE RESULTADOS COM OUTROS CIRCUITOS INTEGRADOS PARA ESPECTROSCOPIA DE IMPEDÂNCIA ELÉTRICA

A comparação apresentada na Tabela 13 tem como objetivo posicionar a arquitetura proposta frente a soluções recentes para espectroscopia de impedância integrada em circuito CMOS. Para tanto, foram analisados parâmetros relacionados à faixa de frequência, faixa de impedância, método de excitação, complexidade da arquitetura, capacidade de integração e tensão de alimentação, uma vez que esses fatores impactam diretamente a aplicabilidade prática dos sistemas de bioimpedância.

Um dos principais diferenciais da arquitetura proposta é a capacidade de operação entre 100 Hz e 10 MHz. Embora alguns trabalhos apresentem frequências máximas superiores (ALLEGRI et al., 2018; PÉREZ-BAILÓN et al., 2021), grande parte das soluções reportadas concentra-se em faixas inferiores a 1 MHz ou poucos megahertz, como pode ser observado na Tabela 2 e na Tabela 13. A faixa alcançada neste trabalho permite a ampliação das possibilidades de aplicação da técnica.

Outro aspecto relevante é a capacidade de medir impedâncias compreendidas entre aproximadamente 10 Ω e 100 k Ω , que foi alcançada apenas pelos trabalhos de Kim, Kim e Yoo (2021), Allegri et al. (2018), Khan, Qaiser e Saadeh (2022). Essa faixa cobre diversos cenários encontrados em aplicações biomédicas, como por exemplo, análise de qualidade de alimentos ou *Lab-on-chip*. Além disso, possibilita a caracterização de diferentes tipos de tecidos e amostras biológicas sem a necessidade de modificações na arquitetura. Além disso, todos esses trabalhos não fazem análises de banda larga permitindo análises no domínio do tempo.

Diferentemente de muitas arquiteturas encontradas na literatura e resumidas na Tabela 13,

Tabela 13 – Comparação entre arquiteturas CMOS para bioimpedância e espectroscopia de impedância elétrica.

Referência	Topologia / Tecnologia	V_{DD} (V)	Consumo (mA)	Área (mm ²)	Faixa de frequência	Faixa de impedância
Constantinou, Bayford e Demosthenous (2015)	Fonte de corrente / 350 nm	$\pm 2,5$	N.I.	0,40	100 Hz – 1 MHz	50 Ω – 2 k Ω^*
Kim, Kim e Yoo (2021)	Gerador de corrente / 65 nm	0,5	0,02*	0,059	20 kHz	até 200 k Ω^*
Li et al. (2023)	Conversor diferencial V-I / 65 nm	3,3	1,54	N.I.	até 1 MHz	50 Ω – 3 k Ω^*
Corbacho et al. (2022)	Amplificador de instrumentação / 180 nm	$\pm 0,9$	0,361	0,0196	3 MHz	N.A.
Allegri et al. (2018)	Analizador com demoduladores em quadratura / 350 nm	3,3	30,3*	N.I.	10 kHz – 10 MHz	50 Ω – 500 k Ω^*
Khan, Qaiser e Saadeh (2022)	Sistema EIS digital / 180 nm	1,8	0,211*	0,35	500 μ Hz – 100 kHz	1 k Ω – 5 M Ω^*
Xu, Harpe e Hoof (2018)	Analizador com excitação chaveada e medição de tensão	1,8	0,086*	2,6	até 125 kHz	3,3 m Ω – 100 k Ω
Este trabalho	SCMOSCS + DDA	+2,5	62	0,116	até 10 MHz	10 Ω – 100 kΩ

Fonte: Elaborado pelo autor (2026) a partir de Constantinou, Bayford e Demosthenous (2015), Allegri et al. (2018), Xu, Harpe e Hoof (2018), Corbacho et al. (2022), Kim, Kim e Yoo (2021), Khan, Qaiser e Saadeh (2022), Li et al. (2023).

N.I.: Não informado pelo autor. N.A.: Não aplicável.

* Valores aproximados, estimados a partir das condições de ensaio e dos resultados experimentais apresentados pelos autores.

que utilizam excitação senoidal em frequência única e exigem múltiplas medições para compor o espectro de impedância, a proposta apresentada utiliza sinais DIBS de banda larga. Essa abordagem permite a obtenção simultânea de informações em múltiplas frequências, reduzindo potencialmente o tempo necessário para aquisição dos dados. Isso possibilita a aplicação em sistemas que exigem análises em tempo real.

A utilização de uma fonte de corrente programável e de amplificadores com ganhos também programáveis permite adequar a tanto a amplitude da excitação às características da

carga analisada quanto o sinal que será adquirido. Essa flexibilidade não é observada em todas as soluções verificadas na literatura e pode contribuir para ampliar a faixa operacional do sistema e ultrapassar os limites de impedância medidos que são apresentados pelos trabalhos de Kim, Kim e Yoo (2021), Allegri et al. (2018), Khan, Qaiser e Saadeh (2022).

Apesar das vantagens observadas, a arquitetura proposta apresenta consumo de potência superior ao de algumas soluções encontradas na literatura. Entretanto, essa comparação deve ser interpretada com cautela, uma vez que os trabalhos utilizados como referência diferem significativamente em seus objetivos, nível de integração e especificações de projeto. Enquanto algumas propostas contemplam apenas a fonte de corrente, outras implementam exclusivamente os amplificadores de instrumentação, há aquelas que integram ambos os blocos e, ainda, sistemas mais completos destinados à espectroscopia de impedância. Além disso, existem diferenças relevantes quanto à tecnologia CMOS empregada, à largura de banda de operação, à faixa de impedâncias suportada, às capacitâncias de carga dos amplificadores e a outros requisitos de desempenho. Esses fatores influenciam diretamente a complexidade dos circuitos e, consequentemente, o consumo de potência e a área ocupada, tornando comparações diretas entre diferentes trabalhos apenas parcialmente representativas.

Nesse contexto, o trabalho de Allegri et al. (2018) apresenta características mais próximas às do sistema proposto, especialmente em relação à largura de banda de operação e à faixa de impedâncias que podem ser medidas. Nessa comparação, observa-se que ambos os sistemas apresentam consumo de corrente da mesma ordem de grandeza, indicando que o consumo obtido neste trabalho é compatível com aplicações que demandam desempenho semelhante.

O maior consumo de potência do circuito proposto está principalmente associado à utilização dos amplificadores DDA empregados no estágio de recepção. A adoção dessa arquitetura, entretanto, foi fundamental para atingir a faixa de frequência especificada e garantir estabilidade adequada nas simulações pós-leiaute.

Além disso, o circuito foi concebido para aplicações em dispositivos portáteis e vestíveis, nas quais o consumo médio de energia pode ser significativamente reduzido por meio da utilização dos sinais de habilitação (*enable*) dos amplificadores. Nessa estratégia, os amplificadores permanecem desligados durante a maior parte do tempo, sendo ativados apenas durante o curto intervalo necessário para a realização da medição. Em sistemas de espectroscopia de impedância no domínio do tempo, uma análise completa pode ser realizada em algumas centenas de milissegundos, permitindo que o circuito permaneça em modo de baixo consumo durante praticamente todo o restante do período de operação.

Como exemplo, considerando uma bateria com capacidade de 2500 mAh e uma operação contínua com consumo de aproximadamente 62 mA, a autonomia estimada seria da ordem de 40 horas. Entretanto, em um regime de operação intermitente, no qual o circuito é ativado apenas durante as medições, a autonomia pode aumentar para vários dias, dependendo da frequência de aquisição das medidas e do intervalo entre elas. Dessa forma, o consumo de potência apresentado pelo circuito não constitui, por si só, um fator limitante para sua aplicação em dispositivos

portáteis e vestíveis.

De forma geral, a comparação com o estado da arte demonstra que a arquitetura proposta apresenta desempenho competitivo, especialmente em termos de faixa de frequência, flexibilidade de operação e integração com técnicas de espectroscopia baseadas em sinais DIBS. Embora existam oportunidades de otimização relacionadas ao consumo de potência e à redução da área ocupada pelos amplificadores, os resultados obtidos indicam que a solução desenvolvida constitui uma alternativa viável para sistemas integrados de espectroscopia de impedância em aplicações portáteis e com alimentação por baterias.

Apesar dos resultados obtidos demonstrarem a viabilidade da arquitetura proposta, algumas limitações devem ser consideradas. A principal delas é que a validação do circuito foi realizada exclusivamente por meio de simulações elétricas e pós-leiaute, uma vez que, até o momento da conclusão deste trabalho, o circuito integrado encontrava-se em processo de fabricação e importação, impossibilitando sua caracterização experimental. Além disso, as simulações pós-leiaute não contemplaram os efeitos parasitários introduzidos pelos *pads* de entrada e saída e pelos circuitos de proteção ESD, os quais poderão influenciar o desempenho do circuito, especialmente nas frequências mais elevadas. Embora esses aspectos não invalidem os resultados apresentados, sua avaliação experimental será fundamental para confirmar o desempenho previsto em simulação.

Como perspectiva de continuidade, pretende-se realizar a caracterização elétrica completa do circuito integrado fabricado, incluindo a validação da faixa de frequência de operação, da precisão da fonte de corrente, da linearidade dos amplificadores e da capacidade de medição de impedâncias utilizando cargas conhecidas e amostras biológicas. Adicionalmente, os resultados experimentais poderão subsidiar o aperfeiçoamento da arquitetura proposta, contemplando estratégias de redução do consumo de potência, ampliação da largura de banda, inclusão de técnicas de calibração e compensação de não idealidades, bem como a integração do circuito em sistemas portáteis e vestíveis para aplicações em espectroscopia de impedância elétrica no domínio do tempo.

Nesse contexto, as limitações identificadas representam oportunidades para a evolução da arquitetura, não comprometendo a principal contribuição deste trabalho, que consiste na proposição e validação, em nível de projeto integrado, de um circuito CMOS de banda larga dedicado à espectroscopia de impedância elétrica no domínio do tempo utilizando sinais do tipo DIBS.

6 CONSIDERAÇÕES FINAIS

Ao longo deste trabalho foi apresentado o desenvolvimento de um circuito integrado CMOS de banda larga para espectroscopia de impedância elétrica no domínio do tempo. A arquitetura proposta foi concebida como uma plataforma de aplicação geral, capaz de atender diferentes faixas de impedância e frequência e emprega sinais de excitação de banda larga do tipo DIBS. O circuito integra uma fonte de corrente CMOS chaveada (SCMOSCS), com quatro escalas programáveis de corrente, dois amplificadores diferenciais de diferença (DDAs) e uma referência de corrente programável. A arquitetura foi projetada para possibilitar a análise de impedâncias entre $10\ \Omega$ e $100\ \text{k}\Omega$, em uma faixa de frequência de 10 MHz.

O desenvolvimento do circuito envolveu o projeto e a análise dos diferentes blocos que compõem o sistema, incluindo as etapas de geração e recepção dos sinais, bem como a avaliação do comportamento do circuito em diferentes condições de operação. Foram realizadas simulações elétricas e pós-leiaute, incluindo análises de variações de processo, tensão de alimentação, temperatura e *mismatch* entre transistores. Os resultados obtidos permitiram avaliar a capacidade da arquitetura de realizar a medição de impedâncias em diferentes escalas e demonstraram a viabilidade da utilização de uma arquitetura integrada CMOS para espectroscopia de impedância no domínio do tempo.

A partir dos resultados apresentados e da comparação com as soluções disponíveis na literatura, são discutidas a seguir as principais conclusões deste trabalho, bem como suas limitações e perspectivas de continuidade.

6.1 CONCLUSÕES

A espectroscopia no domínio do tempo (rápida) possibilita o monitoramento constante em tempo real dos usuários de dispositivos médicos. Essa técnica consiste em aplicar sinais com um conteúdo espectral específico, aplicados à amostra em aproximadamente 20 ou 30 milissegundos. Isso aumenta a velocidade de aquisição dos espectros em relação à espectroscopia de impedância no domínio da frequência. Projetos como o *eGluco*[®] se beneficiariam de um circuito integrado de uso específico ou de um sistema integrado em chip (SoC), pois visam ao desenvolvimento de um dispositivo vestível para monitorar a glicemia de pacientes diabéticos. Atualmente, esse dispositivo (*eGluco*[®]) carece de redução de volume e de consumo de energia. Além disso, a alimentação do circuito em 2,5 V foi definida de forma a compatibilizar o *front-end* analógico com diversos sistemas digitais e microcontroladores de baixa potência, reduzindo a complexidade da infraestrutura de alimentação necessária ao dispositivo.

Os resultados da simulação pós-leiaute indicam que se pode construir um dispositivo para análise de espectroscopia de impedância elétrica para aplicações variadas. Isso porque o dispositivo demonstrou capacidade de análises em uma faixa de frequência testada de 100 Hz até 10 MHz. Essa faixa pode ser estendida para o lado das mais baixas frequências. O único prejuízo seria no tempo da análise, que aumentaria. Nesse sentido, este trabalho oferece uma

contribuição significativa, uma vez que essa largura de banda ainda não é amplamente empregada na espectroscopia de impedância, mas está se tornando uma exigência crescente (CHEON et al., 2023).

Em comparação com fontes de corrente CMOS tradicionais, geralmente desenvolvidas para operação com sinais senoidais e aplicações em faixas de frequência mais restritas, a arquitetura proposta apresenta como principais vantagens a capacidade de operar com sinais pulsados do tipo DIBS, a ampla largura de banda de até 10 MHz, a programação digital de quatro escalas de corrente e a possibilidade de integração em sistemas dedicados à espectroscopia de impedância elétrica no domínio do tempo. Essas características tornam a arquitetura particularmente adequada para aplicações que demandam aquisição rápida de dados e utilização de técnicas de espectro espalhado.

Por outro lado, a arquitetura proposta também apresenta limitações inerentes às escolhas de projeto adotadas. A obtenção da largura de banda especificada e da estabilidade observada nas simulações pós-leiaute exigiu a utilização de uma arquitetura de recepção mais elaborada, baseada em amplificadores diferenciais de diferença (DDA), o que resultou em um aumento do consumo de potência do sistema completo em comparação com algumas soluções descritas na literatura. Além disso, a validação apresentada nesta tese restringe-se aos resultados de simulação, permanecendo como etapa futura a caracterização experimental do circuito integrado fabricado.

Além disso, os resultados apresentados demonstram a viabilidade de se desenvolver um circuito integrado adequado para espectroscopia de impedância elétrica de banda larga, com a capacidade de medir impedâncias de até 100 k Ω . A programação de correntes, projetada para a fonte SCMOSCS, constitui outro fator que otimiza o consumo de energia, ao mesmo tempo em que oferece uma maior gama de escalas de impedância ao espectrômetro. Essas considerações podem ser corroboradas na Tabela comparativa apresentada no capítulo 5.

Durante o desenvolvimento deste trabalho foram enfrentados desafios relacionados à utilização das ferramentas de projeto, incluindo incompatibilidades entre versões dos ambientes CAD, limitações associadas ao PDK utilizado e dificuldades de integração entre diferentes fluxos de desenvolvimento. Apesar dessas limitações, foi possível concluir todas as etapas previstas de projeto, simulação pós-leiaute e validação da arquitetura proposta. Essas questões foram vencidas com o suporte remoto de colegas do Laboratório de Circuitos Integrados da Universidade Federal de Santa Catarina, da Chipus Microeletrônica, da Universidade Federal do Rio Grande do Sul, da Sociedade Brasileira de Microeletrônica e do suporte da Europractice. No total, foram alguns meses de debates enquanto o projeto era implementado.

Essas dificuldades fizeram com que parte dos estudos sobre as topologias que seriam utilizadas no chip fossem realizadas em simuladores de distribuição gratuita e com parâmetros tecnológicos de tecnologias descontinuadas. Isso reduziu o tempo com o uso do PDK que seria utilizado para o projeto final, atrasando, por conseguinte, a finalização do projeto físico para fabricação. Ainda assim, os resultados desses estudos foram publicados em Silva e Bertemes-Filho (2024b) (apresentado na íntegra no Apêndice A) e em Silva e Filho (2025).

O estudo da técnica de espectroscopia de impedância elétrica foi, de certa forma, desafiador pois foi realizado dentro do escopo do projeto EGlucó (2024). Nessa etapa, o processo de análise do hardware da versão 2.0 do dispositivo e uma proposta de redução de volume resultou em um projeto de uma fonte de corrente Howland melhorada e um amplificador de instrumentação que formaram a versão 3.0. Alguns resultados dessa etapa são apresentados em (SILVA; BERTEMES-FILHO, 2024a).

Durante os estudos do projeto *eGlucó*[®] e do desenvolvimento do chip aqui apresentado, houve o depósito de duas patentes cujas primeiras folhas podem ser observadas nos apêndices B e C respectivamente. Embora essas contribuições não constituam resultados diretamente relacionados ao circuito integrado apresentado nesta tese, elas possuem relação indireta com as atividades de pesquisa e desenvolvimento realizadas durante o doutorado. A patente (BERTEMES-FILHO; SILVA; MARCÔNDES, 2025a), apresentada no apêndice B versa sobre o SoC em que este trabalho (chip) está inserido para aplicações em dispositivos vestíveis e portáteis. Já a segunda patente (BERTEMES-FILHO; SILVA; MARCÔNDES, 2025b) se refere ao trabalho desenvolvido no projeto *eGlucó*[®]. Em que o circuito analógico projetado em Silva e Bertemes-Filho (2024a) está inserido.

6.2 PROPOSIÇÃO DE TRABALHOS FUTUROS

Todos os resultados aqui apresentados e as publicações realizadas ao longo do período do doutorado demonstram a inovação agregada ao projeto e demonstram a capacidade deste estar inserido em aplicações inventivas e inovadoras na área de espectroscopia de impedância elétrica. Para trabalhos futuros, pode-se considerar que a topologia da fonte de corrente ganharia em vantagens sendo escalada para uma tecnologia mais avançada ou até mesmo, na mesma tecnologia utilizada para este trabalho utilizando os transistores de 1,2 V. Já para os amplificadores de instrumentação, além da mudança nos transistores poderia ser considerada uma topologia de amplificador com estágio de saída classe AB. Isso poderia aumentar o PGB do amplificador reduzindo o consumo de corrente quiescente, além de proporcionar uma maior capacidade de carga na saída sem prejuízo ao desempenho do amplificador. Uma topologia de amplificador diferencial com realimentação resistiva externa com resistores da ordem dos mega Ohms poderia ser uma opção.

Uma linha de investigação envolve a aplicação de técnicas de filtragem analógica ou digital para redução dos efeitos de *ringing* observados em determinadas condições de operação.

Um outro avanço seria o projeto de um conversor analógico para digital no mesmo chip. Isso tornaria o chip bem mais completo para se tornar um *front-end* para ser utilizado em diversas aplicações de baixa tensão de alimentação e baixo consumo de potência.

REFERÊNCIAS

- ABDOLRAZZAGHI, Mohammad et al. Noninvasive glucose sensing in aqueous solutions using an active split-ring resonator. **IEEE Sensors Journal**, IEEE, v. 21, n. 17, p. 18742–18755, 2021. Citado 3 vezes nas páginas 21, 22 e 42.
- ADLER, Andy; HOLDER, David. **Electrical impedance tomography: methods, history and applications**. [S.l.]: CRC Press, 2021. Citado 7 vezes nas páginas 20, 21, 22, 25, 27, 28 e 44.
- ADORNES, Cristina Missel et al. A cmos instrumentation amplifier designed with open-source tools. In: IEEE. **2025 IEEE 16th Latin America Symposium on Circuits and Systems (LASCAS)**. [S.l.], 2025. v. 1, p. 1–5. Citado na página 64.
- ADORNES, Cristina Missel et al. Bridging the gap between design and simulation of low-voltage cmos circuits. **Journal of Low Power Electronics and Applications**, MDPI, v. 12, n. 2, p. 34, 2022. Citado 3 vezes nas páginas 25, 46 e 49.
- ALEMAYEHU, Birhanu et al. Cloud-connected real-time oil condition monitoring of utility transformers using impedance spectroscopy. **Instrumentation Science & Technology**, v. 49, n. 5, p. 509–520, set. 2021. ISSN 1073-9149. Publisher: Taylor & Francis _eprint: <https://doi.org/10.1080/10739149.2021.1890119>. Disponível em: <<https://doi.org/10.1080/10739149.2021.1890119>>. Citado na página 20.
- ALLEGRI, Daniele et al. Cmos-based multifrequency impedance analyzer for biomedical applications. **IEEE transactions on biomedical circuits and systems**, IEEE, v. 12, n. 6, p. 1301–1312, 2018. Citado 4 vezes nas páginas 43, 99, 100 e 101.
- ALZAHHER, Hussain; ISMAIL, Mohammed. A cmos fully balanced differential difference amplifier and its applications. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, IEEE, v. 48, n. 6, p. 614–620, 2001. Citado na página 64.
- AVOLI, Matteo et al. Low power dda-based instrumentation amplifier for neural recording applications in 65 nm cmos. **AEU-International Journal of Electronics and Communications**, Elsevier, v. 92, p. 30–35, 2018. Citado na página 64.
- BARKER, H.A. et al. PERTURBATION SIGNAL DESIGN. **IFAC Proceedings Volumes**, v. 39, n. 1, p. 1121–1126, 2006. ISSN 14746670. Disponível em: <<https://linkinghub.elsevier.com/retrieve/pii/S1474667015354161>>. Citado 3 vezes nas páginas 30, 31 e 32.
- BARKER, H. A.; GODFREY, K. R. System identification with multi-level periodic perturbation signals. **Control Engineering Practice**, v. 7, n. 6, p. 717–726, jun. 1999. ISSN 0967-0661. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0967066199000337>>. Citado na página 30.
- BERTEMES-FILHO, Pedro. **Tissue Characterisation using an Impedance Spectroscopy Probe**. Tese (Doutorado) — University of Sheffield, 2002. Disponível em: <https://www.academia.edu/6930287/Tissue_Characterisation_using_an_Impedance_Spectroscopy_Probe>. Citado 3 vezes nas páginas 25, 27 e 29.
- BERTEMES-FILHO, Pedro. Designing a current source. In: **Bioimpedance and Spectroscopy**. [S.l.]: Elsevier, 2021. p. 79–98. Citado na página 22.

Pedro Bertemes-Filho, Pablo Dutra da Silva e David William Cordeiro Marcôndes. **BR1020250144417 - Sistema Integrado em Chip para Espectroscopia de Impedância Elétrica**. 2025. Pedido de patente depositado em 12 de julho de 2025. Não publicado até a data da citação. Citado 2 vezes nas páginas 44 e 105.

Pedro Bertemes-Filho, Pablo Dutra da Silva e David William Cordeiro Marcôndes. **BR1020250274132 - Algoritmo para o Cálculo de Glicose Sanguínea por Bioimpedância Elétrica**. 2025. Pedido de patente depositado em 10 de dezembro de 2025. Não publicado até a data da citação. Citado na página 105.

BERTEMES-FILHO, Pedro et al. Low power current sources for bioimpedance measurements: a comparison between howland and ota-based cmos circuits. **Journal of Electrical Bioimpedance**, v. 3, n. 1, p. 66–73, 2012. Citado 2 vezes nas páginas 9 e 39.

CAICEDO-ERASO, Julio César; DÍAZ-ARANGO, Félix Octavio; OSORIO-ALTURO, Andrea. Electrical impedance spectroscopy applied to quality control in the food industry. **Ciencia y Tecnología Agropecuaria**, Corporación Colombiana de Investigación Agropecuaria-Corpoica, v. 21, n. 1, p. 100–119, 2020. Citado na página 20.

CASAÑAS, César William Vera et al. A review of cmos current references. **Journal of Integrated Circuits and Systems**, v. 17, n. 1, p. 1–9, 2022. Citado na página 58.

CHEON, Song-I et al. Impedance-readout integrated circuits for electrical impedance spectroscopy: Methodological review. **IEEE Transactions on Biomedical Circuits and Systems**, IEEE, 2023. Citado 2 vezes nas páginas 38 e 104.

CHEON, Song-I et al. An impedance readout ic with ratio-based measurement techniques for electrical impedance spectroscopy. **Sensors**, MDPI, v. 22, n. 4, p. 1563, 2022. Citado 2 vezes nas páginas 23 e 38.

CHIRIACÒ, Maria Serena et al. Impedance sensing platform for detection of the food pathogen listeria monocytogenes. **Electronics**, v. 7, n. 12, 2018. ISSN 2079-9292. Citado na página 96.

CONSTANTINOU, Loucas; BAYFORD, Richard; DEMOSTHENOUS, Andreas. A wideband low-distortion cmos current driver for tissue impedance analysis. **IEEE Transactions on Circuits and Systems II: Express Briefs**, IEEE, v. 62, n. 2, p. 154–158, 2015. Citado 3 vezes nas páginas 21, 40 e 100.

CORBACHO, Israel et al. Wide-bandwidth electronically programmable cmos instrumentation amplifier for bioimpedance spectroscopy. **IEEE Access**, IEEE, v. 10, p. 95604–95612, 2022. Citado 6 vezes nas páginas 21, 23, 38, 42, 43 e 100.

COUTINHO, RM et al. Metodologia simplificada de extração de parâmetros para o modelo acm do transistor mos. In: **VII workshop de Iberchip-IWS**. [S.l.: s.n.], 2001. Citado na página 46.

CRANDALL, Henry; BURT, A; SANCHEZ, Benjamin. Characterization of the analog device inc (adi) max30009 bioimpedance analog front end chip. In: IEEE. **2022 44th Annual International Conference of the IEEE Engineering in Medicine & Biology Society (EMBC)**. [S.l.], 2022. p. 2502–2505. Citado na página 36.

CRITCHER, Shelby; FREEBORN, Todd J. Localized bioimpedance measurements with the max3000x integrated circuit: Characterization and demonstration. **Sensors**, MDPI, v. 21, n. 9, p. 3013, 2021. Citado na página 36.

DEVICES, Analog. **AD5933 Datasheet**. 2007. Disponível em: <<https://www.analog.com/media/en/technical-documentation/data-sheets/ad5933.pdf>>. Citado na página 34.

DEVICES, Analog. **MAX30009 Datasheet and Product Info | Analog Devices**. 2022. Disponível em: <<https://www.analog.com/en/products/max30009.html#part-details>>. Citado 2 vezes nas páginas 35 e 36.

DEVICES, Analog. **AD5940 Datasheet and Product Info | Analog Devices**. 2024. Disponível em: <<https://www.analog.com/media/en/technical-documentation/data-sheets/ad5940-5941.pdf>>. Citado 2 vezes nas páginas 34 e 35.

DOUSSAN, Allaire; HALTER, Ryan. Stability study of a broadband current source for electrical impedance tomography. **International Journal of Circuit Theory and Applications**, Wiley Online Library, 2026. Citado 2 vezes nas páginas 21 e 96.

EGLUCO. 2024. Disponível em: <<https://egluco.bio.br/>>. Citado 3 vezes nas páginas 20, 21 e 105.

FENG, C. Research and characteristic analysis of mosfet short channel effect based on simulation. **Applied and Computational Engineering**, v. 147, p. 245–53, 2025. Citado 2 vezes nas páginas 47 e 50.

FOODS, Certified quality. **Web site of Certified quality foods company**. 2023. Disponível em: <<https://www.certifiedqualityfoods.com/>>. Citado na página 20.

GODFREY, KR; BARKER, HA; TUCKER, AJ. Comparison of perturbation signals for linear system identification in the frequency domain. **IEEE Proceedings-Control Theory and Applications**, IET, v. 146, n. 6, p. 535–548, 1999. Citado na página 30.

GODFREY, K.R. et al. A survey of readily accessible perturbation signals for system identification in the frequency domain. **Control Engineering Practice**, v. 13, n. 11, p. 1391–1402, nov. 2005. ISSN 09670661. Disponível em: <<https://linkinghub.elsevier.com/retrieve/pii/S0967066105000080>>. Citado 2 vezes nas páginas 30 e 31.

GRIMNES, Sverre; MARTINSEN, Ørjan G. **Bioimpedance and Bioelectricity Basics**. 2nd. ed. [S.l.]: Academic Press, 2008. Citado 2 vezes nas páginas 26 e 27.

GUPTE, Bhagyashree et al. Lab on chip for medical and clinical applications. **Sensors & Diagnostics**, v. 4, p. 939–965, 2025. Citado na página 20.

HANS, V. Basil. How microfluidics are used in modern science: Lab-on-a-chip. **International Journal of Advance in Molecular Engineering**, v. 03, p. 35–48, 2025. Citado 3 vezes nas páginas 20, 21 e 27.

HESHAM, Rana; SOLTAN, Ahmed; MADIAN, Ahmed. Energy harvesting schemes for wearable devices. **AEU-International Journal of Electronics and Communications**, Elsevier, v. 138, p. 153888, 2021. Citado 2 vezes nas páginas 21 e 42.

HINA, Aminah; SAADEH, Wala. A 186 μ w photoplethysmography-based noninvasive glucose sensing soc. **IEEE Sensors Journal**, IEEE, v. 22, n. 14, p. 14185–14195, 2022. Citado 2 vezes nas páginas 21 e 22.

HINA, Aminah; SAADEH, Wala. Noninvasive blood glucose monitoring systems using near-infrared technology—a review. **Sensors**, MDPI, v. 22, n. 13, p. 4855, 2022. Citado 2 vezes nas páginas 21 e 42.

HUANG, Jiajie et al. A shifting current mirror driver circuit for electrical impedance tomography applications. **IEEE Transactions on Circuits and Systems II: Express Briefs**, IEEE, v. 70, n. 10, p. 3832–3836, 2023. Citado 5 vezes nas páginas 20, 23, 38, 40 e 41.

HUNG, Chung-Chih et al. Low-voltage rail-to-rail cmos differential difference amplifier. In: IEEE. **1997 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.], 1997. v. 1, p. 145–148. Citado na página 64.

IBBA, Pietro et al. Design and Validation of a Portable AD5933–Based Impedance Analyzer for Smart Agriculture. **IEEE Access**, v. 9, p. 63656–63675, 2021. ISSN 2169-3536. Conference Name: IEEE Access. Disponível em: <<https://ieeexplore.ieee.org/abstract/document/9408574>>. Citado 3 vezes nas páginas 9, 34 e 35.

JIANG, Guozheng et al. Design and implementation of an electrical impedance tomography system based on AD5940. In: **Third International Conference on Electronic Information Engineering, Big Data, and Computer Technology (EIBDCT 2024)**. SPIE, 2024. v. 13181, p. 1547–1552. Disponível em: <<https://www.spiedigitallibrary.org/conference-proceedings-of-spie/13181/1318167/Design-and-implementation-of-an-electrical-impedance-tomography-system-based/10.1117/12.3031393.full>>. Citado na página 35.

KANOON, Olfa. Impedance spectroscopy advances and future trends: A comprehensive review. **Impedance Spectroscopy**, p. 1–22, 2018. Citado na página 20.

KHAN, Muhammad Rizwan; QAISER, Rameesha; SAADEH, Wala. A 380- μ w electrochemical impedance measurement system for protein sensing. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, IEEE, v. 30, n. 12, p. 1916–1927, 2022. Citado 8 vezes nas páginas 23, 38, 39, 40, 41, 99, 100 e 101.

KHARZI, Wissem; MEZIANE, Nacera; KEDIR-TALHA, Malika-Djahida. A Low Cost Bioimpedance Measurement System Based on AD5933 Chip. In: **2023 International Conference on Decision Aid Sciences and Applications (DASA)**. [s.n.], 2023. p. 198–202. Disponível em: <<https://ieeexplore.ieee.org/abstract/document/10286766>>. Citado na página 34.

KHARZI, Wissem; MEZIANE, Nacera; KEDIR-TALHA, Malika-Djahida. Towards the Exploration of dry Electrodes Performance in Bioimpedance Measurements based on The AD5933 Chip. In: **2023 2nd International Conference on Electronics, Energy and Measurement (IC2EM)**. [S.l.: s.n.], 2023. v. 1, p. 1–7. Citado na página 34.

KIM, Kwantae; KIM, Sangyeob; YOO, Hoi-Jun. Design of sub-10- μ w sub-0.1% thd sinusoidal current generator ic for bio-impedance sensing. **IEEE Journal of Solid-State Circuits**, IEEE, v. 57, n. 2, p. 586–595, 2021. Citado 3 vezes nas páginas 99, 100 e 101.

KOLLAR, Istvan. **Frequency Domain System identification Toolbox for MATLAB**. 2019. Disponível em: <<https://home.mit.bme.hu/~kollarzs/fdident/>>. Citado na página 53.

LAMBE, Michael. **AN-1563: Optimizing the AD5940 for Electrochemical Measurements**. 2019. Disponível em: <<https://www.analog.com/en/resources/app-notes/an-1563.html>>. Citado na página 34.

LAND, Raul; ANNUS, Paul; MIN, Mart. Time-frequency impedance spectroscopy: excitation considerations. In: **Proceedings of the IMEKO TC4 International Symposium on Novelties in Electrical Measurements and Instrumentations**. [S.l.: s.n.], 2007. p. 1–4. Citado 2 vezes nas páginas 30 e 31.

LAZANAS, Alexandros; SIMÓN, Beatriz Prieto. A guide to recognizing your electrochemical impedance spectra: Revisions of theandles circuit in (bio)sensing. **Sensors**, v. 25, n. 19, 2025. ISSN 1424-8220. Citado na página 96.

LI, Jiayang et al. An 89.3% current efficiency, sub 0.1% thd current driver for electrical impedance tomography. **IEEE Transactions on Circuits and Systems II: Express Briefs**, IEEE, v. 70, n. 10, p. 3742–3746, 2023. Citado na página 100.

LI, Jiayang et al. A 30-mhz wideband 92.7-db snr 99.6**IEEE Journal of Solid-State Circuits**, p. 1–13, 2025. Citado na página 23.

LI, Zhe; WANG, Qiang. Machine learning-assisted electrical impedance spectroscopy for biosensing. **Biosensors**, v. 12, n. 9, p. 712, 2022. Citado na página 20.

LIMA, Jader A De. A compact low-distortion low-power instrumentation amplifier. In: **Proceedings of the 22nd Annual Symposium on Integrated Circuits and System Design: Chip on the Dunes**. [S.l.: s.n.], 2009. p. 1–7. Citado na página 64.

LIU, Yuchi et al. Piezoelectric energy harvesting for self-powered wearable upper limb applications. **Nano Select**, Wiley Online Library, v. 2, n. 8, p. 1459–1479, 2021. Citado na página 42.

LU, Shao-Yung et al. A Review of CMOS Electrochemical Readout Interface Designs for Biomedical Assays. **IEEE Sensors Journal**, v. 21, n. 11, p. 12469–12483, jun. 2021. ISSN 1558-1748. Conference Name: IEEE Sensors Journal. Disponível em: <<https://ieeexplore.ieee.org/abstract/document/9344806>>. Citado 2 vezes nas páginas 28 e 42.

MACHADO, MB et al. Mosfet threshold voltage: definition, extraction, and applications. **Proceedings of Nanotech**, v. 2, p. 710–713, 2011. Citado na página 46.

MARCÔNDES, David William Cordeiro; BERTEMES-FILHO, Pedro; PATERNO, Aleksander Sade. Current oscillator based on pyragas model for electrical bioimpedance applications. **Electronics**, MDPI, v. 11, n. 17, p. 2653, 2022. Citado 2 vezes nas páginas 22 e 38.

MATHEWS, R Joseph; JOVANO, Emil. Enabling complex impedance spectroscopy for cardio-respiratory monitoring with wearable biosensors: A case study. **Electrochem**, MDPI, v. 4, n. 3, p. 389–410, 2023. Citado na página 36.

MIAO, Fen et al. Wearable sensing, big data technology for cardiovascular healthcare: current status and future prospective. **Chinese Medical Journal**, LWW, v. 136, n. 9, p. 1015–1025, 2023. Citado 2 vezes nas páginas 38 e 41.

- MIN, Mart et al. Broadband spectroscopy of dynamic impedances with short chirp pulses. **Physiological measurement**, IOP Publishing, v. 32, n. 7, p. 945, 2011. Citado 2 vezes nas páginas 22 e 30.
- MIN, M et al. Broadband excitation for short-time impedance spectroscopy. **Physiological measurement**, IOP Publishing, v. 29, n. 6, p. S185, 2008. Citado na página 30.
- MIZUNO, Atsushi; CHANGOLKAR, Sujatha; PATEL, Mitesh S. Wearable devices to monitor and reduce the risk of cardiovascular disease: evidence and opportunities. **Annual review of medicine**, Annual Reviews, v. 72, n. 1, p. 459–471, 2021. Citado 3 vezes nas páginas 38, 41 e 42.
- MOHAMADOU, Youssoufa et al. Performance evaluation of wideband bio-impedance spectroscopy using constant voltage source and constant current source. **Measurement Science and Technology**, v. 23, n. 10, p. 105703, set. 2012. ISSN 0957-0233. Publisher: IOP Publishing. Disponível em: <<https://dx.doi.org/10.1088/0957-0233/23/10/105703>>. Citado na página 29.
- MOHAMADOU, Youssoufa et al. Performance evaluation of wideband bio-impedance spectroscopy using constant voltage source and constant current source. **Measurement Science and Technology**, IOP Publishing, v. 23, n. 10, p. 105703, 2012. Citado na página 38.
- MORCELLES, KF et al. Howland current source for high impedance load applications. **Review of Scientific Instruments**, AIP Publishing, v. 88, n. 11, 2017. Citado 3 vezes nas páginas 22, 38 e 39.
- NETO, Deni Germano Alves et al. Design-oriented single-piece 5-dc-parameter mosfet model. **IEEE Access**, v. 12, p. 87420–87437, 2024. Citado 2 vezes nas páginas 47 e 48.
- OGUEY, H.J.; AEBISCHER, D. CMOS current reference without resistance. **IEEE Journal of Solid-State Circuits**, v. 32, n. 7, p. 1132–1135, jul. 1997. ISSN 1558-173X. Conference Name: IEEE Journal of Solid-State Circuits. Disponível em: <<https://ieeexplore.ieee.org/abstract/document/597305>>. Citado 3 vezes nas páginas 58, 59 e 60.
- OJARAND, Jaan et al. Nonlinear chirp pulse excitation for the fast impedance spectroscopy. **Elektronika ir Elektrotechnika**, v. 100, n. 4, p. 73–76, 2010. Citado 3 vezes nas páginas 20, 21 e 30.
- OJARAND, Jaan; RIST, Marek; MIN, Mart. Comparison of excitation signals and methods for a wideband bioimpedance measurement. In: IEEE. **2016 IEEE International Instrumentation and Measurement Technology Conference Proceedings**. [S.l.], 2016. p. 1–6. Citado 3 vezes nas páginas 20, 21 e 30.
- PALACIO, José Alejandro Amaya; NOIJE, Wilhelmus Adrianus Van. High stability voltage controlled current source for cervical cancer detection using electrical impedance spectroscopy. **Analog Integrated Circuits and Signal Processing**, Springer, v. 89, p. 541–547, 2016. Citado 5 vezes nas páginas 20, 23, 38, 39 e 41.
- PEDRO, BRUNA GABRIELA; BERTEMES-FILHO, Pedro. Blood glucose detection using 3-leds: Analytical model. **Revista Brasileira de Física Médica**, v. 15, p. 613–613, 2021. Citado na página 21.

PEDRO, B. G.; BERTEMES-FILHO, P. Glucose detection of ringer-lactate solution using electrical bioimpedance: preliminary results. **Journal of Physics: Conference Series**, v. 2008, n. 1, p. 012003, ago. 2021. ISSN 1742-6596. Publisher: IOP Publishing. Disponível em: <<https://dx.doi.org/10.1088/1742-6596/2008/1/012003>>. Citado 6 vezes nas páginas 20, 21, 30, 33, 34 e 42.

PEDRO, Bruna Gabriela; MARCÔNDES, David William Cordeiro; BERTEMES-FILHO, Pedro. Analytical model for blood glucose detection using electrical impedance spectroscopy. **Sensors**, MDPI, v. 20, n. 23, p. 6928, 2020. Citado na página 42.

PÉREZ-BAILÓN, Jorge; CALVO, Belén; MEDRANO, Nicolás. Low-power cmos amplifiers for wideband impedance spectroscopy applications. In: IEEE. **2022 37th Conference on Design of Circuits and Integrated Circuits (DCIS)**. [S.l.], 2022. p. 01–06. Citado 2 vezes nas páginas 23 e 38.

PÉREZ-BAILÓN, Jorge et al. Wide-band compact 1.8 v-0.18 μm cmos analog front-end for impedance spectroscopy. **IEEE Transactions on Circuits and Systems II: Express Briefs**, IEEE, v. 69, n. 3, p. 764–768, 2021. Citado 4 vezes nas páginas 23, 38, 41 e 99.

QURESHI, T. R.; CHATWIN, Chris; WANG, Wei. Bio-impedance Excitation System: A Comparison of Voltage Source and Current Source Designs. **APCBEE Procedia**, v. 7, p. 42–47, jan. 2013. ISSN 2212-6708. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S2212670813001127>>. Citado na página 28.

RADIN, Rafael L et al. A simple modeling of the early voltage of mosfets in weak and moderate inversion. In: IEEE. **2008 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.], 2008. p. 1720–1723. Citado na página 46.

RAFIQ, Syed Mansha et al. Lab-on-a-chip device for food quality control and safety. **Food Control**, v. 164, p. 110596, 2024. Citado na página 20.

RAHMAN, Md. Shafiur; ISLAM, Md. Nazrul. Non-invasive glucose monitoring using electrical impedance spectroscopy: A review. **Biomedical Signal Processing and Control**, v. 85, p. 104869, 2023. Citado 2 vezes nas páginas 20 e 21.

RAO, Arun et al. An analog front end asic for cardiac electrical impedance tomography. **IEEE transactions on biomedical circuits and systems**, IEEE, v. 12, n. 4, p. 729–738, 2018. Citado 5 vezes nas páginas 23, 38, 39, 40 e 41.

ROUTIER, L. et al. Portable Multiplexed System-Based AD5933 Impedance Analyzer: Toward Multiselective Gas Recognition. **IEEE Sensors Letters**, v. 8, n. 7, p. 1–4, jul. 2024. ISSN 2475-1472. Conference Name: IEEE Sensors Letters. Citado na página 34.

SACKINGER, Eduard; GUGGENBUHL, Walter. A versatile building block: the cmos differential difference amplifier. **IEEE Journal of Solid-State Circuits**, IEEE, v. 22, n. 2, p. 287–294, 1987. Citado na página 64.

SANAI, Farid et al. Evaluation of a continuous blood glucose monitor: a novel and non-invasive wearable using bioimpedance technology. **Journal of diabetes science and technology**, SAGE Publications Sage CA: Los Angeles, CA, v. 17, n. 2, p. 336–344, 2023. Citado na página 21.

SANAI, Farid et al. Evaluation of a Continuous Blood Glucose Monitor: A Novel and Non-Invasive Wearable Using Bioimpedance Technology. **Journal of Diabetes Science and Technology**, v. 17, n. 2, p. 336–344, mar. 2023. ISSN 1932-2968. Publisher: SAGE Publications Inc. Disponível em: <<https://doi.org/10.1177/19322968211054110>>. Citado na página 42.

SANCHEZ, Benjamin et al. Basics of broadband impedance spectroscopy measurements using periodic excitations. **Measurement Science and Technology**, IOP Publishing, v. 23, n. 10, p. 105501, 2012. Citado 6 vezes nas páginas 22, 29, 30, 31, 32 e 62.

SCHNEIDER, Márcio Cherem; GALUP-MONTORO, Carlos. **CMOS analog design using all-region MOSFET modeling**. [S.l.]: Cambridge University Press, 2010. Citado 8 vezes nas páginas 46, 48, 49, 58, 60, 63, 65 e 66.

SCHRUNDER, Alejandro D Fernandez; RUSU, Ana. A low-distortion current-mode signal generator for wide-range bioimpedance spectroscopy. In: IEEE. **2023 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.], 2023. p. 1–5. Citado na página 22.

SEOANE, Fernando et al. Simple voltage-controlled current source for wideband electrical bioimpedance spectroscopy: circuit dependences and limitations. **Measurement science and technology**, IOP Publishing, v. 22, n. 11, p. 115801, 2011. Citado 3 vezes nas páginas 9, 38 e 39.

SHOKREKHODAEI, Maryamsadat et al. Non-invasive glucose monitoring using optical sensor and machine learning techniques for diabetes applications. **IEEE Access**, IEEE, v. 9, p. 73029–73045, 2021. Citado 2 vezes nas páginas 21 e 42.

SIEBEL, Osmar Franca et al. **Um modelo eficiente do transistor MOS para o projeto de circuitos VLSI**. Tese (Doutorado) — Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós . . . , 2007. Citado 2 vezes nas páginas 46 e 49.

SILVA, PD Da et al. Design-oriented model for nonlinearities in mosfets. In: IEEE. **2008 Joint 6th International IEEE Northeast Workshop on Circuits and Systems and TAISA Conference**. [S.l.], 2008. p. 153–156. Citado na página 46.

SILVA, Pablo Dutra da; BERTEMES-FILHO, Pedro. Prototype analysis of a low-power, small-scale wearable medical device. **Journal of Electrical Bioimpedance**, v. 15, n. 1, 2024. Citado 2 vezes nas páginas 44 e 105.

SILVA, Pablo Dutra da; BERTEMES-FILHO, Pedro. Switched cmos current source compared to enhanced howland circuit for bio-impedance applications. **Journal of Electrical Bioimpedance**, v. 15, n. 1, p. 145–153, 2024. Disponível em: <<https://doi.org/10.2478/joeb-2024-0017>>. Citado 6 vezes nas páginas 22, 44, 61, 62, 79 e 104.

SILVA, Pablo Dutra da; FILHO, Pedro Bertemes. Projeto e simulação de circuitos integrados cmos para espectroscopia de bioimpedância elétrica. **Conexões-Ciência e Tecnologia**, v. 19, p. e025028–e025028, 2025. Citado na página 104.

SILVERIO, ENGR ANGELITO A; SILVERIO, ENGR ANGELINA A. A high output impedance current source for wideband bioimpedance spectroscopy using 0.35 μm tsmc cmos technology. **International Journal of Engineering**, Citeseer, v. 1, n. 2, p. 2305–8269, 2012. Citado 3 vezes nas páginas 22, 23 e 38.

SIMINI, Franco; BERTEMES-FILHO, Pedro. **Bioimpedance in biomedical applications and research**. [S.l.]: Springer, 2018. Citado 3 vezes nas páginas 25, 27 e 29.

SIRTOLI, Vinicius et al. Design and Evaluation of an Electrical Bioimpedance Device Based on DIBS for Myography during Isotonic Exercises. **Journal of Low Power Electronics and Applications**, v. 8, n. 4, p. 50, dez. 2018. ISSN 2079-9268. Number: 4 Publisher: Multidisciplinary Digital Publishing Institute. Disponível em: <<https://www.mdpi.com/2079-9268/8/4/50>>. Citado 3 vezes nas páginas 20, 22 e 52.

SONG, Kiseok et al. An impedance and multi-wavelength near-infrared spectroscopy ic for non-invasive blood glucose estimation. **IEEE Journal of solid-state circuits**, IEEE, v. 50, n. 4, p. 1025–1037, 2015. Citado 3 vezes nas páginas 23, 38 e 40.

STUPIN, Daniil D. et al. **Bio-Impedance Spectroscopy: Basics and Applications**. arXiv, 2020. ArXiv:2005.03275 [physics]. Disponível em: <<http://arxiv.org/abs/2005.03275>>. Citado 4 vezes nas páginas 20, 25, 29 e 30.

SUN, Zongbao et al. Rapid detection of atlantic salmon multi-quality based on impedance properties. **Food Science & Nutrition**, Wiley Online Library, v. 8, n. 2, p. 862–869, 2020. Citado na página 21.

TAKHTI, Mohammad; ODAME, Kofi. A power adaptive, 1.22-pw/hz, 10-mhz read-out front-end for bio-impedance measurement. **IEEE transactions on biomedical circuits and systems**, IEEE, v. 13, n. 4, p. 725–734, 2019. Citado 2 vezes nas páginas 23 e 38.

TAN, Zhisen et al. Development of an AD5933-based impedance calibration and measurement technology using piezoceramic transducers. **Measurement**, v. 210, p. 112527, mar. 2023. ISSN 0263-2241. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S026322412300091X>>. Citado na página 34.

TRAN, Minh; ROINILA, Tomi. Online impedance measurement of lithium-ion battery: Applying broadband injection with specified fourier amplitude spectrum. **IEEE Transactions on Industry Applications**, v. 59, n. 5, p. 6580–6588, 2023. Citado na página 52.

TRAN, Minh; ROINILA, Tomi; MARKKULA, Joni. Realtime internal-impedance measurement of lithium-ion battery using discrete-interval-binary-sequence injection. In: **2022 IEEE Energy Conversion Congress and Exposition (ECCE)**. [S.l.: s.n.], 2022. p. 1–5. Citado na página 52.

TUCKER, Aaron S.; FOX, Robert M.; SADLEIR, Rosalind J. Biocompatible, High Precision, Wideband, Improved Howland Current Source With Lead-Lag Compensation. **IEEE Transactions on Biomedical Circuits and Systems**, v. 7, n. 1, p. 63–70, fev. 2013. ISSN 1940-9990. Conference Name: IEEE Transactions on Biomedical Circuits and Systems. Disponível em: <<https://ieeexplore.ieee.org/document/6221965/>>. Citado na página 28.

VALENTE, Virgilio; DEMOSTHENOUS, Andreas. Wideband fully-programmable dual-mode cmos analogue front-end for electrical impedance spectroscopy. **Sensors**, MDPI, v. 16, n. 8, p. 1159, 2016. Citado 2 vezes nas páginas 23 e 38.

VALENTE, Virgilio; JIANG, Dai; DEMOSTHENOUS, Andreas. Design of a wideband cmos impedance spectroscopy asic analog front-end for multichannel biosensor interfaces. In: **IEEE. 2015 37th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)**. [S.l.], 2015. p. 885–888. Citado 2 vezes nas páginas 38 e 41.

VIJAYAN, Vini et al. Review of wearable devices and data collection considerations for connected health. **Sensors**, MDPI, v. 21, n. 16, p. 5589, 2021. Citado 3 vezes nas páginas 38, 41 e 42.

WANG, Yifan; XU, Lei. Impedance-based lab-on-a-chip devices for pathogen detection. **Biosensors and Bioelectronics**, v. 165, p. 112393, 2020. Citado 2 vezes nas páginas 20 e 27.

WARD, L. C. Bioelectrical impedance analysis: principles and applications. **Clinical Nutrition**, v. 38, n. 2, p. 593–602, 2019. Describes typical excitation currents below 1 mA in clinical bioimpedance systems. Citado na página 27.

XU, Jiawei; HARPE, Pieter; HOOFF, Chris Van. An energy-efficient and reconfigurable sensor ic for bio-impedance spectroscopy and ecg recording. **IEEE Journal on Emerging and Selected Topics in Circuits and Systems**, IEEE, v. 8, n. 3, p. 616–626, 2018. Citado 6 vezes nas páginas 22, 23, 38, 40, 41 e 100.

XU, Jian; YAZICIOGLU, R. F. A cmos impedance spectroscopy system for lab-on-chip applications. **IEEE Transactions on Biomedical Circuits and Systems**, v. 10, n. 3, p. 711–723, 2016. Citado na página 20.

YANG, L. et al. Lab-on-a-chip impedance detection of microbial and cellular activity. In: _____. **Microdevices in Biology and Medicine**. Boston, MA: Artech House, 2009. (Methods in Bioengineering), cap. 9, p. 185–208. Citado 2 vezes nas páginas 20 e 96.

YANG, Yuxiang et al. Design of tri-level excitation signals for broadband bioimpedance spectroscopy. **Physiological measurement**, IOP Publishing, v. 36, n. 9, p. 1995, 2015. Citado 3 vezes nas páginas 20, 22 e 30.

YOO, Pil Joong et al. Wideband bio-impedance spectroscopy using voltage source and tetra-polar electrode configuration. In: IOP PUBLISHING. **Journal of Physics: Conference Series**. [S.l.], 2010. v. 224, n. 1, p. 012160. Citado na página 38.

ZARAFSHANI, Ali et al. Current source enhancements in Electrical Impedance Spectroscopy (EIS) to cancel unwanted capacitive effects. In: **Medical Imaging 2017: Biomedical Applications in Molecular, Structural, and Functional Imaging**. [S.l.]: SPIE, 2017. v. 10137, p. 507–517. Citado 2 vezes nas páginas 22 e 28.

ZHANG, Fu et al. Near-binary multisine design with arbitrary sparse spectrum for fast bis measurement. **IET Science, Measurement & Technology**, Wiley Online Library, v. 12, n. 4, p. 448–455, 2018. Citado 5 vezes nas páginas 20, 21, 29, 30 e 31.

ZHANG, Huaiwei et al. Electrochemical impedance spectroscopy-based biosensors for label-free detection of pathogens. **Biosensors**, v. 15, n. 7, p. 443, 2025. Citado 2 vezes nas páginas 20 e 96.

ZURICH, Instruments. Zurich instruments specifications. **Site**, 2024. Disponível em: <<https://www.zhinst.com/ch/en/products/mfia-impedance-analyzer#specifications>>. Citado na página 29.

**APÊNDICE A – ARTIGO PUBLICADO NO *JOURNAL OF ELECTRICAL
BIOIMPEDANCE***

Switched CMOS current source compared to enhanced Howland circuit for bio-impedance applications

Pablo Dutra da Silva ^{1 2} and Pedro Bertemes Filho ¹

1. Electrical Engineering Department, State University of Santa Catarina, Brazil
2. E-mail any correspondence to: pablo.silva@ifsc.edu.br

Abstract

Bio-impedance Spectroscopy (BIS) is a technique that allows tissue analysis to diagnose a variety of diseases, such as medical imaging, cancer diagnosis, muscle fatigue detection, glucose measurement, and others under research. The development of CMOS integrated circuit front-ends for bio-impedance analysis is required by the increasing use of wearable devices in the healthcare field, as they offer key features for battery-powered wearable devices. These features include high miniaturization, low power consumption, and low voltage power supply. A key circuit in BIS systems is the current source, and one of the most common topology is the Enhanced Howland Current Source (EHCS). EHCS is also used when the current driver is driven by a pseudo-random signal like discrete interval binary sequences (DIBS), which, due to its broadband nature, requires high performance operational amplifiers. These facts lead to the need for a current source more compatible with DIBS signals, ultra-low power supply, standard CMOS integrated circuit, output current amplitude independent of input voltage amplitude, high output impedance, high load capability, high output voltage swing, and the possibility of tetra-polar BIS analysis, that is a pseudo-tetra-polar in the case of EHCS. The objective of this work is to evaluate the performance of the Switching CMOS Current Source (SCMOSCS) over EHCS using a Cole-skin model as a load using SPICE simulations (DC and AC sweeps and transient analysis). The SCMOSCS demonstrated an output impedance of more than $20\text{ M}\Omega$, a $\pm 2.5\text{ V}$ output voltage swing from a $+3.3\text{ V}$ supply, a $275\text{ }\mu\text{A}$ current consumption, and a $10\text{ k}\Omega$ load capacity. These results contrast with the $+1.5\text{ V}$ output voltage swing, the $3\text{ k}\Omega$ load capacity, and the 4.9 mA current of the EHCS case.

Keywords: Bio-impedance Spectroscopy, CMOS Integrated Circuit, Analog Front-end, Current Source

Introduction

Wearables are devices that can measure biological signals and activity patterns found as wristbands, smartwatches, chest straps, shoes, socks, and glasses. Originally designed to monitor activity patterns such as sleep, walking, or running, they are now capable of quantifying a variety of vital signs and are used in healthcare tracking, but not for medical diagnostics. However, recent scientific research has begun to explore the possibility of establishing correlations between activity patterns, which are linked to lifestyle, and certain cardiovascular diseases [1, 2, 3]. Wearable technology has the potential to provide non-invasive, real-time monitoring of patients in their homes or in an ambulatory setting, as well as early detection of health issues, and tracking performance enhancement for athletes [1].

The wearable system must have an ultra-low voltage supply, ultra-low power consumption, small volume, and high precision, as stated in references [1, 2, 3]. The convergence of these characteristics is found in very large-scale integration (VLSI) fabrication technology, such as complementary metal-oxide semiconductor (CMOS), which is a standard technology for fabricating integrated circuits (ICs). Various research works propose different integrated circuit designs for bio-impedance spectroscopy applications [4, 5]. In addition, some solutions on the market can be cited, such as Analog Devices' MAX30009, as an indication of efforts to develop a bio-impedance analyser for wearable devices.

Impedance values are influenced by the frequency at which they are measured and are examined within a specific frequency range. The examination can be carried out either in the time domain or in the frequency domain. In the time domain approach, a pseudo-random binary signal (DIBS) is utilized, which possesses a power spectral density that is uniformly distributed across a

given frequency band. This signal is then applied to the sample, and the resulting measurement is sampled and digitally processed to determine the relationship between impedance and frequency. On the other hand, frequency domain analysis involves applying a sine signal with incremental changes in frequency and recording the corresponding impedance values for each frequency applied [6, 7, 8].

In order to measure impedance, BIS commonly relies on a current source to inject current into a sample and then measures the resulting voltage. Linear circuits, such as operational amplifiers or transconductance amplifiers, are frequently employed to generate current sources. Even when utilizing pulsed signals, such as pseudo-random signals, linear sources are typically preferred for this purpose. Several studies have highlighted the performance and design aspects of current sources in BIS [9, 10, 7, 11, 12, 13, 14, 4, 15, 16, 17].

The objective of this study is to conduct a SPICE simulation to compare the performance of a switching CMOS current source (SCMOSCS), that is a switched circuit, and an EHCS. The SCMOSCS configuration is based on a high-impedance current mirror and an H-bridge that utilizes CMOS inverters, similar to the I-DAC system described in [5]. This proposed design is particularly suitable for integrated circuit design and offers several advantages over the utilization of linear circuits for time-domain BIS. However, the SCMOSCS currently lacks established design equations, which could potentially hinder optimization efforts. Consequently, the development of these equations will be the primary focus of future research endeavors.

This research examines an Enhanced Howland current source specifically created for low voltage power supplies operating within a 100 kHz to 1 MHz DIBS signal band and compares with the SCMOSCS topology. In order to assess the effectiveness of the current sources and confirm the suitability of SCMOSCS for this particular application, various analyses including DC and AC sweeps, transient, and FFT analyses were conducted on the current, voltage, and impedance measurements of a Cole [18] electric model arranged in a tetra-polar BIS arrangement.

Topologies under comparison

The circuit illustrated in Fig. 1 utilizes a PMOS cascode current mirror, which is powered by the VCC voltage, along with a DC programmed current source (I_{ref}). This combination ensures a constant and programmed output current that remains unaffected by the Discrete Interval Binary Sequences (DIBS) signal voltage [7, 12].

The H-bridge, consisting of CMOS inverters, is an essential component of this circuit. Its primary function is to change the mirror's current direction through the load in response to variations in the DIBS signal levels in input. To operate the H-bridge effectively, a complementary switching signal is necessary. Hence, a CMOS inverter

is employed on the right side of the bridge. When the DIBS signal is high, the complementary DIBS signal is low. As a result, transistors M1 and M4 are turned on, allowing the mirror's current to flow from right to left through the load. Conversely, when the signal changes state, transistors M2 and M3 take over the current flow through the load, directing it from left to right. The output voltage is the differential voltage measured in load's terminals. The accuracy of the output current, which is set by I_{ref} , depends on the load impedance and the output impedance of the SCMOSCS, as it does for the EHCS. In addition, unlike the EHCS where the output current depends on the level of the input voltage signal, the output current accuracy of the SCMOSCS is independent of the amplitude, rise time and fall time of the input voltage source (DIBS signal).

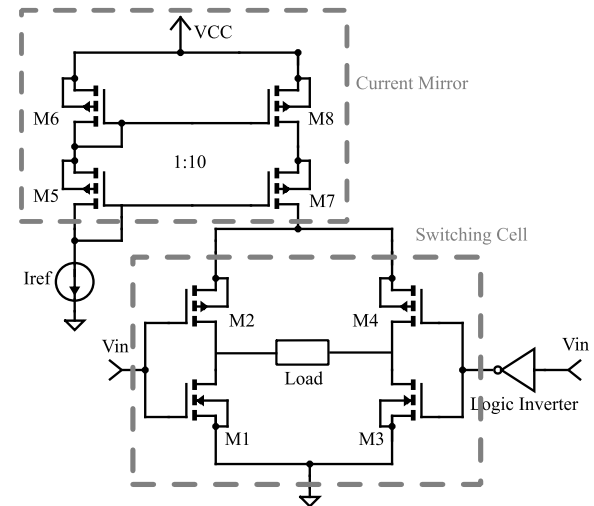


Figure 1: SCMOSCS Schematic Diagram.

The cascode mirror depicted in Fig. 1 was implemented to effectively increase the output impedance of the current source. The reference current (I_{ref}) was adjusted to $25 \mu A$, a value significantly lower than the $250 \mu A$ current that is the same amplitude set in EHCS case. This current gain provided by the mirror, as depicted in Fig. 1, plays a crucial role in reducing the power consumption of the device, making it suitable for battery-operated applications. The output current amplitude of $250 \mu A$ was set for both EHCS and SCMOSCS to facilitate a fair performance evaluation under identical conditions. The sizing of the mirror transistors was determined using the ACM transistor model [19] and technology parameters (180 nm) to ensure operation in the moderate inversion region ($i_f = 33$), where the saturation voltage is approximately 150 mV as calculated by the equation (1) where ϕ_t is the thermal potential. The inversion level of a saturated MOSFET is the relation $i_f = I_D / (I_{SQ} \cdot (W/L))$ where I_{SQ} is a technological parameter called specific current, I_D is the drain current, and (W/L)

is the aspect ratio of the transistors. The drain current and the specific current are used to determine the aspect ratio of transistors M5 to M7 shown in Table 1.

$$V_{DSsat} = \phi_t \cdot (\sqrt{1 + i_f} + 3) \quad (1)$$

This selection criterion enables a wider voltage range in the load (tissue sample for analysis). Special attention was paid to the switching speed and on-state resistance of each transistor in the H-bridge configuration, M1 to M4 in Fig. 1, and one can observe in (2), where $\mu \cdot C'_{ox}$ is the product of the charge mobility and oxide capacitance, the (W/L) is the transistor's aspect ratio, V_{T0} is the threshold voltage and n is the slope factor. All these cited parameters are fabrication technology dependent and the only design dependent is the aspect ratio (W/L) .

$$R_{DS} = \frac{1}{\mu \cdot C'_{ox} \cdot (W/L) \cdot (V_G - V_{T0} - nV_S)} \quad (2)$$

When developing a DIBS signal logic inverter (see Fig. 1), it is essential to take into account the switching speed and signal propagation time that is related with the transistor area of the logic gate. To meet the desired speed requirements, a digital cell designed for the maximum speed (small possible area) of the technology can be utilized [19].

Table 1: Transistor dimensions used in simulation

MOSFET	L (μm)	W (μm)
M1 and M3	1	40
M2 and M4	1	120
M5 and M6	2	48
M7 and M8	2	480

The EHCS can be observed in Fig. 2. This configuration is frequently utilized in time or frequency domain impedance spectroscopy for injecting current into the sample [7, 5, 20, 21, 11]. When resistors are matched, the EHCS is recognized for its high output impedance. As a result, tolerances of less than 0.1% are necessary when employing discrete resistors [22, 23, 24]. The relationship between resistor tolerance and the output of the current source can be investigated by performing a Monte Carlo simulation. In PSPICE simulations, we can use the opamp macromodel supplied by the manufacturer, obtaining an output current variation between 246 to 267 μA for a tolerance of 1%, whereas 249.7 to 250.55 μA for 0.1%.

In both, frequency and time domain spectrographic analysis, the EHCS is appropriate for generating sinusoidal and pseudo-random current signals. It is crucial to carefully assess the gain-bandwidth product and slew rate of the operational amplifier when utilized in time domain BIS. The equations governing the design of the EHCS are detailed in the literature concerning impedance spectroscopy and will not be discussed here. The

output current, see equation (3), is determined by the relationship between the input differential voltage and resistor R1 when $R4 = R5$ and $R3 = R2 + R1$ as illustrated in Fig. 2 [22, 23, 24]. Another aspect is that the input voltage source must be very accurate due to the relationship of the EHCS as a voltage-to-current converter.

$$I_{out} = \frac{V_{in} - V_{ref}}{R1} \quad (3)$$

In both cases, the system should fulfil the following specifications: single power supply of +3.3 V; output current of approximately 250 μA ; an output impedance higher than 10 M Ω ; single input pulsed signal (DIBS) with a maximum amplitude of +3.3 V.

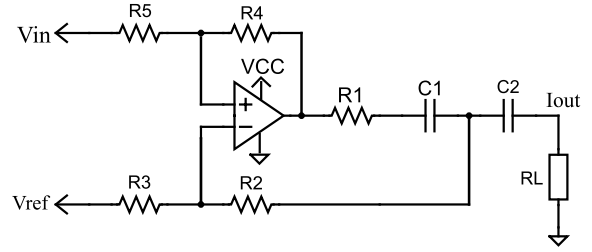


Figure 2: Enhanced Howland Current source Schematic.

The operational amplifier OPA2354 features a gain-bandwidth product of 250 MHz and a slew rate of 150 V/ μs . It can function in a rail-to-rail configuration at the output and necessitates a minimum single supply voltage of 2.5 V. These specifications are ideal for effectively processing DIBS signals with frequencies of up to 1 MHz. Notably, this amplifier consumes a quiescent current of 4.9 mA, which is approximately twenty times the specified output current and it is consumed all the time the circuit is on. The design of the EHCS source's output current considers the voltage levels of the input signal ($V_{in_{high}} = VCC$ and $V_{ref} = VCC/2$) and their relationship to resistor R1, following the equation (3). This calculation yields a resistor value of 6.6 k Ω . The design is finalized with resistors $R4 = R5 = 10 \text{ k}\Omega$, $R2 = 100 \Omega$, and $R3 = 6.7 \text{ k}\Omega$, as well as the incorporation of DC decoupling capacitors $C1 = C2 = 20 \mu\text{F}$.

The tetra-polar arrangement of the electrode for BIS is shown in Fig. 3 and the Cole electrical model for human tissue can be seen in the highlight. In addition, three replicas have been distributed between the electrodes. These replicas take into account an isometric electrical behaviour of the tissue. Electric current is injected into electrode 1 and leaves the load through electrode 2. The voltage is measured between electrodes 3 and 4. The resistors $RS = RP = 1 \text{ k}\Omega$ and a capacitor of 1 nF are also used in this work.

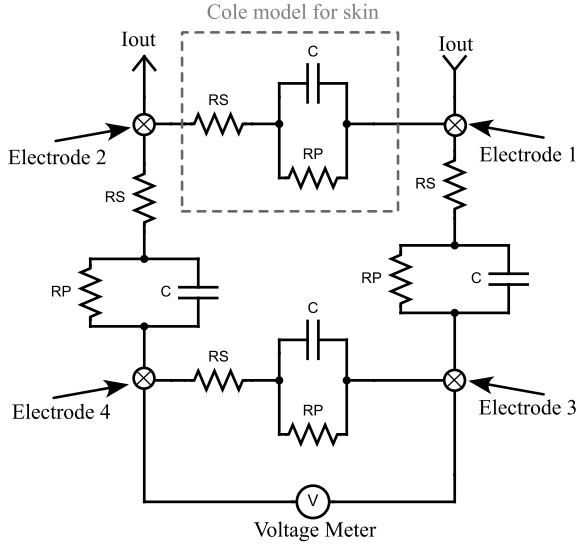


Figure 3: Load arrangement using cole model.

Results and Discussions

The results depicted in Fig. 4, Fig. 5, Fig. 6 and Fig. 7 were obtained by Cadence PSPICE simulation using the opamp macromodel supplied by the manufacturer for the EHCS case. The SCMOSCS was simulated in Cadence Spectre using the UMC 180 nm process design kit. The correlation between the output DC current and output DC voltage sweep is obtained when a voltage source is connected to the load electrodes and its results are illustrated in Fig. 4, Fig. 5, and Fig. 6. The experiment showcases the permissible output voltage swing for both scenarios of current sources. The programmed output current had a relative error to the specification of less than 0.1 % within the output voltage swing in both current sources. Fig. 4 and Fig. 5 distinctly highlights the superiority of the SCMOSCS, which boasts a higher output voltage swing of ± 2.5 V due to the minimal potential to saturate the cascode mirror given by $V_{O_{min}} = V_{G_{M6}} + 2 \cdot V_{DS_{sat}}$. The SCMOSCS features a swing of ± 2.5 V, approximately 3.33 times greater than the EHCS swing of +1.6 V. It is important to mention that the outcomes presented in Fig. 4, Fig. 5 and Fig. 6 are symmetrical in relation to the y-axis only for the SCMOSCS case.

Upon analysing Fig. 6, which displays the DC relationship between output impedance and output voltage, it is evident that the output impedance of SCMOSCS reaches approximately 2 G Ω for V_{out} values less than 300 mV. Probably, it is related to a small region where the H-bridge PMOS transistors are in saturation due to the low voltage in the load terminals. Above the mentioned output voltage, the output impedance is dominated by the mirror, which has a value of more than 20 M Ω and presents a slightly reduction until the output voltage reaches 2.2 V. This reduction is explained by the de-

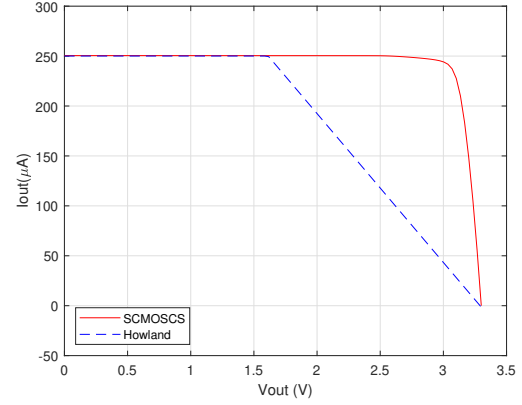


Figure 4: DC analysis results of the Output current versus output voltage.

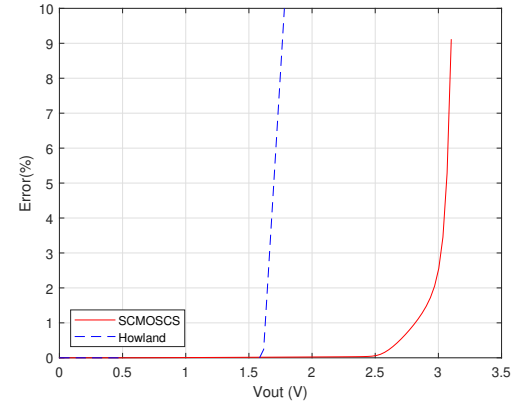


Figure 5: DC analysis results of the output current relative error versus output voltage.

pendence of the early voltage due to channel length modulation second order effect. As the maximum load impedance is much lower than the output impedance, this behaviour does not affect SCMOSCS performance. This value match with the theoretical CC output impedance for this cascode mirror given by $R_{out} = g_{ms}/g_{md}^2$ [19]. The transconductances g_{ms} and g_{md} can be designed with the transistor's dimensions and technological second order parameters as its early voltage [25].

The saturation effect seen in Fig. 6 does not affect the accuracy of the source as can be seen in Fig. 4 and Fig. 5. Although the EHCS has a higher output impedance in a certain DC operating range, this is dependent on the tolerance of the resistor as well as the second-order effects of the opamp. The SCMOSCS has the advantage that the high impedance can be defined by the design and not by resistor tolerance, resulting in a higher output voltage swing than the EHCS. This higher output voltage swing allows a higher load capacity for the SCMOCSC source compared to the EHCS, as shown in Fig. 7 in the DC

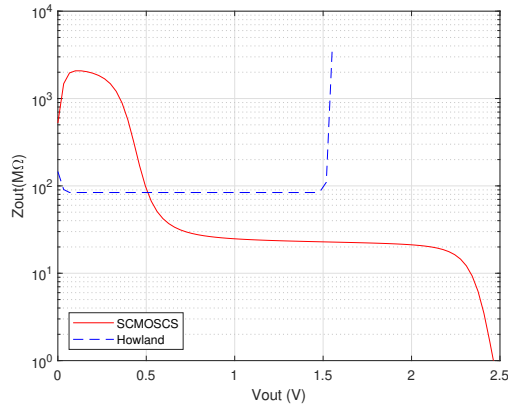


Figure 6: DC analysis results of the output impedance versus output voltage.

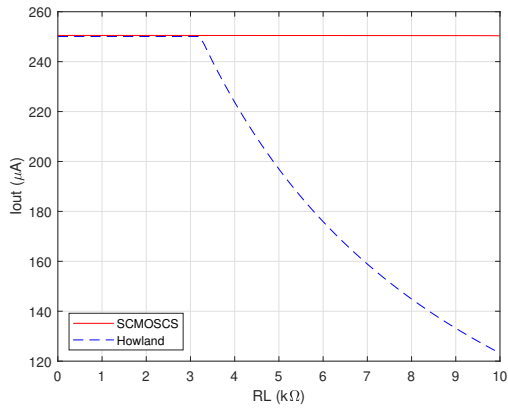


Figure 7: DC analysis results of the output current versus load resistance

RL sweep. All of these DC sweep tests were performed with the circuits set up to provide a DC output current and with a resistive load or voltage source connected as a load.

To assess the sensitivity of the topologies to temperature drift and voltage supply fluctuations, these minimalistic corners simulations are conducted. Table 2 presents the verification of the DC output current results for the specified temperature range of 0 to 100°C and voltage supply range of 1.8 to 3.3 V. It can be observed that there is no significant variation in the temperature and supply voltage range analyzed.

Monte Carlo simulations were carried out to understand the effect of component variability on both the EHCS and the SCMOSCS. In the case of the EHCS, this simulation was already mentioned in the previous section and for the 0.1% tolerance resistors a variation from 249.7 μA to 250.55 μA for the value of the output current levels. For the SCMOSCS, a Monte Carlo simulation of 1000 iterations was performed, taking into

account process and transistor mismatch variations. In this Monte Carlo analysis, a transient simulation was performed where the maximum variance in the output current level was 247.41 μA to 253.26 μA . The difference in signal transition times was also evaluated with a range of approximately 5 ns between the shortest and longest transition time. These results show that the SCMOSCS is as robust as the EHCS in the corners analysed and in the Monte Carlo analysis.

Table 2: CC output current (in μA) considering temperature and voltage supply corners

Topology	Iout ($0 < T < 100^\circ\text{C}$)	Iout ($1.8 < V_{CC} < 3.3\text{V}$)
EHCS	250.118 to 250.121	249.97 to 250.12
SCMOSCS	250.35 to 250.22	247.95 to 250.33

Mismatch and process variations can't significantly affect the accuracy of the current mirror in CMOS integration technology. This performance is due to the use of the same W/L transistors for both arms of the mirror. In this case, the gain is obtained by the number of transistors connected in parallel. The long length of the transistors, which increases their area, contributes to small mismatch deviations [19]. In addition, layout techniques used in the prototypes will maintain accuracy and minimise transistor mismatch [19].

Since the SCMOSCS current source has a good accuracy for reproducing the Iref current, the accuracy of the current source, with respect to the value of the designed output current level, depends on its reference. This should be independent of temperature, supply voltage and process variation. There are many current references in the literature with accuracy varying from 1 to 20% [26]. If the current reference does not achieve the required accuracy, the exactness of the system may be improved by measuring both the injecting current across the load and the load voltage. This arrangement is very common many in electrical bio-impedance spectroscopy systems [27].

The AC analysis results for the output impedance are shown in Fig. 8. This was done using the same circuit setup as for the DC analysis, with the load changed by a signal generator in SPICE and an AC sweep analysis performed. The EHCS shows better performance from DC to high frequency, but the values are only relative to the op amp performance. It is important to note that the resistor tolerances affect the output impedance of the EHCS and degrade it. Due to the dominance of the mirror, the output impedance performance of the SCMOSCS can be designed and optimized by transistor sizing and modeled in simulation. In addition, a set of design equations could be a helpful tool to do this design optimization and it is in development.

Looking at the impedance differences between the two

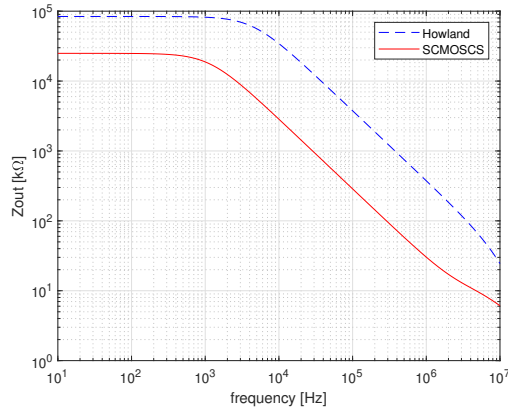


Figure 8: Output impedance versus frequency in AC analysis.

circuits in a frequency range from 0.1 to 1 MHz, the output impedance of the SCMOSCS is 30 kΩ at 1 MHz, whereas 300 kΩ for the EHCS. With this large difference, it was expected that there would be a comparative mismatch in transient analysis, that is shown in Fig. 9, but one can not verify any significant divergence between the curves. Another aspect to consider is the fact that a fair comparison of performance only consider the pseudo-random signals for both circuits, and not just the application of the sinusoidal signal, as the AC sweep analysis assumes.

The Fig. 9 shows the transient analysis for a 0.1 to 1 MHz band DIBS signal comprising 8 discrete frequencies separated by 125 kHz. This signal is pseudo-randomly distributed over a time interval of 16 μs and has a distribution of 32 levels, which can be high or low. Each level, during which the current remains constant at the programmed current, lasts 500 μs. For the tests carried out, the transition time between these levels was 50 ns. To obtain the impedance measured by electrical impedance spectroscopy, a test was carried out by connecting the electrodes 1 and 2, shown in Fig. 3, in the load terminals of both current source and the voltage have been measured in electrodes 3 and 4, presented in Fig. 3.

The current levels that can be verified in Fig. 9 (A) are ±250.49 μA for the SCMOSCS source and ±249 μA for the EHCS. These results show that for the type of signal with pulsed characteristics and for the analysis of a switching circuit, which is the case of the SCMOSCS source, the output impedance analysis in the frequency domain shown in Fig. 8 is not the most appropriate. There should be some difference between the responses within the band tested, because if we also consider the calculation of the error in the output current of a limited impedance current source, a load current of 238 μA can be calculated when the output impedance is 30 kΩ and

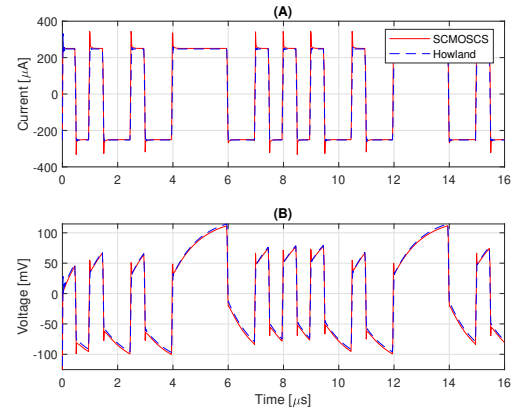


Figure 9: Transient analysis of: (A) output current and (B) output voltage.

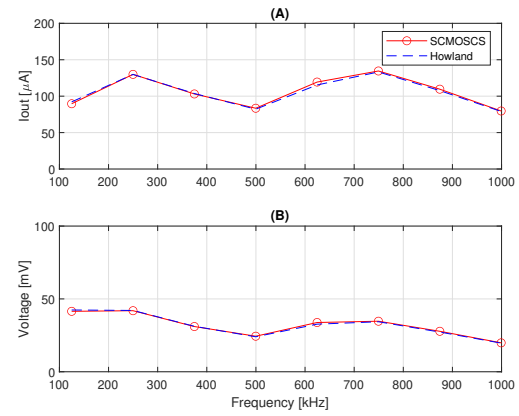


Figure 10: Spectra as function of frequency of: (A) output current and (B) output voltage.

the load is 1.5 kΩ, which is the equivalent impedance of the Cole model at low frequencies between electrodes one and two. The output current should be 243 μA taking into account the 750Ω equivalent impedance of the Cole model at high frequencies. Taking into account the theoretical value of the source of 250 μA, with an output impedance of 300 kΩ and a load of 1.5 kΩ, the current would be 248.75 μA in the case of EHCS. The equivalence between the two sources in terms of output impedance error can be seen in Fig. 9 (A) and Fig. 10 (A), where the spectrum is very close over the whole frequency band, despite the difference in output impedance in the AC analysis of Fig. 8. The spectrum (FFT) signal processing was done in Matlab and the DIBS' frequencies are marked with a circle in Fig. 10 and Fig. 11. As mentioned above, one can not verify any significant difference between the circuits tested concluding that both circuits are equivalent to make the BIS analysis and the SCMOSCS presents advantages in power consumption (the OPA2354 uses 4.9 mA to bias, while the SCMOSCS uses 250 μA, 19.6

times more), VLSI design suitable and is suitable to higher frequency bandwidths.

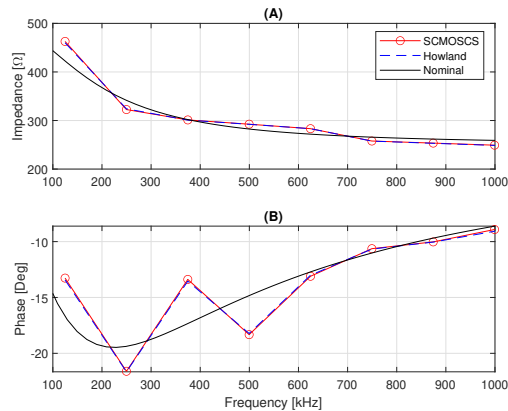


Figure 11: Impedance spectra as a function of frequency.

The effect of the load's capacitive parcel can be observed in Fig. 9 (B) and in its FFT in Fig. 10 (B). Specifically in the spectrum, it is possible to verify two things, the equivalence of both current sources for the job to process the BIS analysis and the reduction in harmonic voltage strength with the frequency's increment. This last effect is compatible with the capacitive part of Cole's electrical model.

The higher ringing in Fig. 9 (A) and Fig. 9 (B) for SCMOSCS is due to its complex conjugated poles. The poles for SCMOSCS could be real or complex conjugated. Their values depend on the transistor dimensions and load. However, Fig. 10 (A) and Fig. 10 (B) shows that ringing does not cause an error in spectrum analysis. In addition, time domain BIS analysis is performed in a well-defined bandwidth, so the effect of these transitions is unlikely to affect the result.

Fig. 11 shows the results of the spectral analysis of the load impedance. The analysis shows that both sources produce results in line with the expected value (Nominal). However, the SCMOSCS has some advantages over the EHCS source when dealing with pseudo-random signals. Looking at Fig. 11 (A) it can be seen that the measured impedance is around 500 Ω at low frequencies and tends towards 250 Ω at high frequencies. These are the correct values, given that the current that causes the impedance between electrodes 3 and 4 is three times lower than the output current of the source, and that the impedance was calculated using the voltage between electrodes 3 and 4 and the output current of the sources. It is important to note that the frequencies to be considered in order to interpret Fig. 11 (A) and (B) are those corresponding to the peaks of the current or voltage spectrum shown in Fig. 10 and are marked by circles. In addition, the error about 3 degrees in load's phase in comparison with the nominal value observed in Fig. 11 (B) is equal for both

sources analysed.

Conclusions

The Switching CMOS Current Source (SCMOSCS) is considered to be a superior alternative to the Enhanced Howland Current Source (EHCS) in time domain impedance spectroscopy for VLSI design. This is due to its numerous advantages that are particularly beneficial for battery-powered devices such as wearable devices. These advantages include low power consumption, low supply voltage, high output dynamic range, high output current accuracy, and high output impedance.

In addition to these features, the SCMOSCS also offers superior current precision, which eliminates the need for load current measurement hardware typically used in impedance spectroscopy. This makes it an excellent choice for wearable devices. Furthermore, when it comes to tetra-polar electrode impedance spectroscopy, the SCMOSCS represents a significant advancement over the pseudo-tetra-polar electrodes commonly used with the EHCS. The SCMOSCS is capable of effectively operating with tetra-polar electrodes, which are known for their accuracy in complex impedance measurements. This highlights the suitability of the SCMOSCS for more precise and reliable measurements in various applications, including medical diagnostics and material characterization.

However, it is worth noting that there is currently a lack of available design equations for the SCMOSCS in the existing literature. This presents an opportunity for future research to develop these equations. By doing so, not only would the design process be streamlined, but the scalability and applicability of the SCMOSCS in CMOS front-end designs for impedance spectroscopy would also be enhanced.

Acknowledgment

This study was financed in part by the Coordenação de Aperfeiçoamento de Pessoal de Nivel Superior – Brasil (CAPES) – Finance Code 001. The authors would like to thank the Santa Catarina State Research and the Innovation Support Foundation (FAPESC) under the grant number 2021TR002264 and Brazilian Society of Microelectronics (SBmicro).

References

1. Vijayan V, Connolly JP, Condell J, McKelvey N and Gardiner P. Review of wearable devices and data collection considerations for connected health. *Sensors* 2021; vol. 21. Publisher: MDPI
2. Mizuno A, Changolkar S and Patel MS. Wearable devices to monitor and reduce the risk of cardiovascular disease: evidence and opportunities. *Annual review of medicine* 2021; vol. 72. Publisher: Annual Reviews:459–71

3. Miao F, Wu D, Liu Z, Zhang R, Tang M and Li Y. Wearable sensing, big data technology for cardiovascular healthcare: current status and future prospective. *Chinese Medical Journal* 2023; vol. 136. Publisher: Chinese Medical Journals Publishing House Co., Ltd. 42 Dongxi Xidajie:1015–25
4. Silverio EAA. A high output impedance current source for wideband bioimpedance spectroscopy using 0.35 μ M TSMC CMOS technology. en. *International Journal of Engineering and Applied Sciences* 2012; vol. 1
5. Xu J, Harpe P and Van Hoof C. An Energy-Efficient and Reconfigurable Sensor IC for Bio-Impedance Spectroscopy and ECG Recording. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems* 2018 Sep; 8. Conference Name: IEEE Journal on Emerging and Selected Topics in Circuits and Systems:616–26. DOI: 10.1109/JETCAS.2018.2834140
6. Stupin DD, Kuzina EA, Abelit AA, Emelyanov AK, Nikolaev DM, Ryazantsev MN, Koniakhin SV and Dubina MV. Bioimpedance Spectroscopy: Basics and Applications. *ACS Biomaterials Science & Engineering* 2021 Jun; vol. 7. Publisher: American Chemical Society:1962–86. DOI: 10.1021/acsbiomaterials.0c01570
7. Sirtoli V, Morcelles K, Gomez J and Bertemes-Filho P. Design and Evaluation of an Electrical Bioimpedance Device Based on DIBS for Myography during Isotonic Exercises. en. *Journal of Low Power Electronics and Applications* 2018 Dec; 8. Number: 4 Publisher: Multidisciplinary Digital Publishing Institute:50. DOI: 10.3390/jlpea8040050
8. Bertemes-Filho P, Vincence VC, Santos MM and Zanatta IX. Low power current sources for bioimpedance measurements: a comparison between Howland and OTA-based CMOS circuits. en. *Journal of Electrical Bioimpedance* 2011 Dec; vol. 3:66–73. DOI: 10.5617/jeb.380
9. Bendre V and Kureshi A. Performance analysis of operational transconductance amplifier at 180nm technology. *2016 Second International Innovative Applications of Computational Intelligence on Power, Energy and Controls with their Impact on Humanity (CIPECH)*. 2016 Nov :271–6. DOI: 10.1109/CIPECH.2016.7918781
10. Bertemes-Filho P. Designing a current source. *Bioimpedance and Spectroscopy*. Ed. by Annus P and Min M. Academic Press, 2021 Jan :79–98. DOI: 10.1016/B978-0-12-818614-5.00003-5
11. Marcondes DWC, Bertemes-Filho P and Paterno AS. Current Oscillator Based on Pyragas Model for Electrical Bioimpedance Applications. en. *Electronics* 2022 Jan; vol. 11. Number: 17 Publisher: Multidisciplinary Digital Publishing Institute. DOI: 10.3390/electronics11172653
12. Yang Y, Kang M, Lu Y, Wang J, Yue J and Gao Z. Design of a wideband excitation source for fast bioimpedance spectroscopy. en. *Measurement Science and Technology* 2010 Nov; vol. 22. Publisher: IOP Publishing. DOI: 10.1088/0957-0233/22/1/013001
13. Morcelles KF, Sirtoli VG, Bertemes-Filho P and Vincence VC. Howland current source for high impedance load applications. en. *Review of Scientific Instruments* 2017 Nov; vol. 88. DOI: 10.1063/1.5005330
14. Fernández Schrunder A and Rusu A. A Low-Distortion Current-Mode Signal Generator for Wide-Range Bioimpedance Spectroscopy. eng. *Proceedings of 56th IEEE International Symposium on Circuits and Systems (ISCAS)*. IEEE, 2023
15. Stornelli V, Ferri G, Pantoli L, Barile G and Pennisi S. A rail-to-rail constant-g m CCII for Instrumentation Amplifier applications. en. *AEU - International Journal of Electronics and Communications* 2018 Jul; 91:103–9. DOI: 10.1016/j.aeue.2018.04.029
16. Tanguay LF, Sawan M and Savaria Y. A very-high output impedance current mirror for very-low voltage biomedical analog circuits. *APCCAS 2008 - 2008 IEEE Asia Pacific Conference on Circuits and Systems*. 2008. DOI: 10.1109/APCCAS.2008.4746105
17. Zarafshani A, Bach T, Chatwin C, Xiang L and Zheng B. Current source enhancements in Electrical Impedance Spectroscopy (EIS) to cancel unwanted capacitive effects. *Medical Imaging 2017: Biomedical Applications in Molecular, Structural, and Functional Imaging*. Vol. 10137. SPIE, 2017 Mar :507–17. DOI: 10.1117/12.2254629
18. Roy A, Bhattacharjee S, Podder S, Ghosh A, Roy A, Bhattacharjee S, Podder S and Ghosh A. Measurement of bioimpedance and application of Cole model to study the effect of moisturizing cream on human skin. en. *AIMS Biophysics* 2020; vol. 7:362–79. DOI: 10.3934/biophy.2020025
19. Schneider MC and Galup-Montoro C. CMOS analog design using all-region MOSFET modeling. Cambridge University Press, 2010
20. Pliquett U, Schönfeldt M, Barthel A, Frense D, Nacke T and Beckmann D. Front end with offset-free symmetrical current source optimized for time domain impedance spectroscopy. en. *Physiological Measurement* 2011 Jun. DOI: 10.1088/0967-3334/32/7/S15
21. Tucker AS, Fox RM and Sadleir RJ. Biocompatible, High Precision, Wideband, Improved Howland Current Source With Lead-Lag Compensation. *IEEE Transactions on Biomedical Circuits and Systems* 2013 Feb; vol. 7:63–70. DOI: 10.1109/TBCAS.2012.2199114
22. Bertemes-Filho P. Tissue Characterisation using an Impedance Spectroscopy Probe. en. PhD thesis. University of Sheffield, 2002
23. Bertemes-Filho P, Felipe A and Vincence VC. High Accurate Howland Current Source: Output Constraints Analysis. en. *Circuits and Systems* 2013; vol. 4:451–8. DOI: 10.4236/cs.2013.47059
24. A Comprehensive Study of the Howland Current Pump. Texas Instruments. Available from: <https://www.ti.com/lit/an/snoa474a/snoa474a.pdf>

25. Radin RL, Moreira GL, Galup-Montoro C and Schneider MC. A simple modeling of the early voltage of MOSFETs in weak and moderate inversion. *2008 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2008. DOI: 10.1109/ISCAS.2008.4541769
26. Casañas CWV, Castro THPd, Souza GAFd, Moreno RL and Colombo DM. A Review of CMOS Current
- References. en. *Journal of Integrated Circuits and Systems* 2022 Apr; vol. 17:1–9. DOI: 10.29292/jics.v17i1.592
27. Kusche R, Oltmann A and Rostalski P. A Wearable Dual-Channel Bioimpedance Spectrometer for Real-Time Muscle Contraction Detection. en. *IEEE Sensors Journal* 2024. DOI: 10.1109/JSEN.2024.3359284

**APÊNDICE B – RECIBO DE DEPÓSITO DE PATENTE RELACIONADO AO
PROJETO DO SOC PARA DISPOSITIVOS VESTÍVEIS E PORTÁTEIS**

Pedido nacional de Invenção, Modelo de Utilidade, Certificado de Adição de Invenção e entrada na fase nacional do PCT

Número do Processo: BR 10 2025 014441 7

Dados do Depositante (71)

Depositante 1 de 1

Nome ou Razão Social: FUNDAÇÃO UNIVERSIDADE DO ESTADO DE SC UDESC

Tipo de Pessoa: Pessoa Jurídica

CPF/CNPJ: 83891283000136

Nacionalidade: Brasileira

Qualificação Jurídica: Órgão Público

Endereço: Avenida Madre Benvenuta, 2007 - Santa Mônica

Cidade: Florianópolis

Estado: SC

CEP: 88035-001

País: Brasil

Telefone: (48)36648085

Fax:

Email: cipi.reitoria@udesc.br

Dados do Pedido

Natureza Patente: 10 - Patente de Invenção (PI)

Título da Invenção ou Modelo de Utilidade (54): SISTEMA INTEGRADO EM CHIP PARA ESPECTROSCOPIA DE IMPEDÂNCIA ELÉTRICA

Resumo: A presente invenção trata de um sistema integrado em chip para medição de bioimpedância elétrica com flexibilidade de aplicações. Essa flexibilidade é conferida por uma programação que compreende mais de um tipo de sinal de excitação de banda larga para análises de espectroscopia em tempo real, e a varredura de frequência de sinais de banda estreita. Apenas com uma mudança na programação do microcontrolador, por meio da programação de amplitude de corrente de excitação e ganhos dos amplificadores de instrumentação, a invenção torna a faixa de medição de bioimpedância elétrica mais eficiente.

Figura a publicar: 1

Dados do Procurador

Procurador:

Nome ou Razão Social: Fabricio Vilela Coelho

Numero OAB: [REDACTED]

Numero API: 1814

CPF/CNPJ: [REDACTED]

Endereço: [REDACTED]

Cidade: São Paulo

Estado: SP

CEP: [REDACTED]

Telefone: [REDACTED]

Fax: [REDACTED]

Email: montaury@montaury.com.br

Escritório:

Nome ou Razão Social: VILELA COELHO SOCIEDADE DE ADVOGADOS

CPF/CNPJ: [REDACTED]

Dados do Inventor (72)

Inventor 1 de 3

Nome: PEDRO BERTEMES FILHO

CPF: [REDACTED]

Nacionalidade: Brasileira

Qualificação Física: Outras ocupações não especificadas anteriormente

Endereço: Avenida Madre Benvenuta, 2007 - Santa Mônica

Cidade: Florianópolis

Estado: SC

CEP: 88035-001

País: BRASIL

Telefone:

Fax:

Email:

Inventor 2 de 3

Nome: PABLO DUTRA DA SILVA

CPF: [REDACTED]

Nacionalidade: Brasileira

Qualificação Física: Outras ocupações não especificadas anteriormente

Endereço: Avenida Madre Benvenuta, 2007 - Santa Mônica

Cidade: Florianópolis

Estado: SC

CEP: 88035-001

País: BRASIL

Telefone:

Fax:

Email:

Inventor 3 de 3

Nome: DAVID WILLIAM CORDEIRO MARCONDES

CPF: [REDACTED]

Nacionalidade: Brasileira

Qualificação Física: Outras ocupações não especificadas anteriormente

Endereço: Avenida Madre Benvenuta, 2007 - Santa Mônica

Cidade: Florianópolis

Estado: SC

CEP: 88035-001

País: BRASIL

Telefone:

Fax:

Email:

Documentos anexados

Tipo Anexo	Nome
Comprovante de pagamento de GRU 200	DOC GRU 1501 - Depósito - Sistema integrado impedência.pdf
Relatório Descritivo	DOC Relatório - Sistema integrado em chip.pdf
Reivindicação	DOC Reivindicações - Sistema integrado em chip.pdf
Resumo	DOC Resumo - Sistema integrado em chip.pdf
Desenho	DOC Desenhos - Sistema integrado em chip.pdf
Procuração	Procuração - Udesc.pdf

**APÊNDICE C – OUTROS ARTIGOS PUBLICADOS DURANTE OS TRABALHOS
DE DOUTORADO**

PROJETO E SIMULAÇÃO DE CIRCUITOS INTEGRADOS CMOS PARA ESPECTROSCOPIA DE BIOIMPEDÂNCIA ELÉTRICA

¹PABLO DUTRA DA SILVA, ²PEDRO BERTEMES FILHO

¹Instituto Federal de Santa Catarina (IFSC),

²Universidade do Estado de Santa Catarina (UDESC)

<pablo.silva@ifsc.edu.br>, <pedro.bertemes@udesc.br>

DOI: 10.21439/conexoes.v19.3469

Resumo. Este trabalho faz parte do projeto EGlucio do grupo PETBIO da Universidade do Estado de Santa Catarina. O objetivo é desenvolver um dispositivo vestível que faça a medição, principalmente, de glicemia de forma não invasiva utilizando diferentes tipos de sensores. Com base na literatura sobre dispositivos vestíveis e nos resultados do protótipo atual do projeto EGlucio, percebe-se que a tecnologia de circuitos integrados é a mais indicada para uma efetiva miniaturização e redução de consumo de energia. Neste contexto, é proposto neste trabalho uma análise de viabilidade do uso de um simulador de distribuição gratuita que apresente, além do simulador *SPICE*, uma ferramenta de captura de esquemático e uma ferramenta de apresentação de resultados gráficos. Foi desenvolvido um macromodelo *SPICE* dos transistores da tecnologia de fabricação 0,18 μm para o simulador de distribuição gratuita TINA-TI. O modelo foi testado realizando testes de extração de parâmetros para o modelo ACM do transistor MOSFET, tanto para os amplificadores fonte comum como para o amplificador de transcondutância. O macromodelo e o simulador indicaram resultados confiáveis com erro máximo de aproximadamente 11% nos valores simulados em comparação com a especificação do circuito arbitrada para os amplificadores fonte comum. Já para o amplificador de transcondutância o erro máximo apresentado foi de aproximadamente 16%, para o caso do *slew rate*. Apesar destas discrepâncias em relação às especificações originais, o OTA apresenta desempenho compatível com a aplicação a que se pretende.

Palavras-chave: circuitos integrados CMOS; amplificador OTA; dispositivo vestível; espectroscopia de bioimpedância elétrica.

CMOS INTEGRATED CIRCUIT DESIGN AND SIMULATION FOR ELECTRICAL BIOIMPEDANCE SPECTROSCOPY

Abstract. The aim of the EGlucio Project, developed in the PETBIO group at the State University of Santa Catarina, is to develop a wearable device, with multiple sensors, to measure glucose in a non-invasive way. An analysis of the literature about wearables for glucose measurement, their use in health care, and the actual stage of development of EGlucio hardware concluded that using integrated circuit design is imperative to achieve miniaturization and power consumption of a typical wearable. To initiate explorations in CMOS circuit design, for the EGlucio project, a viability analysis of the use of a free distribution SPICE simulator which comprehends schematic capture, SPICE simulator, and results viewer was proposed for this work. For this analysis, two SPICE transistors macro models of the 0,18 μm fabrication technology were developed for a free distribution simulator (TINA-TI). These macro models were tested through extraction by simulation of technological physical parameters for the analytical MOSFET model Advanced Compact Model (ACM). After that, the macro models were used in common-source amplifiers design using ACM. And finally, a differential transconductance amplifier that will be applied in a current source for impedance spectroscopy analysis hardware. Both the simulator and the macro model were reliable presenting a maximum error of 11% for the performance parameters of the common source amplifier compared with the specifications set for design. In the case of the transconductance amplifier, the maximum error of the performance parameter concerning the specifications was 16% for the *slew rate*. Despite some errors in relation to the original specifications, the OTA presents compatible performance with the target application.

Keywords: CMOS integrated circuit; operational transconductance amplifier (OTA); wearable device. electrical bioimpedance spectroscopy.

Prototype analysis of a low-power, small-scale wearable medical device

Pablo Dutra da Silva^{1 2} and Pedro Bertemes Filho¹

1. Electrical Engineering Department, State University of Santa Catarina, Brazil

2. E-mail any correspondence to: pablo.silva@ifsc.edu.br

Abstract

Wearable and portable devices are gaining significant popularity across consumer electronics as well as in medical and industrial fields. To ensure that these devices are both comfortable and appealing to users, they need to have low battery consumption and be compact in both size and weight. The EGlucose project is focused on developing a wearable device for non-invasive blood glucose monitoring. This multi-sensor device incorporates electrical bioimpedance spectroscopy as one of its measurement techniques. One of the earlier versions of the device was deemed unsuitable as a wearable due to its large size and high power consumption. To make the device more suitable for wearability, the previous hardware was assessed, and a new design was proposed that simplified the system's power supply and reduced the operating voltage. This article presents two of these designs: an improved Howland current source with a supply voltage of 3.3 V, an output current of 250 μ A, and the ability to conduct bioimpedance analysis up to 1 MHz using pulsed DIBS (Discrete Interval Binary Sequence) signals, and an instrumentation amplifier with the same supply voltage as the current source, a voltage gain of four, and a slew rate of 150 V/ μ s. By simplifying the power supply and implementing other changes, the device's size was reduced to a single 5 × 5 cm circuit board, compared to the previous configuration of four separate boards connected by cables.

Keywords: Wearable, glucose noninvasive measuring, enhanced Howland current source, low voltage power supply, instrumentation amplifier

Introduction

The wearable device is rapidly becoming a crucial tool in health monitoring, medical diagnostics, and self-quantification, especially for athletes and health enthusiasts. This type of device refers to anything worn by an individual that has the capability to measure biological signals and activity patterns. Typically designed as wristbands, smartwatches, chest straps, shoes, socks, or glasses, wearables have transitioned from primarily track-

ing activities such as sleep, walking, and running to functioning as medical instruments capable of measuring various vital signs. Early versions of wearable devices were not suitable for medical diagnostics; however, recent scientific research has begun exploring their potential to detect correlations between activity patterns—linked to lifestyle—and specific cardiovascular diseases. The goal for wearable technology is to provide non-invasive, real-time monitoring for patients at home or in ambulatory settings, offer early alerts or diagnoses for healthy individuals, and enhance performance for athletes [1, 2].

Recent technological advancements have expanded the capabilities of wearables by incorporating additional sensors that measure biological signals such as heart rate, blood oxygen levels, electrocardiograms, and skin temperature. Some of these devices are commercially available, including those from companies like Apple, Samsung, Xiaomi, Fitbit, and Garmin, while others are still in the research and development phase [1, 2]. A significant area of research involves utilizing these commercial wearable models for diagnosing cardiovascular problems [1, 2]. However, for biological parameters like glucose, there is no non-invasive commercial solution that matches the performance of the gold standard, which is an invasive electrochemical method [3, 4, 5]. This gap in technology supports the ongoing scientific efforts to develop non-invasive glucose measurement systems [3, 4, 5, 6]. The minimally invasive CGM (Continuous Glucose Monitor) from Abbott Labs (FreeStyle Libre) has improved diabetes management but differs from wearables in its function, as it lacks the multi-functional capabilities of a wearable device. Furthermore, CGM requires frequent electrode replacements, making it costly for patients, unlike non-invasive electrodes, which do not require such replacements.

Diabetes Mellitus is a chronic condition characterized by inadequate insulin production or absorption, a hormone responsible for regulating blood glucose by breaking down



Low Power and Miniaturized Wearable Medical Device: Prototype Study

Pablo Dutra da Silva¹(✉) and Pedro Bertemes-Filho²

¹ Federal Institute of Santa Catarina, Florianópolis, Brazil
pablo.silva@ifsc.edu.br

² Santa Catarina State University, Florianópolis, Brazil

Abstract. Wearable or portable devices are becoming increasingly popular in consumer electronics as well as medical and industrial applications. In order for these devices to be comfortable and desirable to wear, they must have low battery consumption and be small in volume and weight. The EGlucio project is developing a wearable device for non-invasive blood glucose monitoring. It is a multi-sensor device that uses electrical bioimpedance spectroscopy as one of its measurement strategies. One of the versions of the device had characteristics that made it inappropriate as a wearable device, such as large volume and high power consumption. In order to bring this device closer to the characteristics of a wearable device, the previous hardware was analyzed and a new one was proposed, simplifying the power supply of the system and also reducing the supply voltage. One of these projects is presented in this article. It is an enhanced Howland current source that has a supply voltage of 3.3 V, an output current level of 250 μ A, and can perform bioimpedance analysis up to 1 MHz of pulsed DIBS-type (Discrete Interval Binary Sequency) signals. By simplifying the power supply system and other measures, the volume of the device has been reduced, resulting in a single 5 $\times$ 5 cm circuit board instead of the previous 4 circuit boards connected by cables.

Keywords: wearable · glucose noninvasive measuring · enhanced Howland current source · low voltage power supply

1 Introduction

The newest ally for health monitoring, medical diagnostics, and self-quantifying for athletes and enthusiasts is called the wearable device. It could mean anything worn by anybody with biological signals and activity patterns measurement capability. Usually encountered as wristbands, smartwatches, chest straps, shoes, socks, and glasses, they are converting their primary use of monitoring activity patterns like sleep, walking, or running to a medical instrument capable of a variety of vital signs quantification. The first wearables developed were not adequate for medical diagnostics. Despite this, current scientific research

**APÊNDICE D – CERTIFICADO DE PREMIÇÃO DE MELHOR ARTIGO DO
CLABIO 2024**



Best Paper Award

This certificate is presented to

Pablo Dutra da Silva and Pedro Bertemes-Filho
(Santa Catarina State University, Joinville, Brazil)

In recognition of their paper

“Low power and miniaturized wearable medical device: prototype study”

selected for the Clabio 2024 Best Paper Award

CLABIO 2024 General chairs




Prof. Dr. Pedro Bertemes-Filho

Prof. Dr. Raimundo Nonato Gonçalves Robert



UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
BIBLIOTECA UNIVERSITÁRIA
REPOSITÓRIO INSTITUCIONAL

CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT

ATESTADO DE VERSÃO FINAL

Eu, Pedro Bertemes Filho, professor do curso de Doutorado em Engenharia Elétrica, declaro que esta é a versão final aprovada pela comissão julgadora da tese intitulada: **“Circuito Integrado CMOS de Banda Larga para Espectroscopia da Impedância Elétrica em Tempo Real”** de autoria do(a) acadêmico Pablo Dutra da Silva.

Joinville, 19 de agosto de 2026.

Assinatura digital do orientador:

Pedro Bertemes Filho