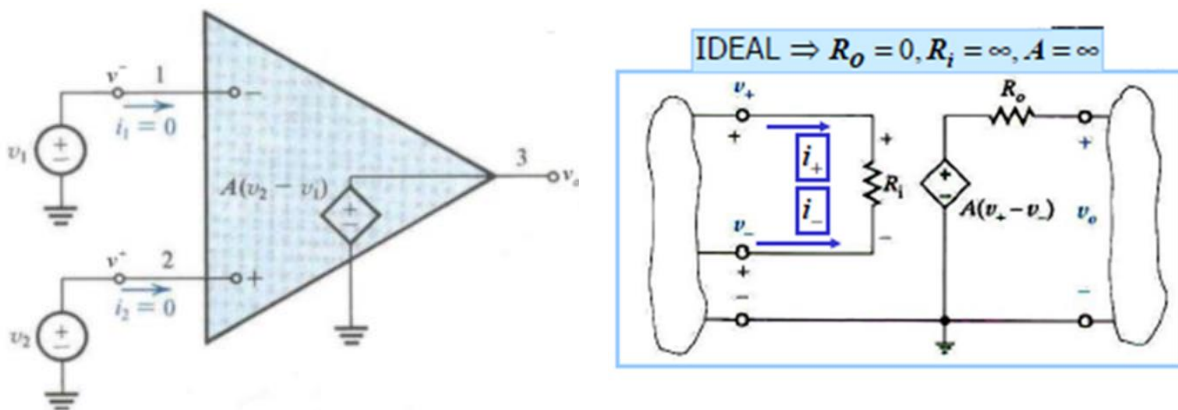


Questão 1: O “curto virtual” é obtido em circuito utilizando-se o amplificador operacional, em quais situações? Exemplifique ilustrando o equacionamento.

R) O “curto virtual” é obtido entre as duas entradas do amplificador operacional considerando características ideais, tais como, impedância de entrada e ganho de tensão tendendo ao infinito. Ou seja, o amplificador considerado ideal e o circuito (operando como amplificador) tenha realimentação negativa.

As figuras abaixo ilustram o modelo ideal do amplificador operacional considerado:



De forma que:

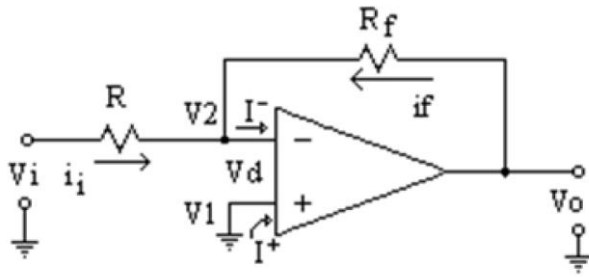
$$R_o = 0 \rightarrow V_o = A(v_2 - v_1) \Rightarrow \text{Impedância de saída nula}$$

$$R_i = \infty \rightarrow i_1 = i_2 = 0 \Rightarrow \text{Impedância de entrada infinita (circuito aberto)}$$

$$A = \infty \rightarrow \frac{V_o}{A} = 0 \rightarrow v_2 = v_1 \text{ (terra virtual)} \Rightarrow \text{Operação como amplificador realimentação negativa}$$

Exemplo de amplificador inversor ideal:

Realimentação negativa em V_2 , $V_1 = 0$, V_2 (terra virtual) e entre V_1 e V_2 curto circuito virtual.



$$i_1 = -i_f \Rightarrow \begin{cases} i_1 = \frac{V_i}{R} \\ i_f = \frac{V_0}{R_f} \end{cases}$$

$$\frac{V_0}{V_i} = -\frac{R_f}{R} \Rightarrow A_{MF} = -\frac{R_f}{R}$$

Ementa: Aplicação do Amplificador Operacional não Ideal. Bibliografia: constante em todos os livros citados na bibliografia do edital do PS 05/2022. Elaborado pelos membros da banca.

Membros da Banca:

Avaliador 1: Pedro Bertemes Filho

Avaliador 2: Celso José F. de Araújo

Presidente da Banca: Raimundo NG Robert

PROCESSO SELETIVO – 05/2022

Área de Conhecimento: Eletrônica Analógica

PROVA ESCRITA – PADRÃO DE RESPOSTA

QUESTÃO 2: Projetar um circuito usando amplificador(es) operacional(is) e diodo(s), ambos ideais, para desenvolver a função de transferência ilustrada na Figura 1. Justifique todos os componentes do circuito, as equações utilizadas e a função de transferência final do circuito projetado.

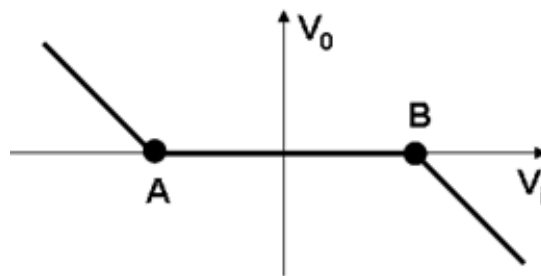
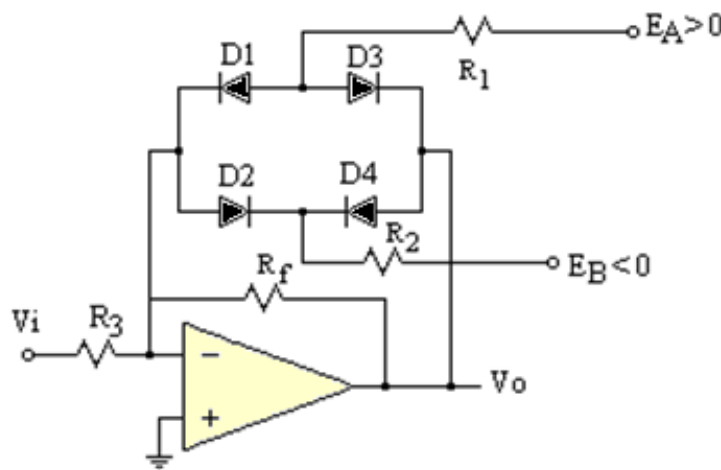


Figura 1 – Característica de transferência para questão 2

Ementa: Diodos de junção PN e Amplificadores operacionais, aplicações não lineares. Bibliografia: Todos os livros constantes do edital PS05/2022. Elaborado pelos membros da banca.

R) Trata-se de uma característica de transferência de um amplificador limitador, que pode ser obtida com o uso de amplificador operacional e diodos. A Figura abaixo, ilustra o comumente denominado operador zona morta, que implementa a característica da Figura 2.



Proposta – Amplificador Zona Morta

Amplificador Zona Morta, que com o sinal indicado para as tensão E_A e E_B apresenta a “zona morta”, com R_1 e R_2 os resistores para limitar corrente nos diodos.

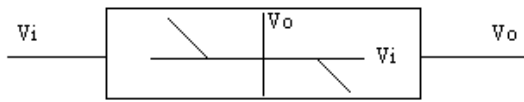


Diagrama em bloco do amplificador Zona Morta

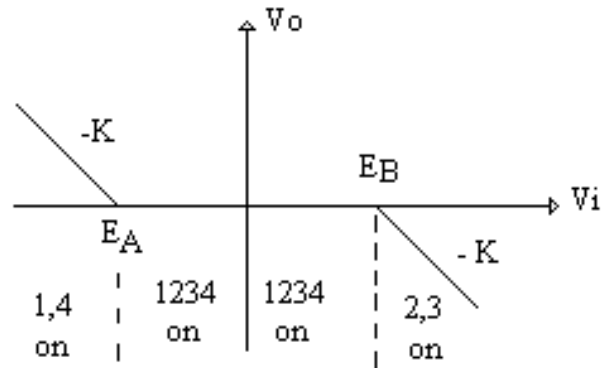


Diagrama de funcionamento dos diodos Semicondutores considerados ideais, onde K é o ganho linear após a zona morta dada Quando todos os diodos estão conduzindo

A inclinação, ganho de tensão, é obtida por $K = \frac{R_f}{R_3}$ e como ilustrado na figura, apresenta inclinação negative, entrada inversora do amplificador operacional.

Quando todos os diodos estão conduzindo (considerando ideal) a saída do AmpOP torna-se zero (terra virtual), uma vez que $V_0 = V^- = V^+ = 0$.

- 1) $E_A < V_i < 0$ ou $0 < V_i < E_B$ (como indicado na figura), todos os diodos conduzem, fazendo com que $V_0 = V^- = V^+ = 0$.
- 2) Para $V_i < 0$ e $V_i < E_A \rightarrow V_0 > 0 \Rightarrow D1$ conduz através de R_1 e $D4$ conduz através de R_2 , abrindo a malha de diodos de forma que $\frac{V_0}{V_i} = -\frac{R_f}{R_3}$.
- 3) Para $V_i > 0$ e $V_i > E_B \rightarrow V_0 < 0 \Rightarrow D2$ conduz através de R_2 e $D3$ conduz através de R_1 , abrindo a malha de diodos de forma que $\frac{V_0}{V_i} = -\frac{R_f}{R_3}$.

Membros da Banca:

Avaliador 1: Pedro Bertemes Filho

Avaliador 2: Celso José F. de Araújo

Presidente da Banca: Raimundo NG Robert

PROCESSO SELETIVO – 05/2022

Área de Conhecimento: Eletrônica Analógica

PROVA ESCRITA – PADRÃO DE RESPOSTA

Questão 3: Para o pré-amplificador da Figura 2, determinar:

- a) O equacionamento da análise DC (características dos transistores para $Q_1 \equiv Q_2$), ilustrando os pontos na reta de carga, bem como o ponto quiescente (ponto de operação dos transistores) de forma literal, ou seja, em função de V_{CC} e dos outros componentes (resistores) do circuito da Figura 3;

R) A análise DC pode ser analisada separadamente uma vez que o acoplamento entre os estágios é capacitivo, ou seja, análise DC de um estágio não interfere no outro. Capacitor em DC é modelado como um circuito aberto, desconectando os estágios e o gerador de sinal para a análise DC.

Como os estágios são idênticos, a análise do primeiro estágio é a mesma do segundo estágio, onde os estágios são determinados pelos transistores Q_1 e Q_2 .

1º Estágio – polarização da base do transistor Q_1 por divisão de tensão, desprezando a corrente de fuga I_{CB0} , com $\beta \geq 100$ desprezando a influência de $I_B \Rightarrow I_E = I_C + I_B \cong I_C$.

$$\text{Assim: } V_{B1} = \frac{R_{B12}}{R_{B11} + R_{B12}} V_{CC} \rightarrow V_{E1} = V_{B1} - V_{BE1} \rightarrow I_{E1} = \frac{V_{B1} - V_{BE1}}{R_{E1}} \cong I_{C1}$$

$$\text{Malha de saída: } V_{CC} = I_{C1} R_{C1} + V_{CE1} + I_{E1} R_{E1} = I_{C1} (R_{C1} + R_{E1}) + V_{CE1}$$

$$\text{Reta de carga, emissor comum: } \begin{cases} I_{C1} = 0 \rightarrow V_{CE1} = V_{CC} \\ V_{CE1} = 0 \rightarrow I_{C1} = \frac{V_{CC}}{(R_{C1} + R_{E1})} \end{cases}$$

$$\text{Ponto de operação: } \begin{cases} I_{CQ1} = \frac{V_{CC}}{2(R_{C1} + R_{E1})} \rightarrow I_{BQ1} = \frac{V_{CC}}{2\beta(R_{C1} + R_{E1})} \\ V_{CEQ1} = \frac{V_{CC}}{2} \rightarrow I_{C1} = \frac{V_{CC}}{2(R_{C1} + R_{E1})} \end{cases}$$

2º Estágio – idêntico ao primeiro estágio, apenas trocando o índice 1 para 2 nas equações acima.

A Figura 3 ilustra a reta de carga para cada estágio (estágios idênticos, mesma reta de carga), onde:

$$V_{CEQ1} = V_{CEQ2} = V_{CE}, I_{CQ1} = I_{CQ2} = I_C \text{ e } I_{BQ1} = I_{BQ2} = I_B.$$

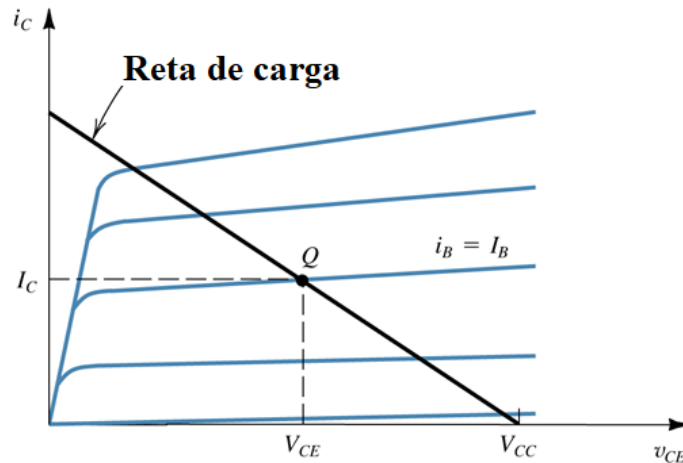


Figura 3 – Reta de carga de cada estágio da questão 3, item a.

- b) Análise AC, obtendo o ganho de tensão e os valores dos capacitores descritos na Figura 2 para a faixa de operação (banda passante), indicando de forma literal a equação da frequência de corte inferior e superior do pré-amplificador;

R) Para baixas frequência o modelo incremental AC do transistor (amplificador) não leva em consideração a influência da capacitância de entrada, C_π , pois esse elemento só influi em frequências altas (para frequência de corte superior).

O valor de $R_{B1} = R_{B2} = R_{B11} // R_{B21} = R_{B12} // R_{B22}$ é designado para a associação em paralelo, após a substituição dos transistores pelo modelo AC para ambos os estágios.

Para evitar quaisquer influência por parte de $R_{E1} - C_{E1}$ e $R_{E2} - C_{E2}$ estima-se que a frequência de corte inferior desses elementos seja menor que a frequência de corte inferior de cada estágio (que pode ser considerada igual), por exemplo, quatro vezes menor.

Análise do amplificador em média frequência.

A Figura 4 ilustra o modelo incremental em frequência média, faixa de frequência em que os capacitores não influenciam no cálculo do ganho de tensão.

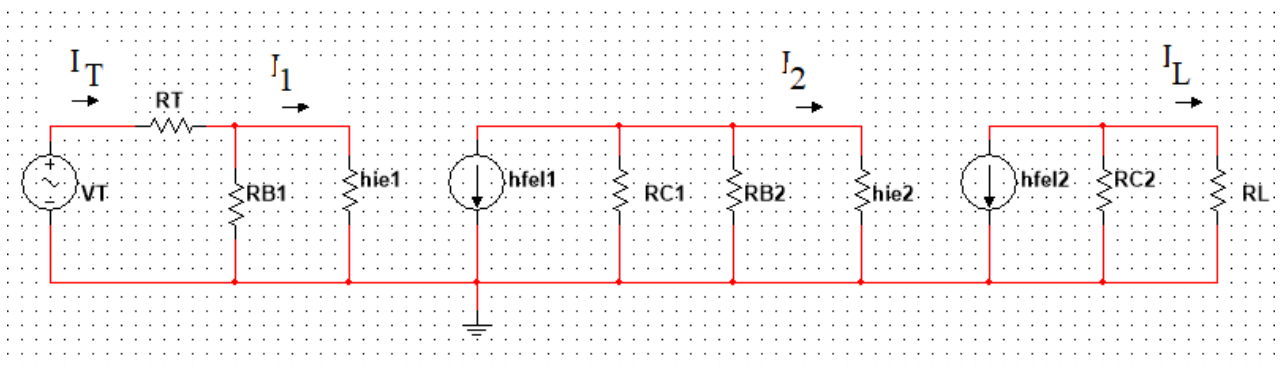


Figura 4 – modelo incremental, média frequência, questão 3, item (b)

$$\text{Im ped\^ancia de entrada: } \begin{cases} Z_{i1} = R_{B1} // h_{ie1} = \frac{R_{B1} h_{ie1}}{R_{B1} + h_{ie1}} \\ Z_{i2} = R_{B2} // h_{ie2} = \frac{R_{B2} h_{ie2}}{R_{B2} + h_{ie2}} \end{cases} \Rightarrow Z_{i1} = Z_{i2}$$

$$\text{Im ped\^ancia de sa\^ida: } \begin{cases} Z_{o1} = R_{C1} \\ Z_{o2} = R_{C2} \end{cases} \Rightarrow Z_{o1} = Z_{o2} \quad \text{Cargas: } \begin{cases} 1^{\circ} \text{ est\^agio} \rightarrow Z_{L1} = R_{C1} // Z_{i2} \\ 2^{\circ} \text{ est\^agio} \rightarrow Z_{L2} = R_{C2} // R_L \end{cases}$$

$$\text{Ganho de tens\~ao } 1^{\circ} \text{ est\^agio: } A_{v1} = -\frac{h_{fe1} \times Z_{L1}}{h_{ie1}} \left(\frac{Z_{i1}}{R_T + Z_{i1}} \right)$$

$$\text{Ganho de tens\~ao } 2^{\circ} \text{ est\^agio: } A_{v2} = -\frac{h_{fe1} \times Z_{L2}}{h_{ie1}}$$

$$\text{Ganho de tens\~ao total: } A_v = A_{v1} \times A_{v2} = -\frac{h_{fe1} \times Z_{L1}}{h_{ie1}} \left(\frac{Z_{i1}}{R_T + Z_{i1}} \right) \left(-\frac{h_{fe1} \times Z_{L2}}{h_{ie1}} \right)$$

$$A_v = A_{v1} \times A_{v2} = \frac{h_{fe1} \times h_{fe1} \times Z_{L1} \times Z_{L2}}{h_{ie1} \times h_{ie1}} \left(\frac{Z_{i1}}{R_T + Z_{i1}} \right) = \frac{v_o}{v_i}$$

Divisor de tens\~ao
devido a fonte
de sinal

Como j\^a mencionado, para se obter as express\~oes para $R_{E1}-C_{E1}$ e $R_{E2}-C_{E2}$ estima-se que a frequ\^encia de corte inferior \^e no m\^inimo 4 vezes maior que a frequ\^encia considerada no emissor de cada est\^agio (capacitor de desvio no emissor). Para os est\^agios iguais, tem-se:

$$\text{Capacitor de emissor, ambos est\^agios: } C_{E(1,2)} = \frac{1}{2\pi f_{e1} R_{E(1,2)}}, \text{ sendo que, } f_{e1} \ll f_i.$$

Para se obter a frequ\^encia de corte inferior, conseq\~uentemente a express\~ao para os capacitores, \^e necess\~ario associar a imped\^ancia "vista" dos terminais dos capacitores em quest\~ao. No amplificador da quest\~ao 3 tem-se 3 capacitores, C_I , C_C e C_o . Assim sendo, temos o seguinte,

$$\text{Capacitor } C_I \Rightarrow Z_I = Z_{i1} + R_T \rightarrow C_I = \frac{1}{2\pi \times f_{i1} \times Z_I}$$

$$\text{Capacitor } C_C \Rightarrow Z_C = R_{C1} + Z_{i2} \rightarrow C_C = \frac{1}{2\pi \times f_{i2} \times Z_C}$$

$$\text{Capacitor } C_o \Rightarrow Z_o = R_{C2} + R_L \rightarrow C_o = \frac{1}{2\pi \times f_{i3} \times Z_o}$$

Para o c\~alculo dos capacitores, podemos estimar que as frequ\^encias resultantes sejam iguais, de forma que, em fun\~cao do valor de projeto (frequ\^encia de corte inferior desejada) pode se obter os valores dos capacitores. Ou, o inverso tamb\^em \^e poss\~ivel, escolhendo capacitores iguais para determinada frequ\^encia. Nesses casos:

Frequências iguais: $\frac{f_i}{f_{io}} = \sqrt{2^n - 1}$, sendo $n = 3$.

Frequências diferentes (caso): $f_{io} = 1,1 \times \sqrt{f_{i1}^2 + f_{i2}^2 + f_{i3}^2 + \dots}$

Para a análise da frequência de corte superior é necessário levar em consideração o modelo incremental com a influência da capacitância de entrada de cada estágio. A Figura 5 ilustra o modelo com a capacitância na entrada, onde os efeitos estão considerados (efeito Miller).

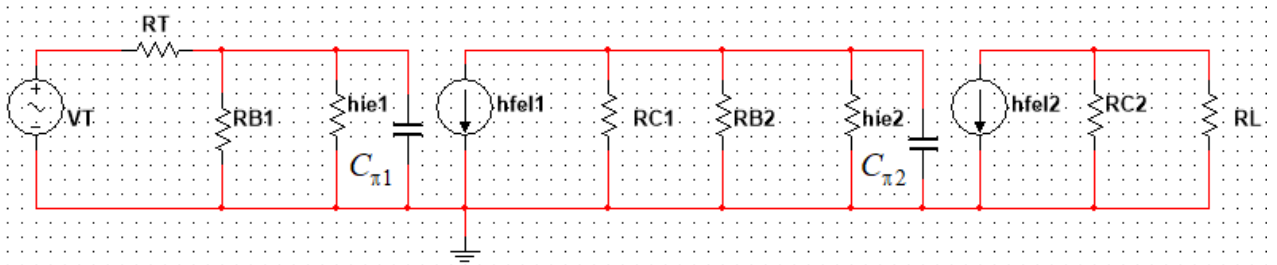


Figura 5 – modelo incremental do amplificador da questão 3 para análise de alta frequência

Assim sendo, obtém-se as equações para frequência de corte superior

$$1^{\circ} \text{ estágio: } C_{\pi 1} \Rightarrow Z_{\pi 1} = R_T // Z_{i1} \rightarrow f_{s1} = \frac{1}{2\pi \times C_{\pi 1} \times Z_{\pi 1}}$$

$$2^{\circ} \text{ estágio: } C_{\pi 2} \Rightarrow Z_{\pi 2} = R_C // R_{B2} // h_{ie2} = Z_{L1} \rightarrow f_{s2} = \frac{1}{2\pi \times C_{\pi 2} \times Z_{\pi 2}}$$

Para $R_T = R_C \rightarrow f_{s1} = f_{s2}$, pois $C_{\pi 1} = C_{\pi 2}$. Para o caso geral:

$$\frac{1}{f_s} = 1,1 \times \sqrt{\frac{1}{f_{s1}^2} + \frac{1}{f_{s2}^2}} \Rightarrow f_{s1} = f_{s2} = f_{so} \rightarrow f_s = \frac{f_{so}}{1,1\sqrt{2}} = 0,643 \times f_{so}$$

$$\text{Ou, } \frac{f_s}{f_{so}} = \sqrt{2^2 - 1} = 0,643 \rightarrow f_s = 0,643 \times f_{so}.$$

- c) Ilustrar a curva do ganho de tensão em relação a frequência e os respectivos pontos principais do gráfico (de forma literal).

R) A Figura 6 ilustra, de forma literal, a resposta em frequência do amplificador considerado com os pontos principais mostrado na própria figura, onde:

$$f_i = f_1 \rightarrow \text{frequência de corte inferior}$$

$$f_s = f_2 \rightarrow \text{frequência de corte superior}$$

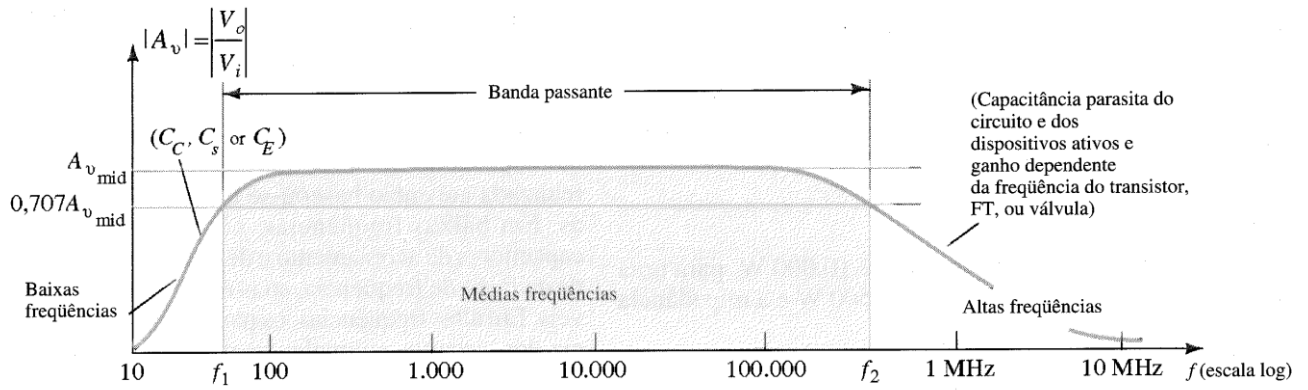
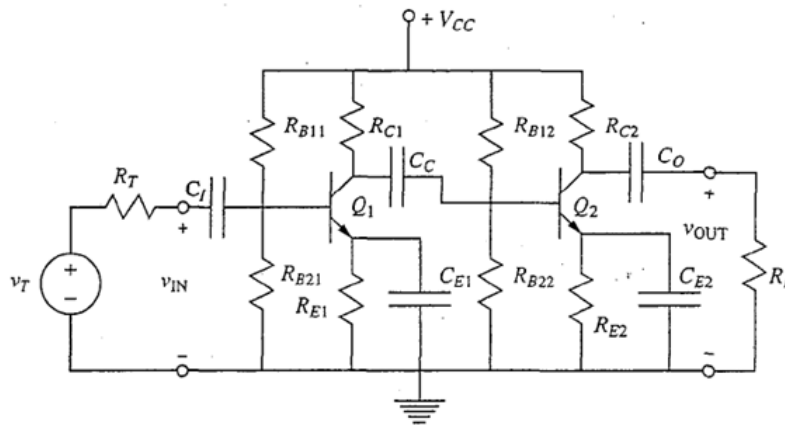


Figura 6 – Resposta em frequência do amplificador da questão 3



Considerar: $R_{B11} = R_{B12}$; $R_{B21} = R_{B22}$; $R_{C1} = R_{C2}$; $R_{E1} = R_{E2}$.
 $h_{ie1} = h_{ie2}$; $h_{fe1} = h_{fe2}$; $C_{\pi 1} = C_{\pi 2}$ (modelo híbrido simplificado)

Figura 2 – Circuito da questão 3

Ementa: Transistor bipolar de junção. Amplificador classe A. Amplificador múltiplos estágios. Bibliografia: todos os livros constantes do edital OS 05/2022. Elaborado pelos membros da banca.

Membros da Banca:

Avaliador 1: Pedro Bertemes Filho

Avaliador 2: Celso José F. de Araújo

Presidente da Banca: Raimundo N G Robert



Assinaturas do documento



Código para verificação: **5MB7PT61**

Este documento foi assinado digitalmente pelos seguintes signatários nas datas indicadas:



RAIMUNDO NONATO GONCALVES ROBERT (CPF: 157.XXX.772-XX) em 12/12/2022 às 10:02:15

Emitido por: "SGP-e", emitido em 30/03/2018 - 12:38:42 e válido até 30/03/2118 - 12:38:42.

(Assinatura do sistema)

Para verificar a autenticidade desta cópia, acesse o link <https://portal.sgpe.sea.sc.gov.br/portal-externo/conferencia-documento/VURFU0NfMTIwMjJfMDAwNTU1MTNfNTU2MDBfMjAyMjI1TUI3UFQ2MQ==> ou o site <https://portal.sgpe.sea.sc.gov.br/portal-externo> e informe o processo **UDESC 00055513/2022** e o código **5MB7PT61** ou aponte a câmera para o QR Code presente nesta página para realizar a conferência.